

卒業研究報告

題目

PN 接合リーク電流と
MOS キャリアジェネレーションの相関関係について

指導教員

河津 哲 教授

報告者

家村 伸吾

平成 13年 2月 9日

高知工科大学 電子・光システム工学科

目 次

1. 前書き	3
2. 目的	4
3. 原理・理論	5
3.1. pn接合逆方向電圧リーク電流の原理・理論	5
3.1.1 pn接合について	5
3.2. pn接合リーク電流理論・原理	13
3.2.1 pn接合リーク電流	13
3.3. MOS構造	15
3.3.1 MOS構造	15
3.3.2 MOS構造にゲート電圧を印加時について	17
3.3.3 MOS構造における容量-電圧特性	22
3.4. ゲートコントロールダイオード	24
3.4.1 ゲートコントロールダイオードリーク電流	24
4. 微少リーク電流測定システムの構築	30
4.1. はじめに	30
4.2. 現状	30
4.3. 構築システム仕様	30
4.4. 構築システム概要	30
4.5. 装置説明	31
4.5.1 YHP4141B DC SOURCE/MONITOR	31
4.5.2 HP82341D	34
4.5.3 シールドボックス	35
4.5.4 ウェーハプローバ	35
4.5.5 ケーブル変換ボックス	35
4.5.6 GP-IB (HP-IB)	36
4.5.7 ケーブルの種類について	36
4.6. 装置製作及び設置	36
4.6.1 YHP4141B DC SOURCE/MONITOR	37
4.6.2 HP82341D	37
4.6.3 シールドボックス	37
4.6.4 ウェーハプローバ	38
4.6.5 ケーブル変換ボックス	38
5. 構築システム試験	40
5.1. 試験概要	40
5.2. 構築システムのリーク電流	40
5.2.1 HP4141B 本体のリーク電流	41

5.2.2	抵抗測定用クリップを取付時の測定システムリーク電流	42
5.2.3	プローバを取付時の測定システムリーク電流	43
5.2.4	プローブボックス内に顕微鏡用 AC100V 電源の影響	44
5.3.	構築システムの試験・評価の結果	45
5.3.1	抵抗電流電圧特性	45
5.3.2	ウェーハ上における pn 接合電流-電圧特性	46
5.3.3	5.のまとめ	48
6.	pn接合リーク電流評価	49
6.1.	pn接合構造情報	49
6.1.1	pn 接合断面図	49
6.1.2	pn 接合測定用ウェーハ情報	49
6.2.	評価手順	50
6.3.	評価結果	51
6.3.1	システムリーク電流	51
6.3.2	ウェーハ番号 2	51
6.3.3	ウェーハ番号 3	54
6.4.	考察	56
6.4.1	SAMPLE2(n-type, Ref)と SAMPLE 3 (n-type, Fe 添加)の比較	56
6.4.2	SAMPLE2-1 とそのほかの SAMPLE について	57
7.	ゲートコントロールドダイオード(GCD)を用いたキャリアジェネレーション評価	60
7.1.	理論	60
7.1.1	パルススキミング C-V 法から求めるキャリアジェネレーション発生個数	60
7.1.2	PSC-V 法で発生したキャリアの電流への変換	61
7.2.	GCD構造測定用ウェーハ情報	61
7.2.1	GCD パターン図	62
7.3.	評価手順	62
7.4.	評価結果	63
7.4.1	システムリーク電流	63
7.4.2	SAMPLE2-12	63
7.4.3	SAMPLE4-12	65
7.5.	考察	67
8.	結論	69
9.	謝辞	70
10.	参考文献	71
11.	付録	72

1. 前書き

退陣の危機迫る森首相も IT 革命と叫ぶ中、IT 革命の基礎として半導体、集積回路がある。その半導体技術の進歩は著しいものがある。そのために、あらゆる方向からの改良が求められていて、もちろん材料及び半導体デバイス技術の面からも常に改良を求められている。たとえば、DRAM では、コンデンサーの容量はより小さく、駆動電圧は小さくなると共に、更にリフレッシュ時間を長くすることを求められている。これは、pn 接合のリーク電流に対応するキャリアジェネレーションを減少させることを意味している。また、より高集積化・微細化が進む次世代の LSI 開発のためには、酸化膜や絶縁膜などの漏れ電流特性や MOSFET などの個別素子の微少電流特性を正確に評価することが不可欠である。

以上の現状をふまえて、今回の卒業研究では半導体デバイスのリーク電流を測定するシステムを構築し、リーク電流と MOS キャリアジェネレーションとの関係について検討する。

2. 目的

ウェーハ状態で微少リーク電流を測定するシステムを YHP4141B とコンピュータを用い構築し、構築したリーク電流測定システムの信頼性について検討する。このときに、構築したシステムを使いウェーハ上の pn 接合の逆電圧-電流特性、リーク電流測定を行う。また、ゲートコントロールダイオードの MOS 部分のキャリアジェネレーションと pn 接合のリーク電流の関係について検討する。

3. 原理 理論

3.1. pn 接合逆方向電圧リーク電流の原理 理論

pn 接合に順方向・逆方向に電圧を印加したときどのような電流が流れるかについて述べる。これからの解析の前提となるモデルあるいは仮定について、以下にまとめる。

一次元モデルの採用

注入キャリアの流れ(あるいは電流)は接合面に垂直成分のみを持つとし、特に記述しない限り接合面積は単位面積であるとする。

低注入水準を仮定する

空間電荷中性条件の採用

接合部での空間電荷層以外の領域では空間電荷は無いとする。

空乏近似の採用

空間電荷層中のキャリアの密度を無視する。

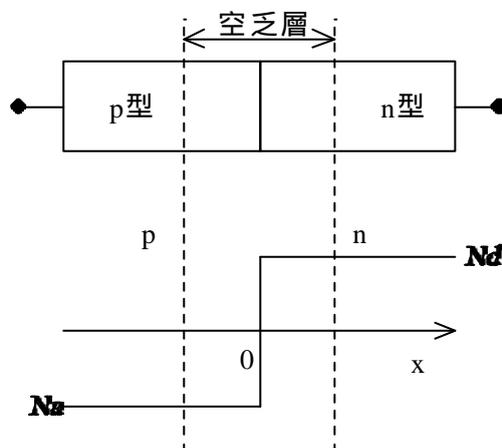
p,n各領域で一様な不純物分布を考える

中性領域、電極抵抗性接触部での電位降下は無いと仮定する。

3.1.1 pn 接合について

1) 熱平衡状態時pn接合(印加電圧0V)

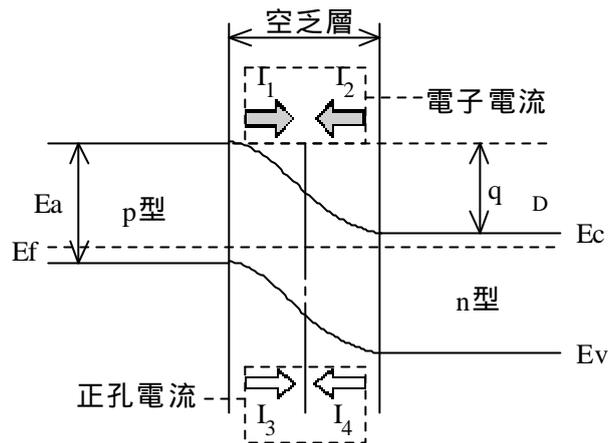
基本的な pn 接合の構造と不純物密度分布は図(3.1)に示される。これは階段接合モデルである。



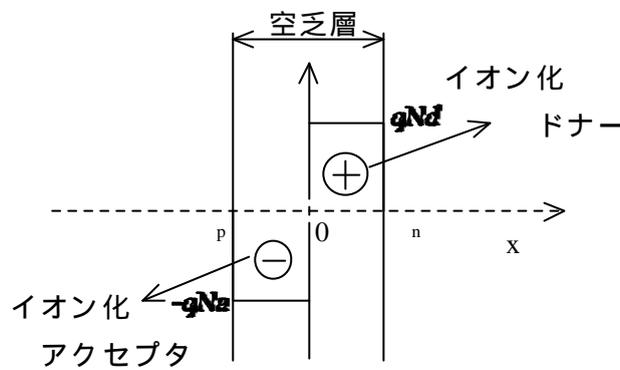
図(3.1) pn 接合の基本構造と不純物濃度分布

また、電圧を印加しない状態(熱平衡状態)でのエネルギー帯を図(3.2)、空間電荷密度分布を図(3.3)、電界分布を図(3.4)、電位分布を図(3.5)に示す。

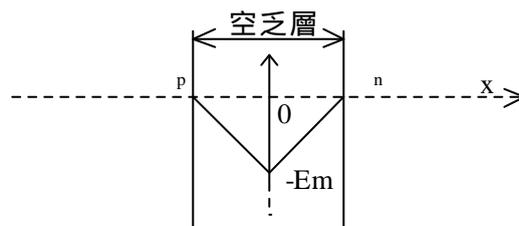
3. 原理・理論



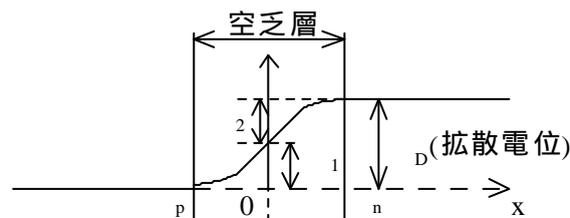
図(3.2) pn 接合の熱平衡状態におけるエネルギー帯図



図(3.3) pn 接合の熱平衡状態における空間電荷密度分布



図(3.4) pn 接合の熱平衡状態における電界分布



図(3.5) pn 接合の熱平衡状態における電位分布

3. 原理 理論

p 型半導体と n 型半導体を階段接合した場合接合界面では、p 型の多数キャリアである正孔と n 型の多数キャリアである電子がそれぞれ反対側の n 型、p 型層へ拡散する。つまり、濃度こう配により正孔は接合を通過して p 型から n 型へ。電子は接合を通過して n 型から p 型に移動する。その結果、接合界面付近では、p 型にはイオン化した負のアクセプタが、n 型にはイオン化した正のドナーイオンが取り残される。このことにより図(3.3)に示すような空間電荷が形成され、内部電界が発生する(図(3.4))。この内部電界は正孔および電子に対して拡散方向とは逆方向にドリフト成分を与え、熱平衡状態では、これらの拡散電流およびドリフト電流がつり合って、接合を通過してフェルミレベル E_f が一定となる。このときに発生する内部電位差を拡散電位 f_D といい、次式で表すことができる。

$$f_D \cong \frac{kT}{q} \ln \left(\frac{N_a \cdot N_d}{ni^2} \right) \quad \text{式(3.1)}$$

ただし、 $-q$:電子電荷, k :ボルツマン定数, T :絶対温度, ni :真性キャリア密度, N_a :アクセプタ濃度, N_d :ドナー濃度である。式からわかるように拡散電位 f_D は半導体材料および不純物濃度、温度で決まる。

pn 接合には上記のように空間電荷が発生してキャリア濃度が中性領域より小さい遷移領域があり、ここを空乏層(あるいは空間電荷層)と呼んでいる。熱平衡状態での空乏層の幅 W は次式で与えられる。

$$W = w_p + w_n = \sqrt{\frac{2e_s}{q} \left(\frac{N_a + N_d}{N_a \cdot N_d} \right) f_D} \quad \text{式(3.2)}$$

ただし、 e_s は半導体の誘電率である。

しかし、一方の不純物密度が他方より極めて大きいとき、つまり $N_d \gg N_a$ の時を考えた場合、空乏層幅 W_0 とした場合、式(3.2)は次式で与えられる。

$$W_0 = \sqrt{\frac{2e_s f_D}{q N_a}} \quad \text{式(3.3)}$$

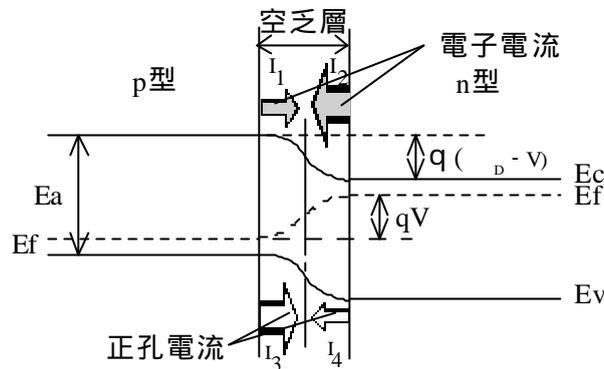
2) pn接合(順方向電圧時)

pn 接合に順方向電圧 V を印加した時、つまり、n 型層に対して p 型層に正の電圧 V を印加したときを考える。このときは n 型に対して p 型の電位が上昇するため、電位は熱平衡状態時に比べて高さが減少する(図(3.6))。エネルギー帯は電位と上下が逆の関係になるので、図(3.7)の状態に変化する。



3. 原理 理論

図(3.6) 順方向電圧 V を印加時の電位分布



図(3.7) 順方向電圧 V を印加したときのエネルギー帯

p型層の少数キャリア (電子) 電流について

今、順方向電圧 V を加えたとする、障壁の高さ (拡散電位) ϕ_D は V だけ減少して $\phi_D - V$ となる。このような状態では図(3.7)のからわかるように、p型層からn型層へ向かうp型層における少数キャリアである電子が作る電流は障壁の高さが変わってもその変化の影響を受けないので、印加電圧が $0V$ 、つまり熱平衡状態の時と同じ値 I_1 (図(3.7)を参照)である。 I_1 は次のように表す事ができる。

$$I_1 = I_0 \exp\left(\frac{-q\phi_D}{kT}\right) \quad \text{式(3.4)}$$

ただし、 I_0 は比例定数である。

n型層の多数キャリア (電子) 電流について

一方n型からp型へ向かうn型層における多数キャリアの電子は、障壁の高さが V だけ低くなるので、低くなった分だけ障壁を乗り越える電子の数は増加する。このときの多数キャリアによる電子の電流を I_{2F} とすると、

$$I_{2F} = I_0 \exp\left(\frac{-q(\phi_D - V)}{kT}\right) = I_0 \exp\left(\frac{-q\phi_D}{kT}\right) \cdot \exp\left(\frac{qV}{kT}\right) \quad \text{式(3.5)}$$

と表すことが出来る。ただし、 I_0 は比例定数である。ここで、上記の式(3.4)を用いて表すと、

$$I_{2F} = I_1 \exp\left(\frac{qV}{kT}\right) \quad \text{式(3.6)}$$

となり、熱平衡状態時の電子の電流 I_1 に比べて $e^{qV/kT}$ 倍に増加することになる。

pn接合を横切る電子電流について

従って、pn接合を横切る電子電流を I_- とおくと I_- は I_{2F} から I_1 を差し引いたものなり、

$$I_- = I_{2F} - I_1 = I_1 \left[\exp\left(\frac{qV}{kT}\right) - 1 \right]$$

3. 原理 理論

式(3.7)

で表される。これは I_F の方向に流れる。つまり、電子の流れる方向は n 型から p 型へ流れ、電流の流れとは逆向きになる。

n型層の少数キャリア (正孔) 電流について

今、順方向電圧 V を加えたとすると、障壁の高さ (拡散電位) ϕ_D は V だけ減少して $\phi_D - V$ となる。このような状態では図(3.7)のからわかるように、n 型から p 型に向かう n 型層の少数キャリアの正孔が作る電流は障壁の高さが変わってもその変化の影響を受けないので、印加電圧が 0V、つまり熱平衡状態の時と同じ値 I_4 (図(3.7)を参照)である。 I_4 は次のように表せる。

$$I_4 = I_0 \exp\left(\frac{-q\phi_D}{kT}\right) \quad \text{式(3.8)}$$

ただし、 I_0 は比例定数である。

p型層の多数キャリア (正孔) 電流について

一方 p 型から n 型へ向かう p 型層における多数キャリアの正孔は、障壁の高さが V だけ低くなるので、低くなった分だけ障壁を乗り越える正孔の数は増加する。このときの多数キャリアによる正孔の電流を I_{3F} とすると、

$$I_{3F} = I_0 \exp\left(\frac{-q(\phi_D - V)}{kT}\right) = I_0 \exp\left(\frac{-q\phi_D}{kT}\right) \cdot \exp\left(\frac{qV}{kT}\right) \quad \text{式(3.9)}$$

と表すことが出来る。ただし、 I_0 は比例定数である。ここで、上記の式(3.8)式を用いて表すと、

$$I_{3F} = I_4 \exp\left(\frac{qV}{kT}\right) \quad \text{式(3.10)}$$

となり、熱平衡状態時の正孔電流 I_4 に比べて $e^{qV/kT}$ 倍に増加することになる。

pn接合を横切る正孔電流について

従って、pn 接合を横切る正孔電流を I_+ と置くと、 I_+ は I_{3F} から I_4 を差し引いたものなり、

$$I_+ = I_{3F} - I_4 = I_4 \left[\exp\left(\frac{qV}{kT}\right) - 1 \right] \quad \text{式(3.11)}$$

で表される。これは I_F の方向に流れる。つまり、正孔の流れる方向は p 型から n 型へ流れ、電流の流れと同じ向きに流れる。

順方向電圧印加時の全電流

上記より順方向時に流れる全電流 I_F は電子電流 I_- と正孔電流 I_+ の和となりいずれも p 型から n 型に向きであるから

$$I_F = I_- + I_+ = (I_1 + I_4) \left[\exp\left(\frac{qV}{kT}\right) - 1 \right]$$

3. 原理 理論

式(3.12)

となる。また、ここで、 $I_F + I_S = I_S$ とおくと、

$$I_F = I_S \left[\exp\left(\frac{qV}{kT}\right) - 1 \right] \quad \text{式(3.13)}$$

という一般式が得られる。

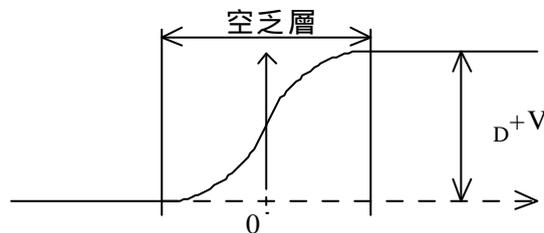
すなわち、順方向電流は印加電圧 V とともに指数関数的に増加し、 p 型から n 型に向かって流れる。

ここで、 $3kT/q$ の時に $\exp\left(\frac{qV}{kT}\right) \cong 20.09$ であるから、 $3kT/q$ 以上の電圧を印加したときに式(3.13)の指数部分は、 -1 に比べて非常に大きくなり -1 を無視することができる。従って I_F は次のように近似することができる。

$$I_F \cong I_S \exp\left(\frac{qV}{kT}\right) \quad \text{式(3.14)}$$

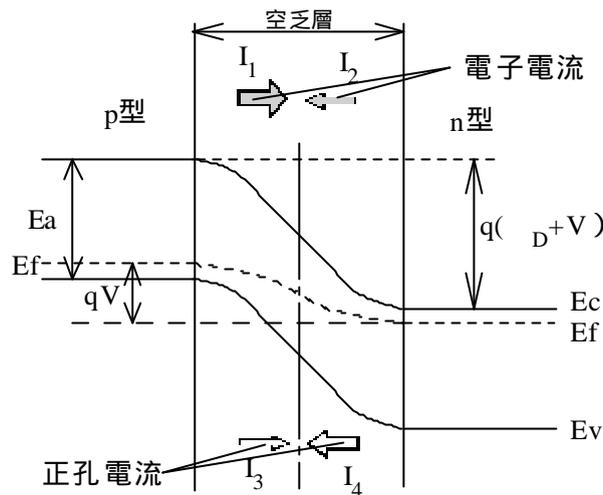
3) pn接合(逆方向電圧時)

pn 接合に逆方向電圧 V を印加したとき、つまり、 n 型層に対して p 型層に負の電圧 $-V$ を印加した時を考える。このときの電位は図(3.8)の状態になる。電位とエネルギー帯の関係はちょうど逆の関係になるのでエネルギー帯は図(3.9)の状態になる。障壁の高さ(電位障壁)は V だけ増加して $\phi_D + V$ となる。



図(3.8) 逆方向電圧 V を印加時の電位分布

3. 原理 理論



図(3.9) 逆方向電圧 V を印加したときのエネルギー帯

p型層の少数キャリア (電子) 電流について

今、印加電圧を逆方向に V だけ加えた状態を考える。しかし、電圧を印加したことによる電子の少数キャリアの電流は障壁による妨害はないので、 V の影響を受けずに一定の値を示す。このときの少数キャリア電流を I_1 (図(3.9)を参照) とおくと I_1 は次のように表される。

$$I_1 = I_0 \exp\left(\frac{-q f_D}{kT}\right) \quad \text{式(3.15)}$$

ただし、 I_0 は比例定数である。

n型層の多数キャリア (電子) 電流について

今、印加電圧を逆方向に V だけ加えた状態を考える。障壁の高さ(電位障壁)は V だけ増加して $qD+V$ となる。これを乗り越えなければならない多数キャリアの電流を I_{2R} とおくと、 I_{2R} は次のように表される。

$$I_{2R} = I_0 \exp\left(\frac{-q(f_D + V)}{kT}\right) = I_0 \exp\left(\frac{-q f_D}{kT}\right) \cdot \exp\left(\frac{-qV}{kT}\right) \quad \text{式(3.16)}$$

となって、熱平衡状態(印加電圧 $0V$)の状態より $e^{-qV/kT}$ だけ減少することになる。ただし、 I_0 は比例定数である。これは順方向電圧を加えたときの V を逆の符号に変えたものと一致する。ここで、上記の式(3.15)式を用いて、次のように表される。

$$I_{2R} = I_1 \exp\left(\frac{-qV}{kT}\right) \quad \text{式(3.17)}$$

pn接合を横切る電子電流について

上記のとより、pn接合を横切る電子電流を I と置くと、 I は I_1 から I_{2R} を差し引いたものなり、順方向の時とは逆向きに流れことになる。

3. 原理 理論

$$I_- = I_1 - I_{2R} = I_1 - I_1 \exp\left(\frac{-qV}{kT}\right) = I_1 \left[1 - \exp\left(\frac{-qV}{kT}\right)\right] \quad \text{式(3.18)}$$

で表される。これは I_1 の方向に流れる。

n型層の少数キャリア (正孔) 電流について

今、逆方向電圧で $-V$ を加えたとしても、障壁の高さ (拡散電位) ϕ_b は V だけ増加して $\phi_b + V$ となる。このような状態ではのからわかるように、n型からp型に向かう少数キャリアの正孔が作る電流は障壁の高さが変わってもその変化の影響を受けないので、印加電圧が $0V$ 、つまり熱平衡状態の時と同じ値 I_4 (図(3.9)を参照)である。 I_4 は次のように表せる。

$$I_4 = I_0 \exp\left(\frac{-q\phi_b}{kT}\right) \quad \text{式(3.19)}$$

p型層の多数キャリア (正孔) 電流について

今、逆方向電圧で $-V$ を加えたとしても、p型からn型へ向かう多数キャリアの正孔は、障壁の高さが V だけ高くなるので、高くなった分だけ障壁を乗り越える正孔の数は指数関数的に減少する。具体的には、印加電圧 $0V$ の時に比べて $e^{-qV/kT}$ 減少する。このときの多数キャリアによる正孔の電流を I_{3R} とすると、

$$I_{3R} = I_0 \exp\left(\frac{-q(\phi_b + V)}{kT}\right) = I_0 \exp\left(\frac{-q\phi_b}{kT}\right) \cdot \exp\left(\frac{-qV}{kT}\right) \quad \text{式(3.20)}$$

となる。ただし、 I_0 は比例定数である。これを上記の I_4 で表すと、

$$I_{3R} = I_4 \exp\left(\frac{-qV}{kT}\right) \quad \text{式(3.21)}$$

となり、熱平衡状態時の正孔電流 I_4 に比べて $e^{-qV/kT}$ 倍に減少することになる。

pn接合を横切る正孔電流について

上記のとより、pn接合を横切る正孔電流を I_+ と置くと、 I_+ は I_4 から I_{3R} を差し引いたものなり、順方向の時とは逆向きに流れことになる

$$I_+ = I_4 - I_{3R} = I_4 - I_4 \exp\left(\frac{-qV}{kT}\right) = I_4 \left[1 - \exp\left(\frac{-qV}{kT}\right)\right] \quad \text{式(3.22)}$$

で表される。これは I_4 の方向に流れる。

逆方向電圧印加時の全電流

上記より逆方向の全電流 I_R は、電子と正孔による電流の和となり、いずれもn型からp型の向きであるから次のように表される。

$$I_R = I_- + I_+ = (I_1 + I_4) \left[1 - \exp\left(\frac{-qV}{kT}\right)\right] \quad \text{式(3.23)}$$

また、ここで、 $I_R = I_S \left[1 - \exp\left(\frac{-qV}{kT}\right) \right]$ とおくと、

$$I_R = I_S \left[1 - \exp\left(\frac{-qV}{kT}\right) \right] \quad \text{式(3.24)}$$

という一般式が得られる。

300k で kT/q は約 26mV であるから、逆電圧が $3kT=76\text{mV}$ 以上では $1/20.09$ となり、上記式(3.24)の一般項は指数項が 0 に収束するので無視することができる。結果、 I_R の値は近似的に I_S に等しくなって結果として電圧によってほとんど変化しない値を示す。この状態を次式に示す。

$$I_R \cong I_S \quad \text{式(3.25)}$$

この部分の電流を逆方向電圧飽和電流と呼ぶ。

3.2. pn 接合リーク電流理論 原理

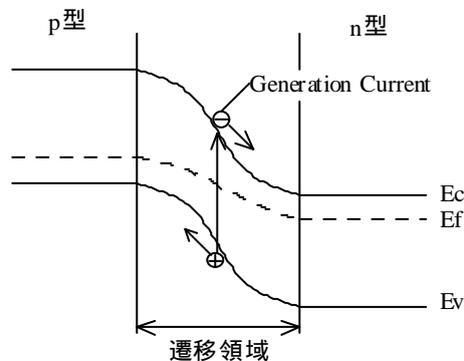
3.2.1 pn 接合リーク電流

pn 接合の逆方向電圧電流特性を実際に測定を行うと式(3.24)で示される少数キャリアの拡散による電流 I_S 以外の電流成分が見いだすことができる。これは過剰電流と呼ばれているが、遷移領域における発生電流が原因である。

1) 発生電流(Generation Current)

前項までの pn 接合を流れる電流の計算では、遷移領域(空乏層)は十分に薄いとしてその中で発生するキャリアの発生については無視していた。しかし、実際の pn 接合ではこの影響を無視できなく、接合が逆バイアスされているときは遷移領域の幅は広く、キャリアが極めて少ない状態になっているものと考えられる。そのために熱励起などによる電子-正孔対が発生しやすい。また、逆バイアス時にある空乏層内では強い電界が存在する。そのため、空乏層内にあるキャリアはその影響を受けて電子は n 型層に、正孔は p 型層に再結合することなく追いやられる。そのために、空乏層で発生した電子正孔対は空乏層で再結合(Recombination)する確率は極めて低い。

このときの概念図を図(3.10)にしめす。



図(3.10) 電子-正孔対の発生(Generation)概念図

3. 原理 理論

今、電子と正孔の捕獲確率を等しいと仮定して、 A_0 を電子-正孔捕獲確率、 A_n を電子-正孔のトラップ密度、 E_t をトラップのエネルギーとおいた場合、再結合速度 U は、

$$U = \frac{A_0 N_t (pn - n_i^2)}{n + p + 2n_i \cosh\left(\frac{E_t - E_i}{kT}\right)} \quad \text{式(3.26)}$$

で表すことができる。空乏層内では n も p もほぼゼロに等しいので式(3.26)は簡単となり、

$$U = -\frac{A_0 N_t n_i^2}{2n_i \cosh\left(\frac{E_t - E_i}{kT}\right)} \quad \text{式(3.27)}$$

で表すことができる。キャリアの有効寿命を t_0 と置くと、 t_0 は次のように表される。

$$t_0 = \frac{\cosh\left(\frac{E_t - E_i}{kT}\right)}{A_0 N_t} \quad \text{式(3.28)}$$

式(3.28)を式(3.27)に代入すると U は次のように表される。

$$U = -\frac{n_i}{2t_0} \quad \text{式(3.29)}$$

式(3.29)の U は負符号であるのでこれは電子-正孔の発生割合(確率)を示している。

以上のことから、空乏層幅を W 内で発生するキャリア数 N_{gen} は、

$$N_{gen} = -\frac{n_i}{2t_0} W \cdot A \quad \text{式(3.30)}$$

と表すことができる。 A は pn 接合の面積である。従って、発生電流を I_g は

$$I_g = \frac{1}{2} q \frac{n_i}{t_0} W \cdot A \quad \text{式(3.31)}$$

で表すことができる。 W を代入することで I_g は次のように表すことができる

$$I_g = \frac{1}{2} q \frac{n_i}{t_0} A \sqrt{\frac{2e_s}{q} \left(\frac{N_a + N_d}{N_a \cdot N_d} \right) (f_D + V)} \quad \text{式(3.32)}$$

つまり、電圧 V を逆方向に印加していくにつれて発生電流を I_g は増加していくのである。実際の pn 接合では n^+p となっている時を考え、 W に W_0 を代入し考えると I_g は次式で与えられる。

$$I_g = \frac{1}{2} q \frac{n_i}{t_0} A \sqrt{\frac{2e_s}{q N_a} (f_D + V)} \quad \text{式(3.33)}$$

上記の式の成分があるために、実際には逆方向電圧飽和電流、式(3.25)のように一定の電流値になることはない。逆方向に電圧を印加していくにつれて、発生電荷は増加していくことになる。また、遷移領域には強い電界があるので、発生した電子は n 型に、正孔は p

3. 原理 理論

型に再結合することなく電界でドリフトして逆方向電流成分となる。

このような電流は Si や GaAs のような禁制帯の幅が広い半導体にとって大きな成分となる。なぜなら、空乏層の幅が広がるからである。

今回測定する pn 接合逆方向 I-V 測定においてのリーク電流の大半は式(3.25)と式(3.33)の和であると考えられる。これは次式で与えられる。

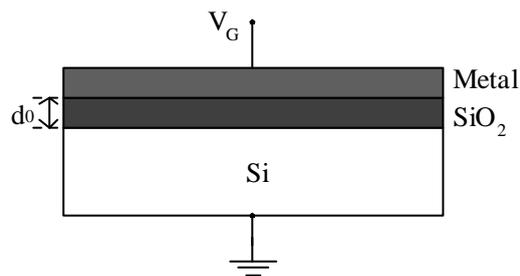
$$I_R + I_g = 2I_0 \exp\left(\frac{-q\mathbf{f}_D}{kT}\right) + \frac{1}{2} q \frac{n_i}{t_0} A \sqrt{\frac{2e_s}{qN_a} (\mathbf{f}_D + V)} \quad \text{式(3.34)}$$

3.3. MOS 構造

ここで MOS 構造について簡単に説明する。

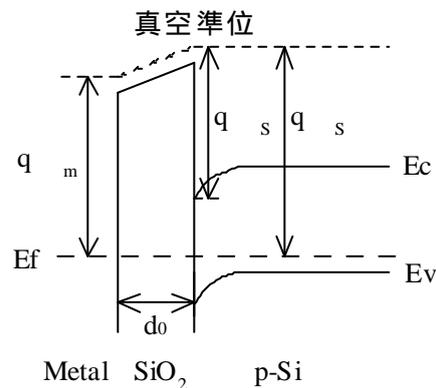
3.3.1 MOS 構造

MOS 構造とは図(3.11)に示すような金属・酸化膜・半導体 (Metal・Oxide・Semiconductor) などからなる構造のことである。最近では金属部にポリシリコンを使っているものもある。



図(3.11) MOS 構造

ここで、金属電極をゲートと置き、半導体基板を p 型とする時、ゲートと半導体基板の間に電圧を印加しない状態(熱平衡状態)時のエネルギーバンド図を図(3.12)に示す。



図(3.12) p-Si を基板に用いた MOS 構造の熱平衡状態におけるエネルギー帯図

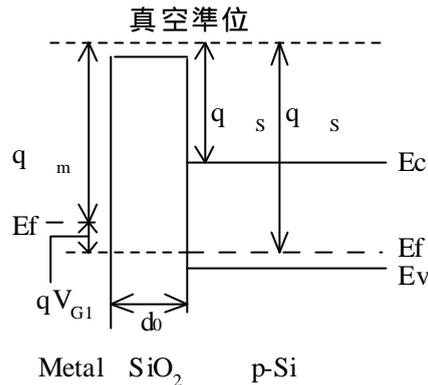
実際の MOS 構造は図(3.12)に示すように金属の仕事関数 q_m が半導体の仕事関数 q_s

3. 原理 理論

に比べて小さい場合、熱平衡状態に置いて双方のフェルミ準位が一致する結果、半導体のエネルギー帯は下方に曲げられることになる。そのため、エネルギー帯を平坦にするためにはゲートに負の電圧 V_{G1} を加えるとよい。 V_{G1} の値は次のような仕事関数 ϕ_{ms} に相当する電圧に等しい。

$$V_{G1} = \phi_{ms} = \phi_m - \phi_s \quad \text{式(3.35)}$$

V_{G1} をフラットバンド電圧と呼ぶ。図(3.13)にフラットバンド電圧を印加した状態の MOS 構造を示す。

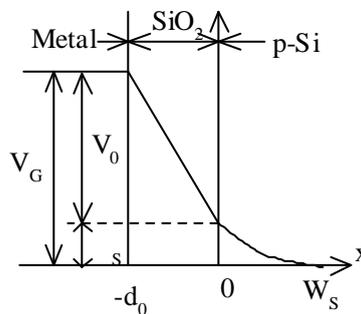


図(3.13) V_{G1} を印加した状態の MOS 構造のエネルギー帯図

これから先は MOS 構造にフラットバンド電圧 V_{G1} を加え、エネルギー帯を平坦にしているものとする。

次にゲートと基板の間に電圧 V_G を加えると V_G は図(3.14)に示すように、 SiO_2 に加わる電圧 V_0 と半導体表面層に生じる表面準位 ϕ_s に分類される。図(3.14)は電圧印加時の MOS 構造内の電位分布を示している。

$$V_G = V_0 + \phi_s \quad \text{式(3.36)}$$



図(3.14) 電圧 V_G を印加したときの MOS 構造内の電位分布

SiO_2 は良好な絶縁体であるから、金属電極とシリコンの間には直流電流は流れない。半

3. 原理 理論

導体を電極と見なすと、MOS 構造は金属電極とシリコン電極を両極とする平行平板容量を構成している。ゲート電圧 V_G によって両極間 SiO_2 層には V_0 が印加されている。これによって電界が発生する。この電界を E_0 とおくと、 E_0 は SiO_2 層の厚さを d_0 と置くと次のように表される。

$$E_0 = \frac{V_0}{d_0} \quad \text{式(3.37)}$$

電界 E_0 により金属と半導体表面近傍に移動可能な電子の変化が生じる結果、電荷密度 Q_s が誘起される。 Q_s はガウスの定理から、

$$|Q_s| = \epsilon_i \epsilon_0 E_0 \quad \text{式(3.38)}$$

ここで、 ϵ_i は酸化物の比誘電率、 ϵ_0 は真空の誘電率である。一方で、 SiO_2 を誘電体とする容量を単位あたり C_0 とすると、

$$C_0 = \frac{\epsilon_i \epsilon_0}{d_0} \quad \text{式(3.39)}$$

である。 Q_s に E_0 と C_0 を代入して金属電極とシリコン電極を電極とする両電極に誘起される Q_s は次のように表される。

$$|Q_s| = C_0 \cdot V_0 \quad \text{式(3.40)}$$

つまり、MOS 構造においてゲート電極に V_G という電圧を加えたらゲート電極とシリコン表面に単位面積あたりにそれぞれ逆の電荷 Q_s が生ずる。

3.3.2 MOS 構造にゲート電圧を印加時について

ゲートと基板の間に電圧 V_G を印加した場合、シリコン表面からの電界によって表面電位 ψ_s が生じて、これによってシリコン表面のエネルギー帯が変化する。ゲート電圧 V_G の極性と大きさによってエネルギー準位がどのように変化するかをこれから述べる。

まず、式を簡単化するために次の条件を仮定する。

() 酸化膜中、または酸化膜と半導体の界面には電荷が存在しない。(フラットバンド電圧を印加した状態)

この熱平衡状態におけるフェルミ順位は双方のフェルミ準位が一致している。

この場合の SiO_2 膜は良好な絶縁体であるから、金属電極とシリコンの間には直流電流は流れない。このためにシリコン基板にはキャリアの注入はないため、シリコン基板は全領域で熱平衡状態が保たれている。従って、フェルミ準位 E_f は表面層においても一定である。熱平衡状態での MOS 構造のエネルギー帯図を図(3.12)に示す。また熱平衡状態におけるキャリア密度を次に示す。

$$n = n_i \exp\left(\frac{E_f - E_i}{kT}\right) \quad \text{式(3.41)}$$

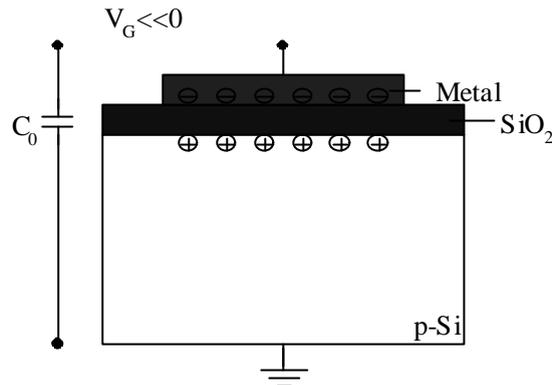
$$p = n_i \exp\left(\frac{E_i - E_f}{kT}\right) \quad \text{式(3.42)}$$

3. 原理 理論

ここで、 E_i は真性半導体のフェルミ準位で、禁制帯の真ん中にある。この状態でゲート電圧 V_G を印加する事によってシリコン表面近傍でエネルギー帯が曲がると、 E_f の禁制帯中における位置が変わり、表面近くに空間電荷領域が形成される。これらのことから次の様な事が言える。

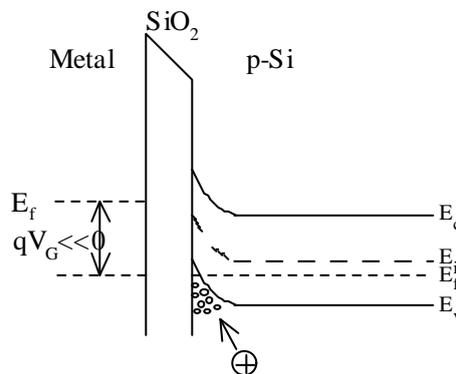
1) 蓄積領域

基板が p 型 Si の時にゲートに $V_G < 0$ (基板はアース) を加えると、多数キャリアである正孔は Si-SiO₂ 界面に集まる。このときのキャリア分布状態を図(3.15)に示す。



図(3.15) MOS 構造での蓄積領域における正孔分布図

表面電位 ψ_s は負であるから、電子の位置エネルギーは $-q\psi_s$ は図(3.16)が示すとおりエネルギー帯は表面近くで上向きに曲がる。上記の通り、フェルミ準位 E_f は半導体内部で一定値を保つことから、この曲がりによって $E_c - E_f$ の値は SiO₂-Si 界面に近づくにつれて増大する。この結果、表面近くの正孔密度は式(3.42)より半導体内部の値より増大する。簡単には電極の負の電圧によってシリコン表面近くに正孔が引き出されたと考えてよい。このように表面で多数キャリア密度が増加している状態を蓄積(accumulation)という。もし、n 型基板の場合は正の電圧 V_G によって電子が引き出され蓄積状態になる。

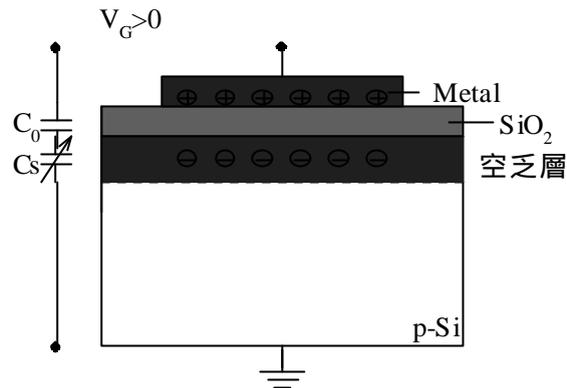


図(3.16) MOS 構造での蓄積領域におけるエネルギー帯図

2) 空乏領域

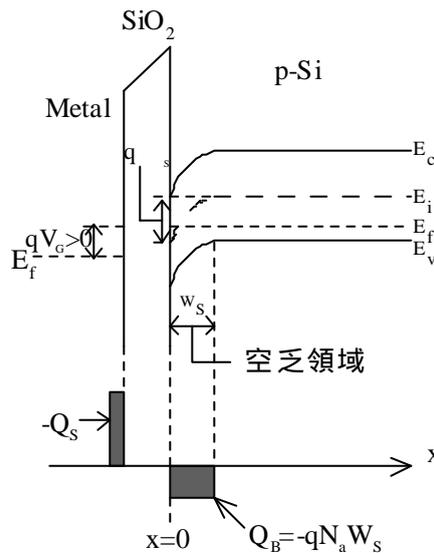
基板が p 型 Si の時にゲートに $V_G > 0$ (基板はアース) を加えたときのキャリア分布状態を

図(3.17)に示す。



図(3.17) MOS 構造での空乏領域における固定電荷分布図

ゲートに正の電圧 V_G を加えると、正の表面電荷 Q_s によってエネルギー帯は表面付近で下向きに曲げられる。この結果、図(3.18)に示すように $E_f - E_i$ の値が減少するので表面の正孔キャリアは式(3.42)によって表面に近いほど欠乏する。これは正の電圧によって正孔が押しつけられると考えるとよい。



図(3.18) MOS 構造での空乏領域におけるエネルギー帯図と電位分布図

この結果、表面近傍で負電荷が残り空間電荷層が形成される。つまり、空乏層ができる。このとき誘起される単位面積あたりの全電荷 Q_s は図(3.18)に示すように空乏層内のアクセプタイオンによる電荷 $-qN_a W_s$ に等しく、これを Q_s とすると、

$$Q_s = Q_B = -qN_a W_s \quad \text{式(3.43)}$$

となる。ここに W_s は空乏層の幅である。 Q_B を半導体内の固定電荷という。空間電荷領域内の電荷 ρ は一次元のポアソン方程式を解いて求めることができる。

ポアソン方程式は、

3. 原理 理論

$$\frac{d^2 f}{dx^2} = \frac{qN_a}{\epsilon_r \epsilon_0} \quad \text{式(3.44)}$$

である。ここで ϵ_r はシリコンの比誘電率、 ϵ_0 は真空の誘電率である。
 $x=W_s$ で $f=0$ 、 $df/dx=0$ の境界条件を用いて、上式より f は

$$f = \frac{qN_a}{2\epsilon_r \epsilon_0} (x - W_s)^2 \quad \text{式(3.45)}$$

となる。 $x=0$ で $f = f_s$ であるからこれより f_s は

$$f_s = \frac{qN_a}{2\epsilon_r \epsilon_0} W_s^2 \quad \text{式(3.46)}$$

となる。これを (3.45) の方程式に入れると

$$f = f_s \frac{1}{W_s^2} (x - W_s)^2 = f_s \left(1 - \frac{x}{W_s}\right)^2$$

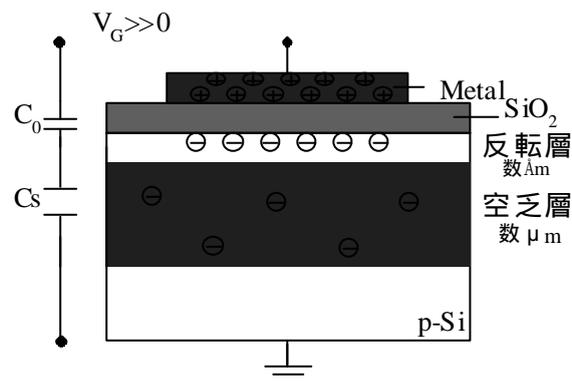
$$\therefore f = f_s \left(1 - \frac{x}{W_s}\right)^2 \quad \text{式(3.47)}$$

は式(3.47)式の様になり、式中の f_s は表面の電位で次式で表される。

$$f_s = \frac{qN_a W_s^2}{2\epsilon_r \epsilon_0} \quad \text{式(3.48)}$$

3) 反転領域

基板が p 型 Si の時にゲートに $V_G \gg 0$ (基板はアース) といった空乏領域より大きな電圧を加えたときのキャリア分布状態を図(3.19)に示す

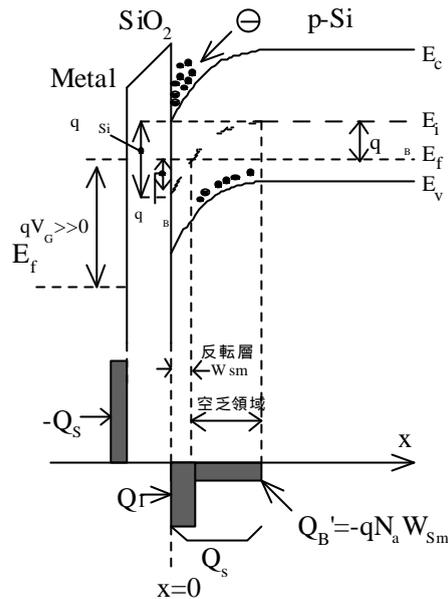


図(3.19) MOS 構造での反転領域におけるキャリア・空乏層内固定電荷分布図

V_G を加えることによって n_m が増加して、エネルギー帯は空乏領域の時よりも更に大きく下方方向に向かって曲げられる。図(3.20)に MOS 構造での反転領域でのエネルギー帯図と電荷分布図を示す。

図(3.20) MOS 構造での反転領域でのエネルギー帯図と電荷分布図

3. 原理 理論



E_i がシリコン表面近傍で E_f と交差し反転層が形成される。反転層では $E_f > E_i$ となっているから、式(3.41)と式(3.42)より $n > p$ で、少数キャリアである電子密度の方が多数キャリアである正孔密度より大きくなって、伝導形は n 型に転じる。このように反動体表面近傍で逆の伝導形に転じることを反転(inversion)(逆転とも言う)という。

反転が起きた初めのうちは $E_f - E_i$ の値はあまり大きくないので電子密度も小さい値の範囲である。 V_G が更に大きくなっていくと表面におけるエネルギー帯の曲がりかたがますます強くなって、反転層における電子密度が半導体内部の正孔密度に等しくなる。このときに式(3.41)と式(3.42)からわかるように E_f と E_i の差が半導体表面と内部とで絶対値が等しく符号が反対になり、強い反転の状態に入る。 $E_f - E_i = q(f - j) \equiv qf_B$ とおくと、図(3.20)の様に強い反転状態に入るのに必要な表面電位 ϕ_{si} は

$$f_{si} = 2f_B \tag{3.49}$$

である。 f_B は f と j との差の式で

$$f_p = j - \frac{kT}{q} \ln \frac{p_p}{n_i} \tag{3.50}$$

$$f_n = j + \frac{kT}{q} \ln \frac{n_n}{n_i} \tag{3.51}$$

のどちらかを利用することで計算ができる。

印加電圧 V_G が更に大きくなっていくと $f_s = 2f_B$ になる。この ϕ_{si} の増加により表面層の $E_f - E_i$ が更に増加するために、反転層内の電子の密度は式(3.41)よりエネルギー差の増加に対して指数関数的に増加することになる。これらの誘起された電子は自由に動ける電子として働くから反転層は薄い n^+ 層と考えてよい。 n^+ 層内のこの自由に動ける電子の密度は V_G の大きさによって変えることができるので金属電極をゲートとして n^+ 層をチャネルとする n チャネル FET が可能になる。

3. 原理 理論

このときの表面に誘起される表面の電荷 Q_s について考えると、 Q_s は図(3.20)に示すように空乏層のアクセプタイオンによる電荷 Q_B と自由に動ける電子の電荷 Q_r との和になる。強い反転層を起こすと、 V_G の増加によって反転層内に誘起される電荷が増加し、空乏層の幅は最大 W_{sm} のまま一定を保つ。このときのバルクの電荷は式(3.43)より $Q_B' = -qN_a W_{sm}$ であるから、 Q_s は

$$Q_s = Q_r + Q_B' = Q_r - qN_a W_{sm} \quad \text{式(3.52)}$$

となり、n チャネルでは負である。

また、表面空乏層の幅は、表面が強度に反転する点で最大になる。従って、表面空乏領域の最大幅は、空乏近似を用いてかつ、式(3.49)で定義した強度の反転が始まる点における表面ポテンシャル ψ_s を対応して用いることによって推定できる。つまり、 ψ_s を式(3.48)の ψ に代入して W_s の最大幅を W_{sm} とすることで表面空乏層の幅は求めることができる。

$$W_{sm} = \sqrt{\frac{2\epsilon_r \epsilon_0 f_{si}}{qN_a}} \quad \text{式(3.53)}$$

3.3.3 MOS 構造における容量-電圧特性

金属と半導体の間に接触電圧、つまり、仕事関数差も存在しないとき、ゲートに印加される電圧はどのような値であれ図(3.14)に示されるような形になる。すなわち、

$$V_G = V_0 + \psi_s \quad \text{式(3.36)より}$$

で表される。ここで V_0 と ψ_s はそれぞれ酸化膜と半導体にかかる電圧降下である。

酸化膜と電界の界面に少しの電界もないとき、ガウスの法則よりこの界面での電気変位は連続であるから、

$$\epsilon_i E_0 = \epsilon_r E_s \quad \text{式(3.54)}$$

と表すことができる。 E_0 が酸化膜中の電界で E_s がシリコン界面での電界である。酸化膜中に電荷が無いとすれば、その中での電界は一定であり、次式で与えられる。

$$E_0 = \frac{V_0}{d_0} \quad \text{式(3.37)}$$

d_0 は酸化膜厚である。シリコン界面の電界はガウスの法則から

$$E_s = -\frac{Q_s}{\epsilon_r \epsilon_0} \quad \text{式(3.55)}$$

に等しい。式(3.37)と式(3.55)を式(3.54)に代入して整理したら、

$$V_0 = -\frac{d_0}{\epsilon_i \epsilon_0} Q_s = -\frac{Q_s}{C_0} \quad \text{式(3.56)}$$

と書ける。ここで $C_0 = \epsilon_i \epsilon_0 / d_0$ は酸化膜の単位面積あたりの容量である。

従って、ゲート電圧と表面空間電荷領域の特性は式(3.56)を式(3.36)に代入して次式で結びつけられる。

3. 原理 理論

$$V_G = -\frac{Q_s}{C_0} + f_s \quad \text{式(3.57)}$$

MOS 構造の電気特性の中でもっとも簡単に測定できるのは小信号キャパシタンスである。\$Q_G\$ をゲート上に誘起した単位面積あたりの電荷とすれば、このキャパシタンスは式(3.57)を用いて次式で与えられる。

$$C \equiv \frac{dQ_G}{dV_G} = -\frac{dQ_s}{dV_G} = -\frac{dQ_s}{-\frac{dQ_s}{C_0} + df_s} \quad \text{式(3.58)}$$

また、

$$C = \frac{1}{\frac{1}{C_0} + \frac{1}{C_s}} \quad \text{式(3.59)}$$

ここで \$C_s\$ とは

$$C_s = -\frac{dQ_s}{df_s} = \frac{e_r e_0}{W_s} \quad \text{式(3.60)}$$

で表され、表面空間電荷領域の単位面積あたりのキャパシタンスである。従って、MOS 構造のキャパシタンス \$C\$ は \$C_0\$ と \$C_s\$ の直列接続で表されることがわかる。これから \$W_s\$ を消去すれば MOS 構造キャパシタンスを表す式が得られる。

$$\frac{C}{C_0} = \frac{1}{\sqrt{1 + \frac{2e_i^2 e_0}{qN_a e_r d_0} V_G}} \quad \text{式(3.61)}$$

これより、キャパシタンスは表面が空乏化されている間、ゲート電圧の平方根に従って減少することがわかる。

ゲート電圧=0V もしくは負の時は、空乏領域は存在しない。従って、空乏近似とそれを用いた上記の式は成立しない。しかし、表面が蓄積されると半導体は単に酸化膜キャパシタンスに直列な抵抗になることを考えればキャパシタンスを簡単に求めることができる。このときのキャパシタンスは \$C_0\$ である。

逆に、強度の反転状態になるとゲート電圧を更に増加しても空乏層の幅は増加しない。これはシリコン内に誘起される単位面積あたりの電荷 \$Q_b'\$ (図(3.20)を参照)と表面ポテンシャル \$\psi_s\$ は式(3.49)とに対応するゲート電圧のもとで起きる。これらの式を式(3.57)に代入すると強度の反転が始まる時点でのゲート電圧が求められる。この電圧のことをターンオン電圧と呼ばれ次式で与えられる。

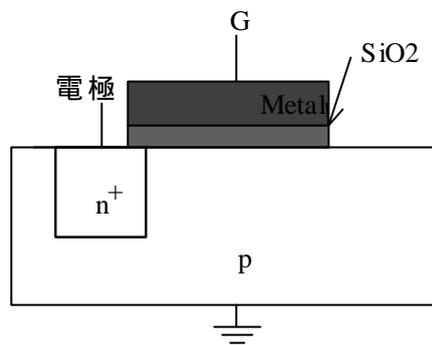
$$V_T \equiv -\frac{Q_b'}{C_0} + f_{si} \quad \text{式(3.62)}$$

\$V_G=V_T\$ の時にキャパシタンスは増減がなくなり、式(3.61)で与えられる値で一定の値を保つ。

3.4. ゲートコントロールドダイオード

3.4.1 ゲートコントロールドダイオードリーク電流

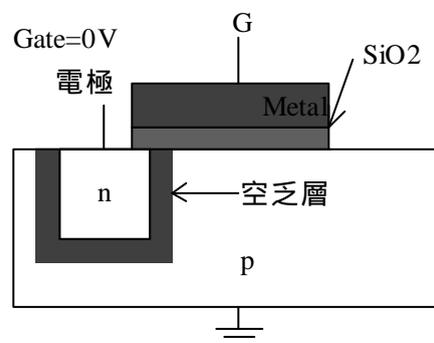
先に述べた pn 接合と MOS 構造を併せ持つ構造をゲートコントロールドダイオードと呼ぶ。この構造を図(3.21)に示す。ここでは P 型基板を用いた。n 型基板について考察する場合は印加電圧の符号を適切に変えればよい。基板はアースに接続されているものとする。簡単にするために n 型領域は基板に比べて極めて高濃度に不純物がドーピングされていると仮定する。また、理想 MOS 構造とし、上記では考察の対象とした表面準位や仕事関数の差は無いものとする。



図(3.21) ゲートコントロールドダイオード構造

1) Gateの表面電界なし、pn接合熱平衡状態

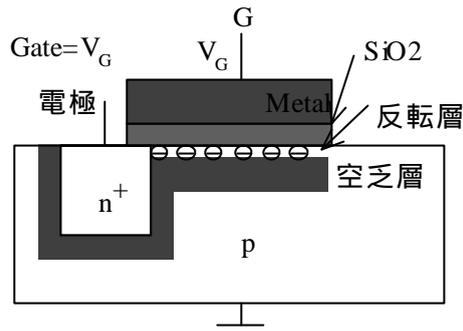
今、半導体基板を p 型とし、金属電極をゲートとするゲートコントロールドダイオードの Gate の表面電界なし、pn 接合熱平衡状態時、つまり、すべての電極に電圧を印加しない状態の構造を図(3.22)に示す。熱平衡状態時であるために、ドレイン-基板間の pn 接合は電子・正孔が互いに拡散し空乏層を形成している。この時、ゲートコントロールドダイオードとしてのリーク電流は熱平衡状態であるために存在しない。



図(3.22) Gate の表面電界なし、pn 接合熱平衡状態時ゲートコントロールドダイオード構造

2) Gate= V_G 、pn接合熱平衡状態

ゲートコントロールダイオードのゲートに V_G を印加し、MOS 領域で空乏・反転層ができた場合について考える。このときはまだ pn 接合は電圧を印加していないので pn 接合近傍では熱平衡状態である。P 型層表面に反転を起こすために必要なゲート電圧はターンオン電圧 V_T と置く。 $V_G < V_T$ の場合、ゲート表面は空乏層を作り表面は空乏状態になる。ゲート電圧を更に大きくしていき $V_G > V_T$ の場合、表面における伝導帯はフェルミ準位に近づくとともに P 層表面は反転する。このときの状態を図(3.23)に示す。



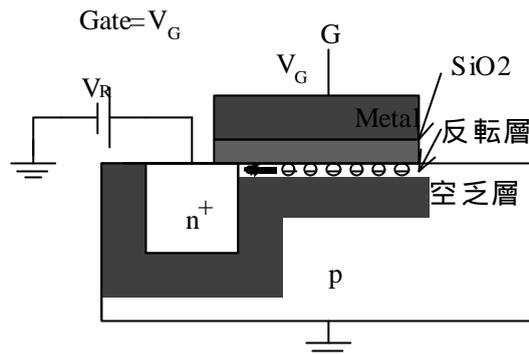
図(3.23) Gate= V_G (反転状態)、pn接合熱平衡状態のゲートコントロールダイオード

このとき、n 型に反転した基板部分とその下に存在する p 型基板層との間には電界誘起接合が存在する。この接合にはバイアスは印加されていないことから、熱平衡状態にあり、熱平衡状態の pn 接合同様のフェルミ準位で表現される。

ここで、表面空間電荷領域の平衡状態理論を考えたとき、表面ポテンシャル ψ_s で表されるバンドの全湾曲が、半導体のバンドギャップ以下の値に制限される。すなわち、シリコンでは約 1V に制限される。更に、強度の反転に対応する ψ_s は十分によい近似でもって $\psi_{si} = \psi_B$ で与えられる(式(3.49)を参照)。ここで ψ_B は基板のフェルミ準位である。この値が電界誘起型接合の拡散電位である。もう一つ考えられることとしては、表面空乏領域の幅が W_s が、初期に V_G の増加と共に大きくなり表面が反転すると最大幅 W_{sm} に達するということである。この幅は、電界誘起型接合のゼロバイアス時の空乏領域幅である。

3) Gate= V_G 、pn接合逆方向電圧 V_R 印加時

2)の状態のゲートコントロールダイオードの pn 接合に逆方向電圧を印加した時を考える。このときは pn 接合に逆方向電圧を印加しているので空乏層の幅が熱平衡状態に比べて広がる。すると、MOS の反転層にある電子と pn 接合の空乏層の間にエネルギー障壁(差)が生じる。このときのゲートコントロールダイオードを図(3.24)に示す。



図(3.24) Gate= V_G (反転状態)、pn 接合逆方向電圧印加時ゲートコントロールダイオード

空乏状態では正のゲート電圧が印加されているが、p 型層表面が反転するまでに至らない場合であるこれは条件として $V_G < V_T(V_R)$ と表される。 $V_T(V_R)$ は p 型領域を反転するのに必要なゲート電圧でターンオン電圧である。このゲート電圧は接合がゼロバイアス状態にあるときの値より大きい。これは逆方向電圧を印加すると電子の疑フェルミ準位が下がるためである。そのために、pn 接合が熱平衡状態で MOS 領域が反転層となっている場合と同じ程度のゲート電圧を印加したとしても、伝導体を電子の疑フェルミ準位に十分に近づけることができずに反転は起こせない。つまり表面は空乏化されるだけである。

ゲート電圧が pn 接合の逆バイアスの影響をなくするのに十分に高い場合であり、反転層が p 型領域に形成される。バンド上ではエネルギーバンドが深く曲がっていて、伝導体が電子の疑フェルミ準位に近づく。一度、反転層が形成されると、それは n 型領域と実質的には同じ電位をもつ高伝導率まで連続してつながる。強度の反転が始まる時点での表面ポテンシャルは ϕ_{si} は次式で与えられる。

$$\phi_{si} = V_R + 2\phi_B \tag{3.63}$$

平衡状態と同じように、表面空乏領域も反転時点で最大幅 W_{sm} をとる。しかし、この幅は逆バイアス電圧 V_R の関数であり、実際、それは n 型反転層とそのしたの p 型領域に形成された電界誘起型接合の逆バイアス空乏領域の幅である。表面空間電荷領域の特性は MOS 構造反転領域と同様に空乏近似によって与えられる。唯一の違いは、強度の反転の始まる電位が $\phi_{si} = V_R + 2\phi_B$ で与えられるだけである。これは、印加バイアスによって疑フェルミ準位が分離されることによる。従って、強度の反転が始まる点の表面ポテンシャル ϕ_s は pn 接合への印加電圧が逆方向の時に大きく順方向の時は小さい。それ以外では表面空間電荷領域の記述に変更はない。

空乏領域における静電電位変動も MOS 構造の空乏・反転状態と同様であるが、空乏領域の最大幅 W_{sm} は次のように ϕ_s を $\phi_{si} = V_R + 2\phi_B$ として書くことができるので、

$$W_{sm} = \sqrt{\frac{2e_r e_0 (V_J + 2\phi_B)}{qN_a}} \tag{3.64}$$

3. 原理 理論

また、このときのリーク電流について考察を行う。

MOS のゲートに電圧を印加していくことにより蓄積状態が形成された場合について考える。この状態では pn 接合の空乏層内で発生するキャリアのみがリーク電流に寄与する。このときのリーク電流 $I_{gen,pn}$ を次式に示す。

$$I_{gen,pn} = qU_{pn}W_{pn}A_{pn} \quad \text{式(3.65)}$$

このときの U_{pn} は pn 接合逆電圧印加時の空乏層内でのキャリアの単位面積あたりの発生確率、 W_{pn} 、 A_{pn} はそれぞれ pn 接合逆電圧印加時の空乏層の幅と pn 接合部の面積である。この $I_{gen,pn}$ の詳細は、式(3.32)と同様に議論される。

次に、反転状態が形成された場合について考える。この状態では $I_{gen,pn}$ 以外にも、反転した表面空乏層領域内の発生キャリアについても検討しなくてはならない。この表面空乏層領域で発生するキャリアは、表面空乏層領域の幅 X_d に依存する。ゲート電圧を印加することによって、 X_d は大きくなるが一度反転すると X_d は最大値 X_{dmax} に達し、その電流成分は増えることはない。表面空乏層領域内の発生キャリアに起因する電流 $I_{gen,mos}$ を次式で示す。

$$I_{gen,mos} = qU_{mos}X_{dmax}A_{mos} \quad \text{式(3.66)}$$

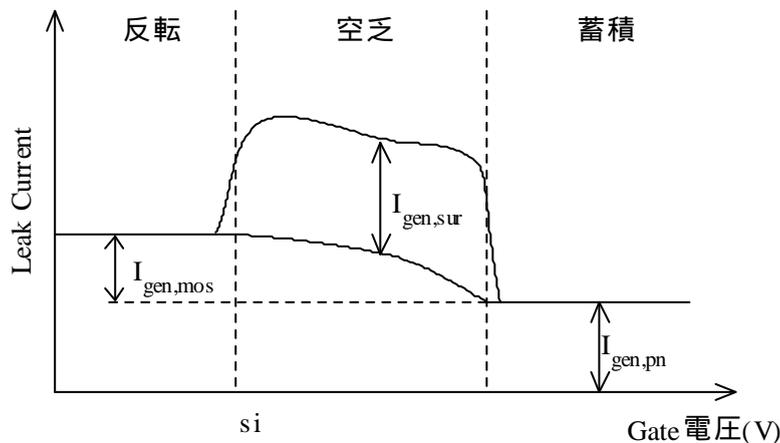
このときの U_{mos} は反転した表面空乏層領域でのキャリアの単位面積あたりの発生確率、 A_{mos} はゲート下の基板面積である。

最後に空乏状態が形成された場合について考える。この状態では $I_{gen,pn}$ と $I_{gen,mos}$ の二つ以外にも表面発生電流を考えなくてはならない。いま、表面電流 $I_{gen,sur}$ を次式で表す。

$$I_{gen,sur} = qU_{sur}A_{mos} \quad \text{式(3.67)}$$

このときの U_{sur} は酸化膜-シリコン界面が電子と空乏の完全な空乏状態時の単位面積あたりのキャリアの発生確率である。

上記に書いた、蓄積、空乏、反転状態のリーク電流を図示したものを図(3.25)に示す。



図(3.25) pn^+ 接合逆電圧一定時、ゲート電圧を変化させたときのGCDリーク電流

4. 微少リーク電流測定システムの構築

4.1. はじめに

シリコンウェーハ上のリーク電流が測定できるシステムを構築する。この章の目標として、抵抗の電流-電圧測定、ウェーハ中の pn ダイオードのリーク電流を測定することである。その後の章で、他の特徴あるウェーハの pn 接合や GCD(ゲートコントロールドダイオード)を測定していく。

まず、測定するためのシールドボックス、ウェーハプローバを製作し、それを計測器、PCと接続し測定するものである。そのために必要な機器の工作や学習を行い、最後にシステムの評価を行った。

4.2. 現状

これまで、ウェーハ状態で微少リーク電流測定を行うと、次のような問題によりデバイス特性を正確に評価することが困難である。

測定装置からプローバまでの測定ケーブルやインターフェース部分などにおける漏れ電流と外来ノイズ。

プローブ内部の配線や、プローバ(針)などの漏れ電流と、不完全なシールドによる外来ノイズや光による影響。

空気中に含まれる水分が絶縁物やウェーハ表面に付着することによって発生するリーク電流。

このために、測定するデバイスで漏れ電流の影響を受けない範囲の電流値で評価を行うなど、TEGの構造を工夫する必要がある。

4.3. 構築システム仕様

4.2.の現状を認識して、構築する基本的な仕様は次の通りとした。この仕様を満たすように測定システム構築した。

測定できる最小リーク電流分解能値として $1.0\text{E-}12(\text{A})$ とすること

ウェーハ状態で測定可能であること

ウェーハがシールドボックス内にあること

メンテナンスが容易であること

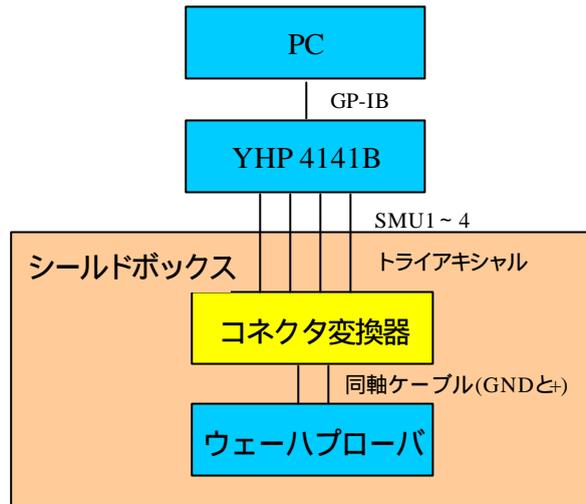
のウェーハをシールドボックス内に置くことにより、外来ノイズを極力なくすことにする。 のメンテナンス性については、測定機器のメンテナンス性、及びプログラムのメンテナンス性も考慮する。

4.4. 構築システム概要

構築システムチャート図を図(4.1)に示す。今回構築したシステムはすべて計測器制御規格である GP-IB で制御されている。また、プログラム言語は HP BASIC によって書か

4. 微少リーク電流測定システムの構築

れている。



図(4.1) 構築システム概要

4.5. 装置説明

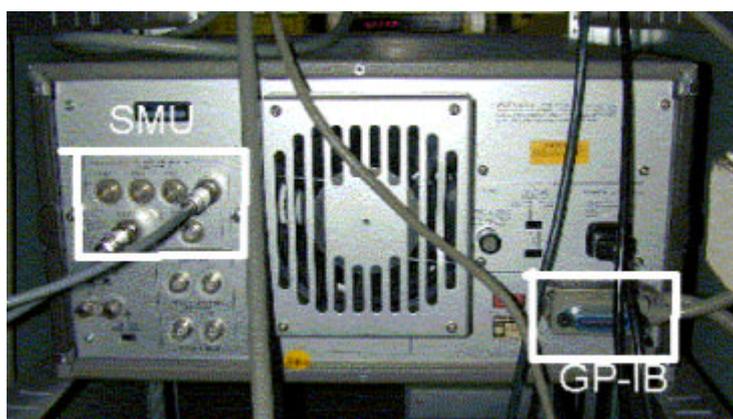
個々の測定装置、及び測定機材について説明をする。

4.5.1 YHP4141B DC SOURCE/MONITOR

外観図を図(4.2)に示す。内部に電源(定電流・定電圧)4系統、電流計・電圧計をそれぞれ2系統を持っているDC電源である。それぞれの電源(定電流源、定電圧源どちらでも可能)と計測装置のセットをSMU呼ぶ。(Source/Monitor Unitの頭文字である。)これとは別に更に、定電圧電源2系統、電圧計を2系統搭載している。本機の測定可能レンジを表(4.1)に示す。表をみてわかるとおりに、電圧としては $\pm 100V$ 出力できるが、電流としては $\mu A, nA, pA$ 程の電流しか流せないの制御プログラムによってリミッターの設定などには注意しなければならない。操作パネルにはスイッチは2つしかなく電源とLOCAL/SELF TEST だけであり、コントロールするためにはGP-IBを用いて制御しなくてはならない。今回の測定プログラムでは電流は $1.0E-6A$ でリミッターをかけてある。また、YHP4141Bの内部の概念図を図(4.3)示す。そのほか、Simplified SMU Circuit Diagramを図(4.4)に、GNDU Simplified Circuit Diagramを図(4.5)に、装置全体のDiagramを図(4.6)に示す。



4. 微小リーク電流測定システムの構築



図(4.2) YHP4141B 外観図

Voltage Accuracy

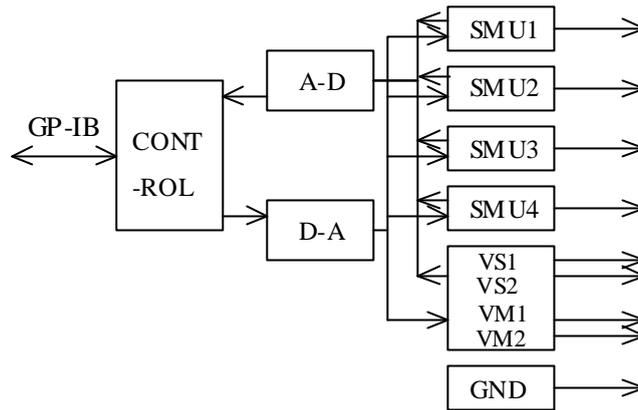
Range	Max.Res	Accuracy
$\pm 20V$	1mV	$\pm (0.1\%+0.05\%)$
$\pm 40V$	2mV	
$\pm 100V$	5mV	

Current Accuracy

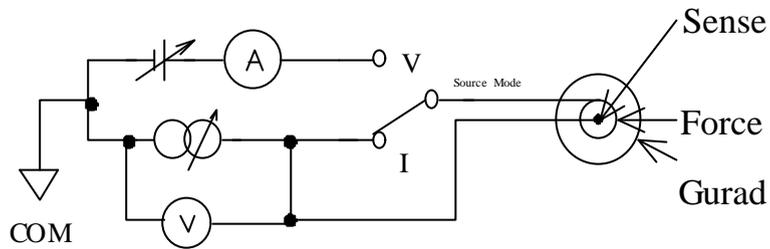
Range	Max.Res	Accuracy
$\pm 100mA$	100 μA	$\pm [0.3\%+(0.1+0.2Vo/100)\%]$
$\pm 10mA$	10 μA	
$\pm 1000 \mu A$	1 μA	
$\pm 100 \mu A$	100nA	
$\pm 10 \mu A$	10nA	$\pm [0.5\%+(0.1+0.2Vo/100)\%]$
$\pm 1000nA$	1nA	
$\pm 100nA$	100pA	$\pm [1\%+(0.1+0.1Vo/100)\%+5pA]$
$\pm 10nA$	10pA	
$\pm 1000pA$	1pA	

表(4.1) 測定レンジ表

4. 微小リーク電流測定システムの構築

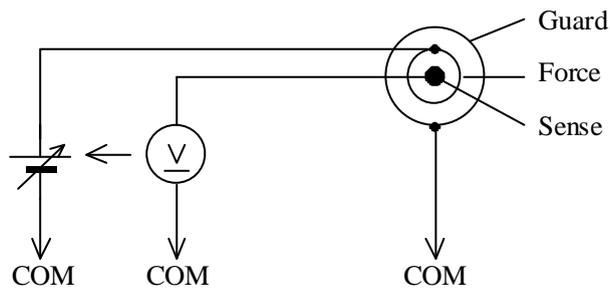


図(4.3) YHP4141B の内部の概念図



図(4.4) SimplifiedSMUCircuitDiagram

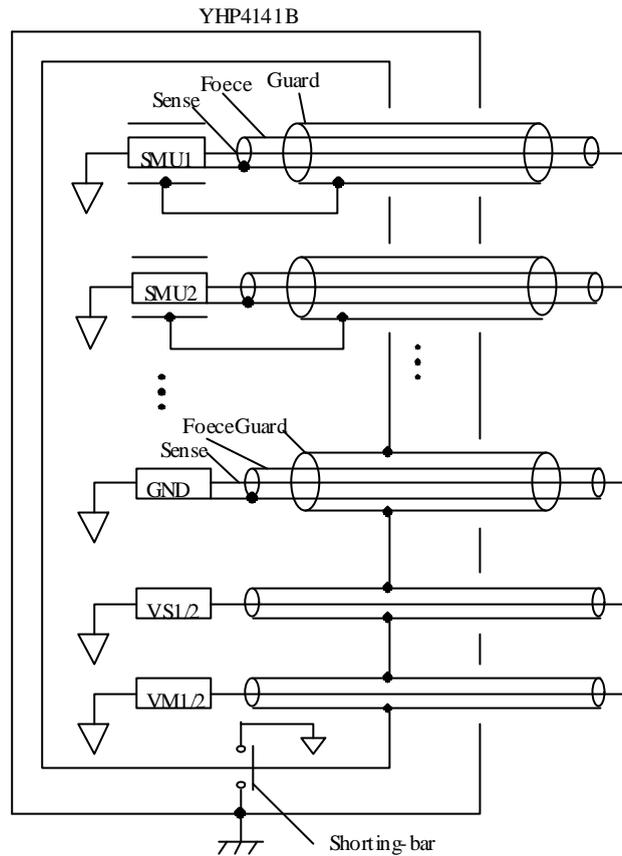
図(4.4)における Source Mode はプログラム制御で変更が可能である。



図(4.5) GNDU Simplified Circuit Diagram

HP4141B 図(4.5)の様な GND を持っている。これは、常に GND 系の電圧を監視し、電圧源にフィードバックすることにより、正確な"0V"を実現している。また、このような回路を持つことにより、各機器を接続する際に使用するケーブルの余剰抵抗を排除することができ、SMU 電源の動きを正確に保証している。

4. 微少リーク電流測定システムの構築



図(4.6) 装置全体の Diagram

YHP4141B の装置全体からみた Diagram は図(4.6)の様になっている。各 SMU/VS/VM は GND から浮いた状態で構成されている。

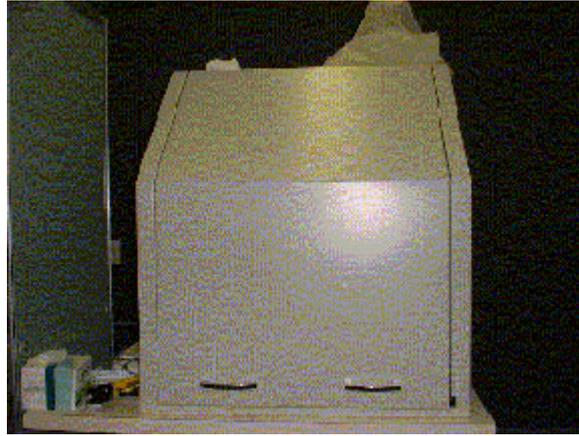
4.5.2 HP 82341D

ISA バス用の拡張ボードであり、PC から GP-IB を制御するために必要なボードである。16bit のインターフェースで転送速度は 750kB/S である。Windows95・Plug&Play に対応している。実際の制御は HP BASIC、VisualC++、VisualBASIC を用いて制御する。今回は HP BASIC を使用した。

4.5.3 シールドボックス

電氣的にシールド、つまり周りを金属で覆われている箱である。外観写真を図(4.7)に示す。この中にウェーブローバやウェーハを設置し測定する。

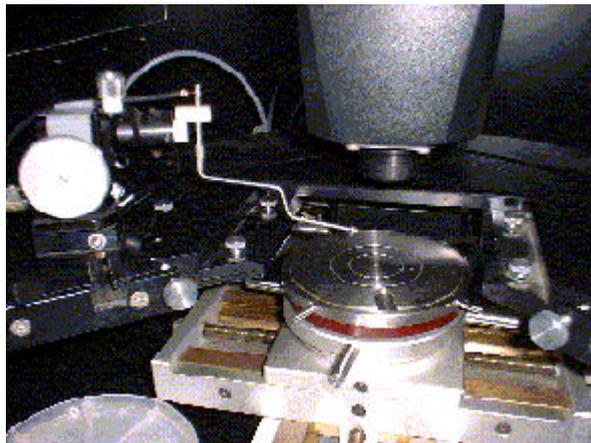
4. 微少リーク電流測定システムの構築



図(4.7) シールドボックス写真

4.5.4 ウェーハプローバ

ウェーハ及びプローブ（針）を固定する機材である。写真を図(4.8)に示す。ウェーハを固定するときは基盤と台の間を真空ポンプで真空にする事により圧着する。また、基盤を GND にとるときはこの台に GND をとりつける。ウェーハは一度固定すると X,Y,Z 軸で正確に動かすことができる。



図(4.8) ウェーハプローバ写真

4.5.5 ケーブル変換ボックス

トライアキシャルケーブルと同軸ケーブルを変換するためのボックスである。全体的にアルミのケースでできていて、ノイズを遮蔽している。これについては 4.6.5 で詳しく述べる。

4.5.6 GP-IB (HP-IB)

General Purpose - Interface Bus の略である。もともとは Hewlett Packard 社の社内規格であった HP-IB という計測機器用のデジタルバスのことである。現在では IEEE 488 として規格化されている。コンピュータと各種計測機器、周辺装置を接続して制御するために広

4. 微少リーク電流測定システムの構築

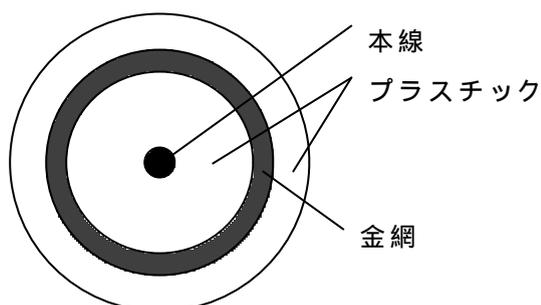
く使われている。

GP-IB では、最大 15 台の機器を 24 ピンのケーブル（8bit データバス + 制御信号）で接続することができ、理論最大転送速度は 1Mbytes/sec である。バス上の各機器にはアドレスが付けられており、このアドレスを元にして各機器を識別する。

4.5.7 ケーブルの種類について

1) 同軸ケーブル(コアキシャルケーブル)

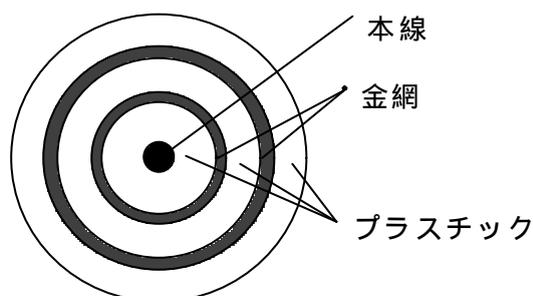
同軸ケーブルの断面図を図(4.9)に示す。同軸ケーブルは実際の信号は中心の線に流し、周りの金網は GND に接続する。これによって、信号への雑音の影響を低減できる。



図(4.9) 同軸ケーブル断面図

2) トライアキシャルケーブル

トライアキシャルケーブルの断面図を図(4.10)に示す。実際の信号は中心の線に流す。同軸ケーブルと違うところは信号線の周りの金網が二重になっていることである。これは、同軸ケーブルよりも対雑音性が向上することを示している。



図(4.10) トライアキシャルケーブル断面図

4.6. 装置製作及び設置

4.6.1 YHP4141B DC SOURCE/MONITOR

YHP4141B の SMU 性能を調べるために本体のみのリーク電流を測定した。この測定の結果は 5.2.1 に詳しく述べる。この結果を用い一番測定感度がよい SMU を使う。また、GND は基板の Sub と接続するようにウェーハプローバに接続している。

4. 微少リーク電流測定システムの構築

4.6.2 HP 82341D

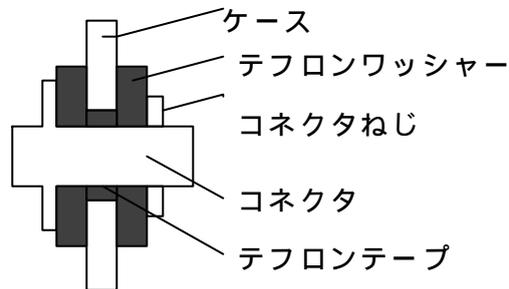
HP BASIC をインストール済み Windows95 に搭載して測定を行った。

4.6.3 シールドボックス

ケーブルを通すために穴をあけそこに両極が雌のコネクタを取り付けケーブルを両側に刺すことによってケーブルを通した。図(4.6)より YHP4141B の SMU の Guard からのケーブルについてはケルビン接続をする必要があるためにコネクタの一番外側(Guard)はアースではない。そのために、穴をあけた部分とコネクタは完全にアースとは絶縁されていることを求められることになる。初期の頃は、絶縁物として「ニトリルゴム(NBR)」を使用した。しかし、測定を行っているときの、システムのばらつきが大きかった。この原因について考察してみた結果、アースと Guard が完全に絶縁されていないのではないかと考えた。そのため、非常によい絶縁性を持つテフロン(四フッ化エチレン・PTFE)を絶縁材の材料として用いた結果、非常にシステムが安定して、測定結果のばらつきが少なくなった。今回は、改良前後の結果を数字として提示したかったのだが、私の実験の不幸でニトリルゴムの時のデータを破棄してしまった。そのために、具体的な数字はあげられないのだが、テフロンに絶縁物を変更することによって、ばらつきが一桁は少なくなった。

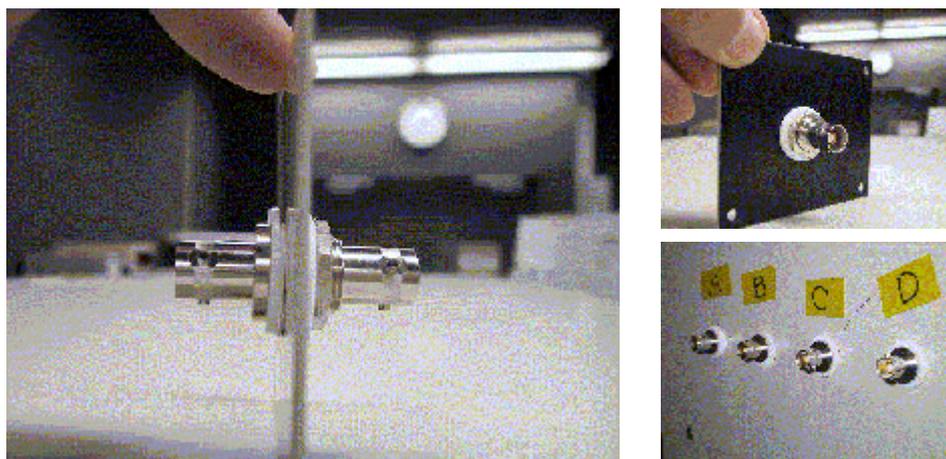
説明図を図(4.11)に、外形写真を図(4.12)に示す。

また、AC100V を中に通すために配線を行った。シールドボックスはアースされている。今回の測定では、ウェーハプローバの顕微鏡の照明のために AC100V を内部まで引き込んでいるが、この影響がどれくらい測定結果に影響するかについては後の章(5.2.4)で述べる。



図(4.11) コネクタ部外観

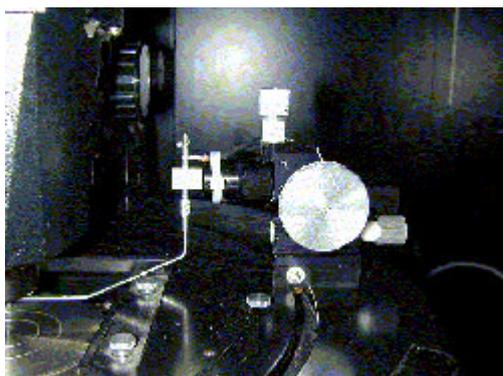
4. 微少リーク電流測定システムの構築



図(4.12) プローブボックスコネクタ部分外形写真

4.6.4 ウェーハプローバ

プローブ（針）についてはタングステンを使用した。針と配線の接続については写真で図(4.13)に示す。配線とは直接はんだ付けされている。プローブを固定する棒がステンレスではんだがのらないので錫メッキ線を巻いてその部分とはんだ付けしてある。

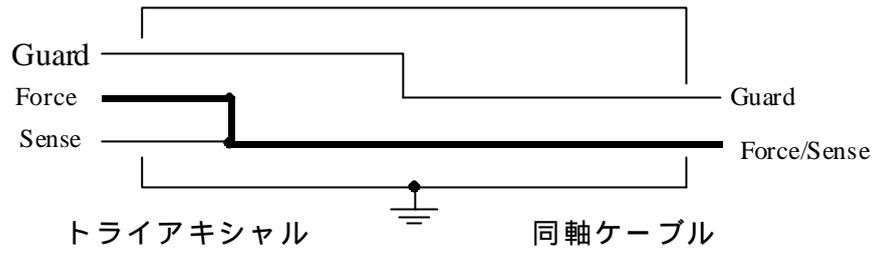


図(4.13) プローバと接続状態

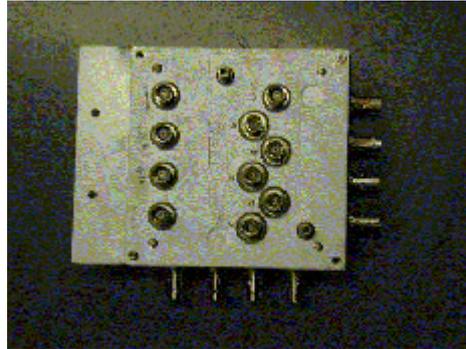
4.6.5 ケーブル変換ボックス

トライアキシャルケーブルと同軸ケーブルを変換するための装置を製作し、この回路を用いて変換した。回路全体はアルミ板の箱で覆われている。変換装置の回路図を図(4.14)に示す。全 SMU 及び GND は回路図のように接続されている。この回路図の特徴はトライアキシャルコネクタの Guard と同軸ケーブルの Guard を接続する際に、ボックス本体と接触していないということである。図(4.6)YHP4141B 装置全体の Diagram からわかるとおり GND のトライアキシャル Guard 以外の SMU の Guard は全てシステム全体から浮いている状態になっている。このために変換ボックスはアースしているために、トライアキシャルコネクタの Guard と同軸ケーブルの Guard は浮かした状態になっている。YHP4141B からこの接続部まではケルビン接続がなされている。また、外観図を図(4.15)に示す。

4. 微小リーク電流測定システムの構築



図(4.14) ケーブル変換ボックス回路図



図(4.15) ケーブル変換ボックス

5. 構築システム試験

5.1. 試験概要

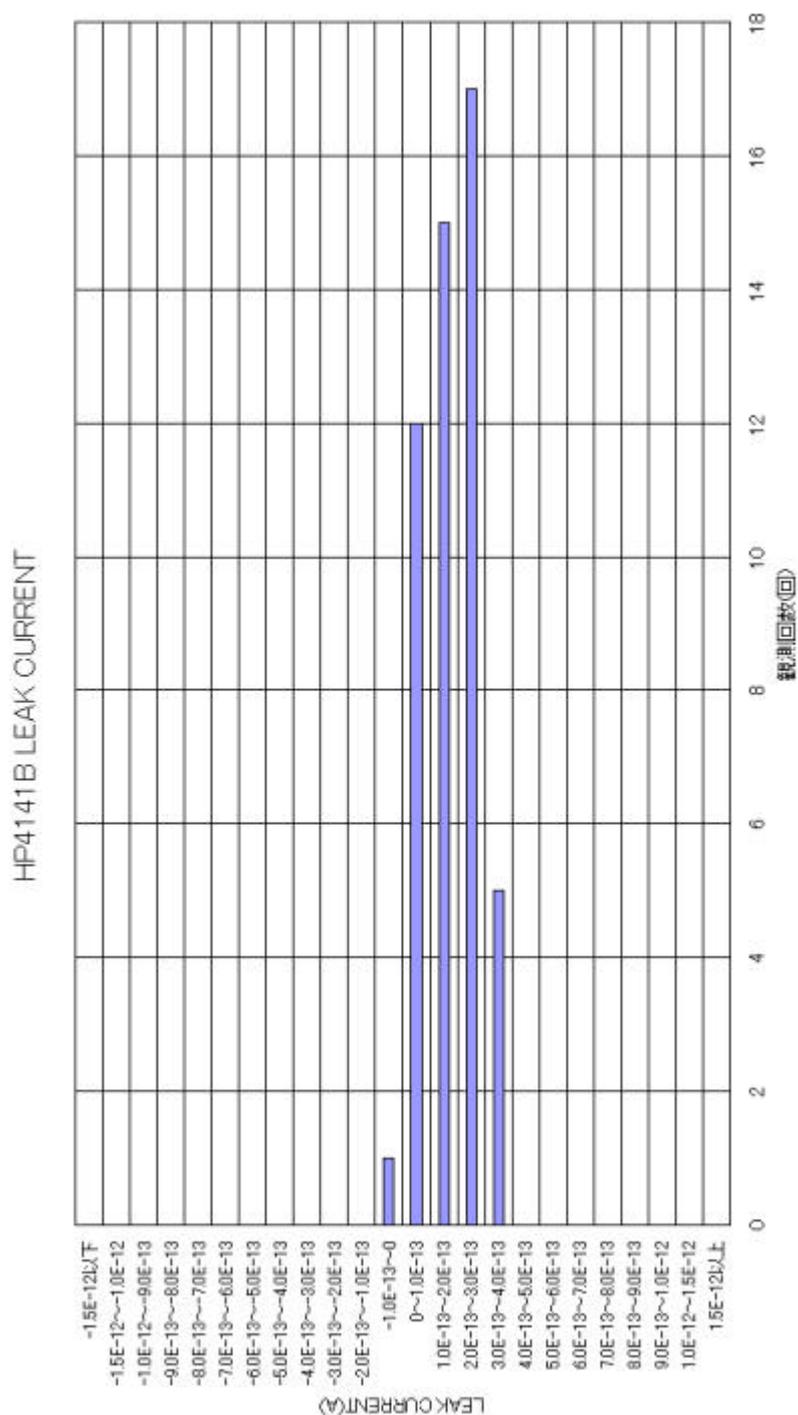
リーク電流測定システムを構築したが、それをテストするために、試料を準備して測定し、システムの有効性について検証した。用意した試料は2つで一つは抵抗、もう一つはウェーハ上の MOS トランジスタ上の pn 接合である。それぞれの電圧-電流特性を考察しシステムの試験を行った。

5.2. 構築システムのリーク電流

それぞれの試料を測定する前に測定条件を考え、測定システム全体としてのリーク電流を計測した。

5.2.1 HP4141B 本体のリーク電流

HP4141B 本体のリーク電流を測定した。この測定の際にはコネクタにはなにも接続せずに行った。このときの状態をを図(5.1)に示す。

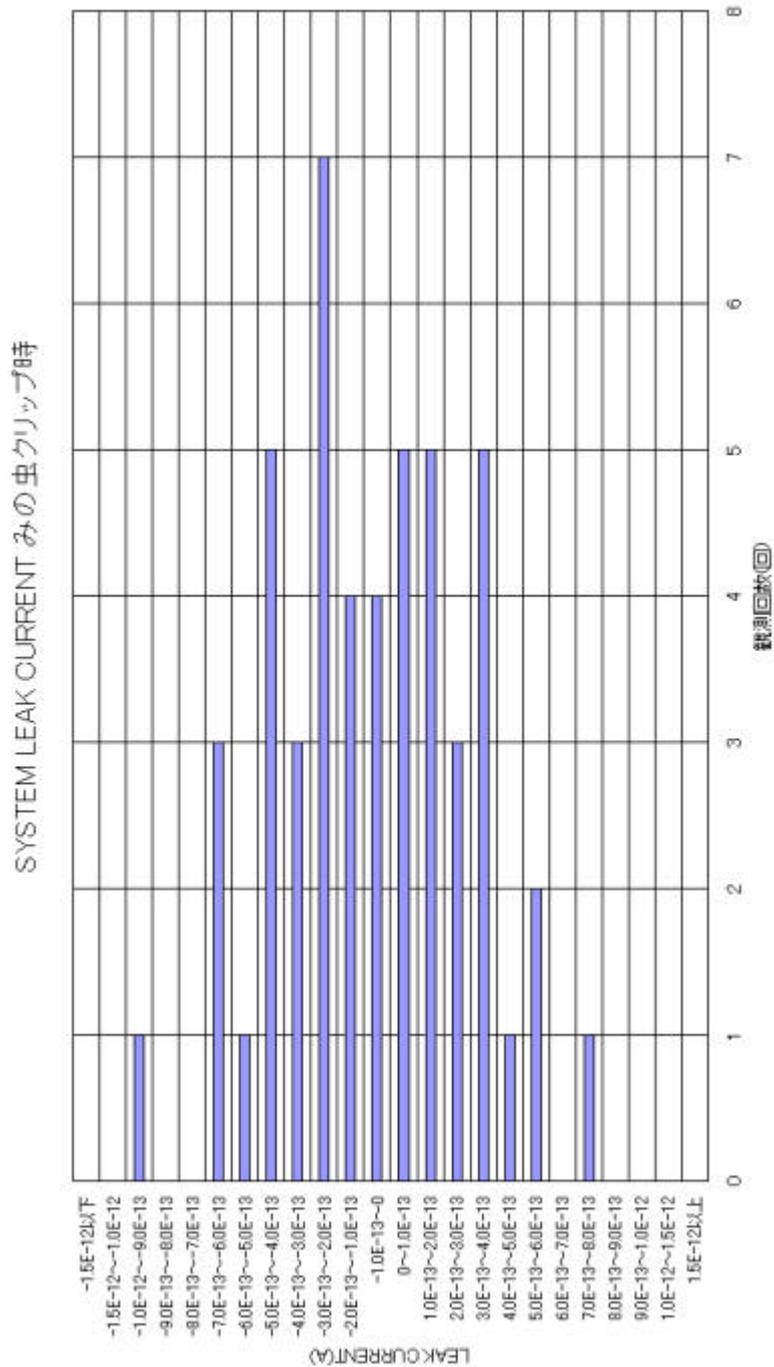


図(5.1) HP4141B 本体のリーク電流

システムのリーク電流は $-2.0E-13 \sim +1.0E-13$ の範囲内に収まっている。全体的にマイナス側にリーク電流が流れる傾向があることがわかる。

5.2.2 抵抗測定用クリップを取付時の測定システムリーク電流

抵抗を取り付けるためにこの測定ではプローバを使わずに、ワニ口クリップをコネクタ変換ボックスに取り付けた。このときのシステムのリーク電流を図(5.2)に示す。

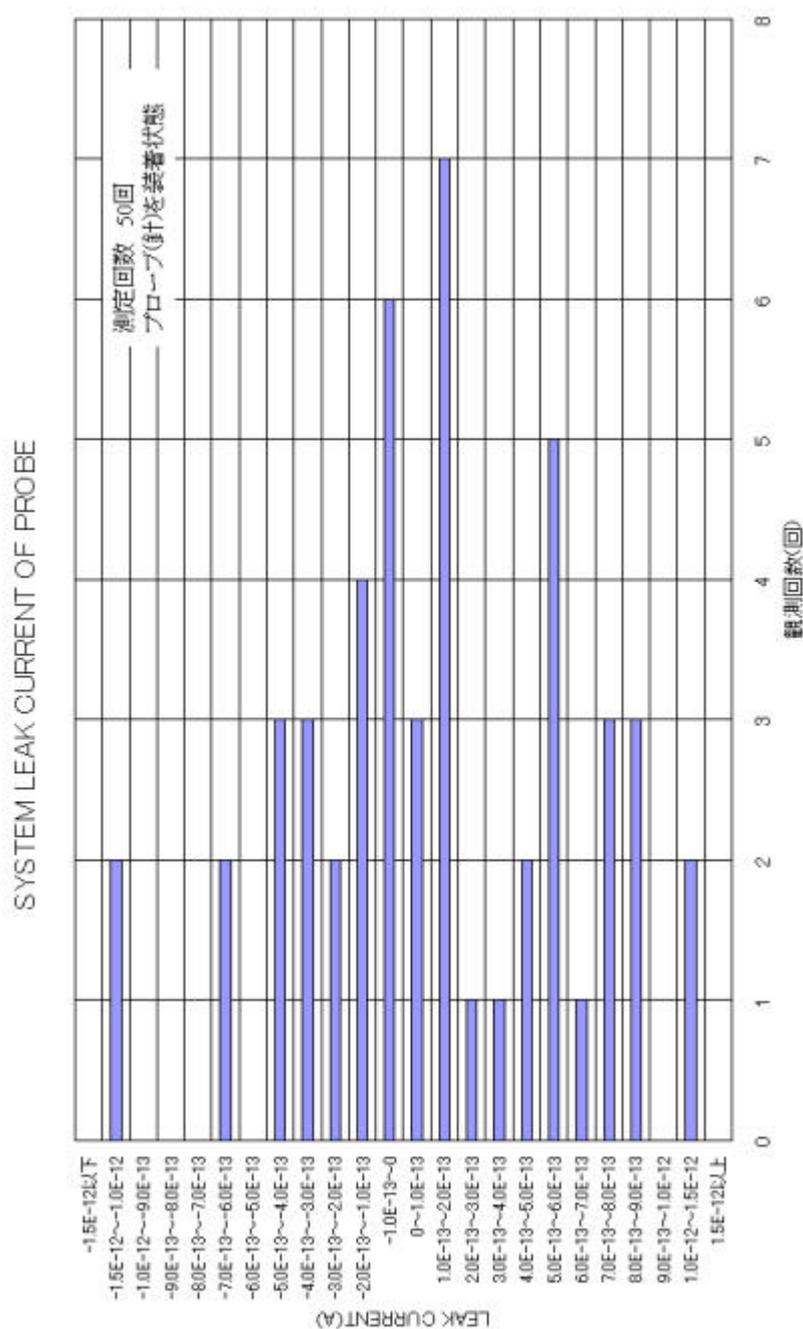


図(5.2) クリップを取付時の測定システムリーク電流

みの虫クリップを取り付けるところでケルビン接続がされているために、クリップでのリーク電流は E-13(A)内に収まっている。そのために、クリップを取り付けたとしても E-12 (A) レベルの測定には問題がない。

5.2.3 プローバを取付時の測定システムリーク電流

実際の測定で使用すると考えられるプローバを取り付けてシステム全体のリーク電流を測定した。そのときのリーク電流を図(5.3)に示す。



図(5.3) プローバを取付時の測定システムリーク電流

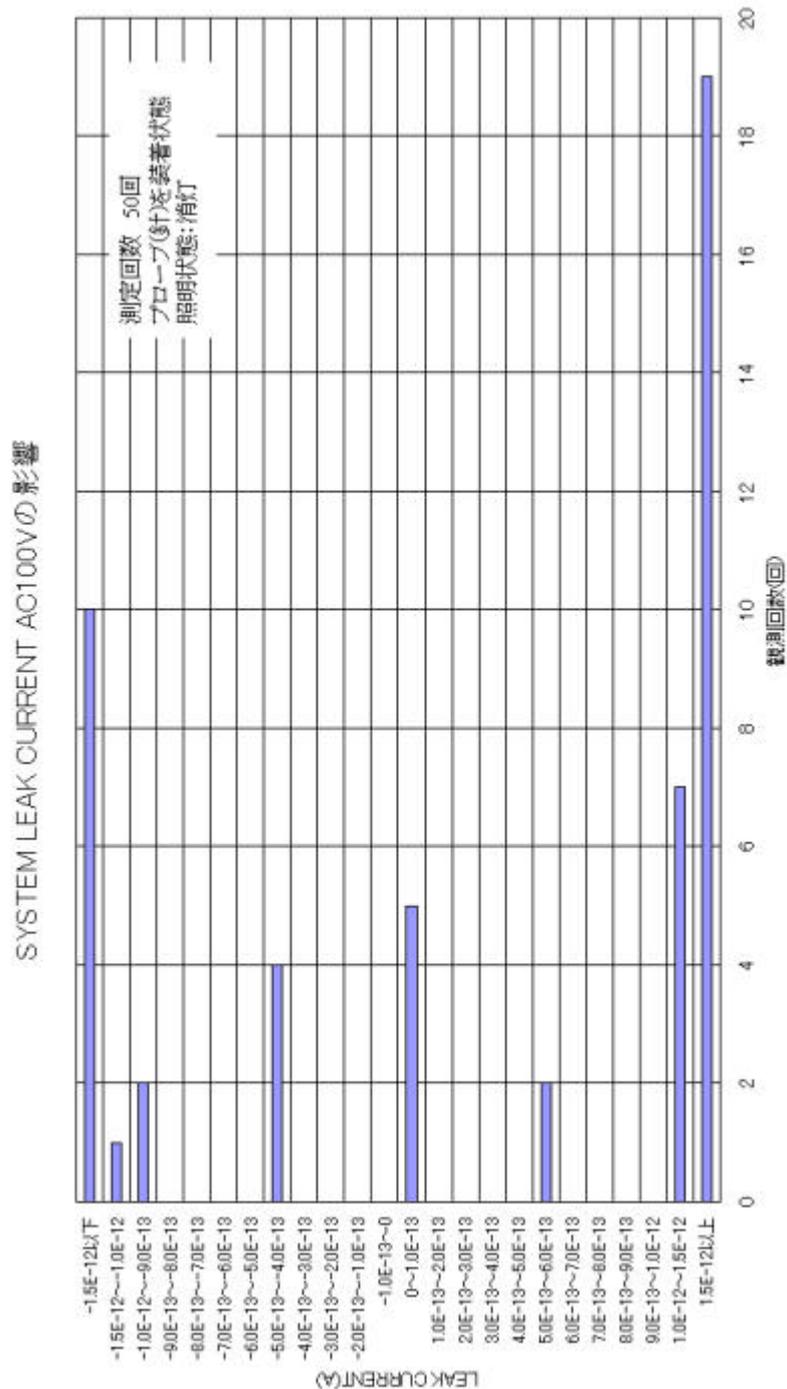
プローバを取り付けたことによって HP4141B 本体の時のリーク電流よりは増加する。このグラフよりプローバまでのリーク電流を約 $E-13$ (A) までに押さえられていることがわかる。従って、 $E-12$ (A) の電流の測定がこのプローバを用いて測定できる。これはシステム仕様に適合している。

5. 構築システム試験

5.2.4 プローブボックス内に顕微鏡用 AC100V 電源の影響

4.6.3 で記述している、顕微鏡用 AC100V 電源をプローブボックス内に設置することの影響について述べる。結論を述べると、微少電流を測定するときのその影響は極めて大きい。

電源をコンセントに接続した時と、電源をコンセントから切り離した時の的データを図(5.4)に示す。この測定時には図(5.3)と同じようにプローブをつけた状態で測定している。これによって、比較対照ができる。



図(5.4) プローブボックス内に顕微鏡用 AC100V 電源がある場合のリーク電流

5. 構築システム試験

図(5.4)によると、AC100V 電源をコンセントと接続しているときのシステムのリーク電流は、接続していないときに比べて、2桁から3桁程度の誤差が生じている。また、電源にコンセントに接続して測定中、測定装置からのエラーとして次のようなものが示される。

FROM HP4141B : This channel has oscillating.

これは、測定ラインが電氣的に振動を起こしているということである。コンセント電源が交流を使っているために、電源内に内蔵してあるトランスからの電磁波が影響しているものと考えられる。

このことにより、微小電流を測定するときは顕微鏡用 AC100V 電源をコンセントから切り離しておくべきである。この操作を行わないときの測定データは全く意味をなさない。

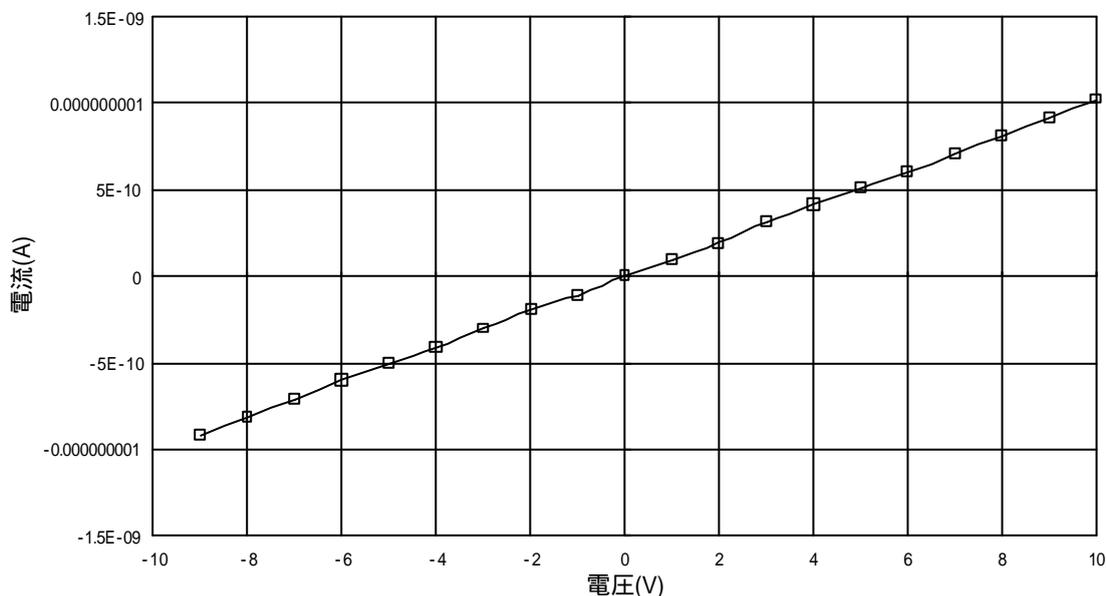
5.3. 構築システムの試験 評価の結果

構築したシステムの試験・評価の結果を下記に示す。

5.3.1 抵抗電流-電圧特性

抵抗接続時の電流-電圧を図(5.5)に示す。

10G 抵抗 電流-電圧特性



図(5.5) 10G 電流-電圧特性

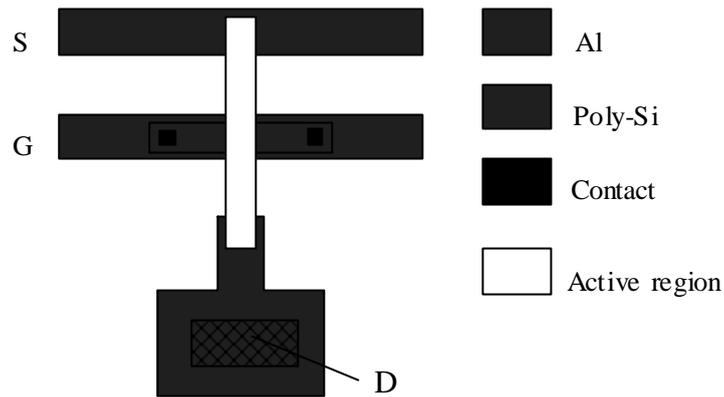
図(5.5)より、構築したシステムは E-10(A)の電流が測れていることがわかる。ワニグチクリップを使用したシステムのリーク電流は E-13(A)のレベルなので抵抗を測定結果と比べた場合、非常に小さいので無視できる。これより、この E-10(A)レベルのレンジでは

測定できていることが確認できる。

5.3.2 ウェーハ上における pn 接合電流-電圧特性

1) 試験用ウェーハ情報

今回測定したウェーハのパターン図を図(5.6)に示す。基板は p 型である。測定では D のところにプローバを置き D-Sub の間の pn 接合の特性を測定する。基板の具体的情報は表(5.1)に示す。



図(5.6) ウェーハパターン

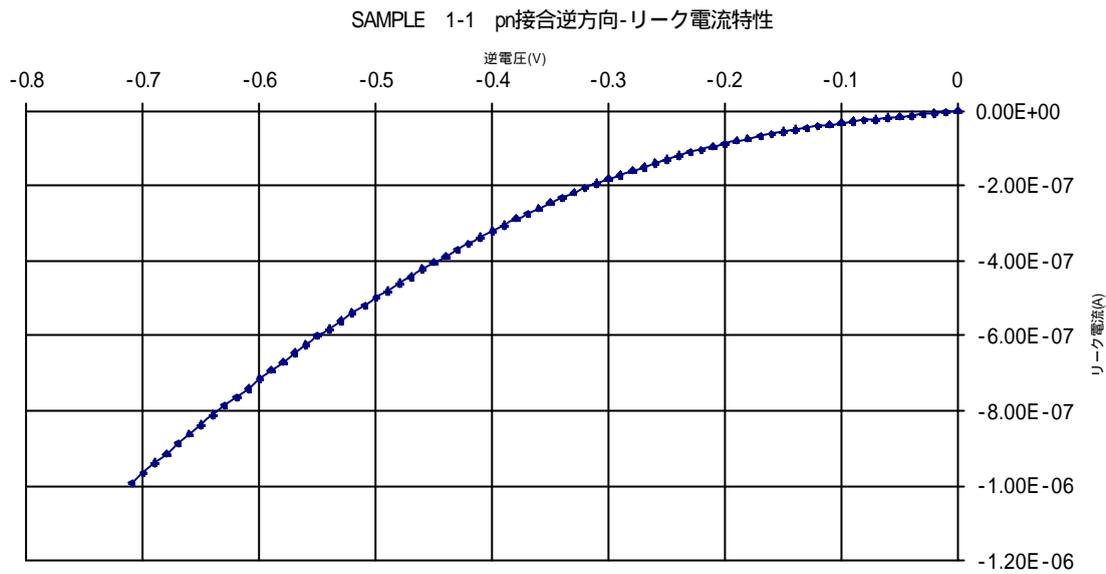
表(5.1) 試験用ウェーハ情報

SAMPLE 名	SAMPLE1-1
素子名	MOS トランジスタ
配線	75 μ m
基板伝導系	p 型
基板抵抗	10 cm

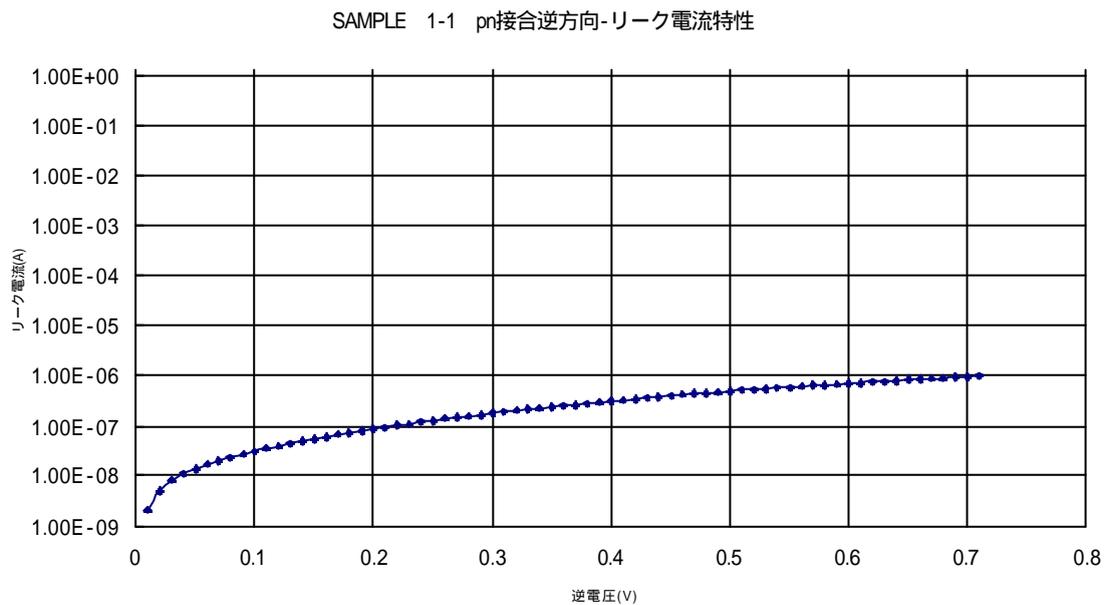
2) MOS トランジスタリーク電流測定結果

MOS トランジスタのドレイン-sub 間の逆電圧印加時のリーク電流測定結果を次に示す。

5. 構築システム試験



図(5.7) MOS トランジスタのドレイン-sub 間の逆電圧印加時のリーク電流(リニア)



図(5.8) MOS トランジスタのドレイン-sub 間の逆電圧印加時のリーク電流(LOG)

図(5.8)を log で表示するために x 軸、y 軸ともに正で示している。実際には pn 接合の逆方向に電圧を印加し、逆電流が流れる。

立ち上がりですでに E-9(A)だったので今回のテストの資料としてはあまりふさわしくない。しかし、今回はシステムのシステムとしてはウェーハではかれるかどうかの試験もしたかったので、この点についてはよかった。

5. 構築システム試験

5.3.3 5.のまとめ

今回構築したリーク電流測定システムは、試験を重ねた結果、目標の $1.0\text{E-}12(\text{A})$ の測定が行われていることがわかった。これは 4.3.の構築システム仕様を満たしている。また、これ以外でも 4.3.で示している仕様を全て満たしている。

測定できる最小リーク電流の値として $1.0\text{E-}12(\text{A})$ とすること

上記の通り。測定が可能である。

ウェーハ状態で測定可能であること

ウェーハ状態で測定を可能とするためにプローバを取り付けた。今回やは 2 本の針をセットすることを想定し構築した。

ウェーハがシールドボックス内にあること

シールドボックスでほぼ囲っている。そのために外部からの雑音は極めて小さい。

メンテナンスが容易であること

これから様々なプログラムを製作することを考えて、全て行に脚注を行った。そのほかにも、顕微鏡用の電源も雑音対策を施し、プローブボックス内に配置し、ウェーハ入れ替え時などの作業性の向上を図った。

したがって、構築したリーク電流測定システムは予定通りの性能を示し、構築システム仕様を満たしていることが確認できた。

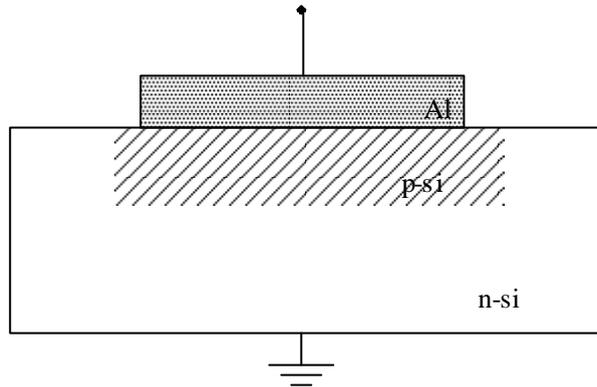
6. pn 接合リーク電流評価

n型のウェーハ上にあるpn接合のリーク電流を測定する。

6.1. pn 接合構造情報

6.1.1 pn 接合断面図

今回の測定で使用したpn接合断面を図(6.1)に示す。



図(6.1) pn 接合断面図

6.1.2 pn 接合測定用ウェーハ情報

今回使用した SAMPLE 名称とサンプルの詳細情報について表(6.1)に示す。サンプルの面積情報については、他の電極面積がわかっているので、それを元に推量している。多少の誤差があるものと思われる。

a) ウェーハ番号 2

今回の測定で用いたウェーハは製造プロセスに起因するストレスをできる限り少なくしたウェーハである。つまり、ジェネレーションを少なくするために選択酸化やフィールドイオン注入等を用いないで作成した n 型基板を用いた pn 接合ダイオードである。

SAMPLE名	2-1	2-2	2-3	2-4	2-5	2-6
素子名	pn接合					
面積(cm ²)	3.01E-01	1.25E-01	3.79E-02	4.70E-02	1.96E-03	7.06E-04
基板伝導形	n型					
基板抵抗	10 cm					
不純物濃度	4.0E14cm ⁻³					
添加物元素	なし					
添加物濃度	なし					

6. pn接合リーク電流評価

b) ウェーハ番号 3

上記のウェーハ番号 2 のウェーハに、公称、Fe を $2.3E13cm^{-3}$ 導入して製作した試料である。

SAMPLE名	3-1	3-2	3-3	3-4	3-5	3-6
面積(cm ²)	3.01E-01	1.25E-01	3.79E-02	4.70E-02	1.96E-03	7.06E-04
基板伝導形	n型					
基板抵抗	10 cm					
不純物濃度	$4.0E14cm^{-3}$					
添加物元素	Fe					
添加物濃度	$2.3E-13cm^{-3}$					

表(6.1) pn 接合リーク電流評価実験で使用する SAMPLE 詳細一覧

6.2. 評価手順

以下に pn 接合リーク電流測定方法を示す。

システムのリーク電流の測定を行う。

システムのリーク電流の測定法については「5.2.システムリーク測定」と同じ方法で行う。測定結果は評価結果と共に示す。

ウェーハをプローバにセットしプローブを接触させる。

プローブを接触を確認するために、カーブトレサで確認する。このときに簡単な順方向立ち上がり電圧、逆方向ブレークダウン電圧などを簡単に確認しておく。この情報を元に測定条件を検討する。

測定条件の入力

コンピュータに測定条件の入力を行う。入力に際しては で確認したカーブトレサの情報を詳細に検討すること。たとえば、YHP4141B の制限電流より大きな電流を流すと装置が故障する可能性があるからである。入力すべき条件は次の通りである。また、同時に今回の測定で使用したパラメータも示す。

- a) リミット電流(リミッター)・・・全 SMU とともに $1.0E-6(A)$
- b) 順方向電圧測定範囲・・・・・・・・・・電流制限が $1.0E-6(A)$ に達するまで
- c) 順方向電圧 STEP 値・・・・・・・・・・ $0.01(V)$
- d) 逆方向電圧測定範囲・・・・・・・・・・ $0 \quad -42(V)$
- e) 逆方向電圧 STEP 値・・・・・・・・・・ $0 \quad -2(V)$ まで $0.01(V)$
 $-2 \quad -42(V)$ まで $0.4(V)$
- f) HOLD TIME/STEP DELAY TIME・ $5(S)/2(S)$

測定開始

測定中はプローブボックスを開かないこと、もう一つ顕微鏡用の電源が完全にシールドされているかを確認するべきである。この確認を怠ると、測定結果が AC100V 電源からの影響を受けてしまうからである。

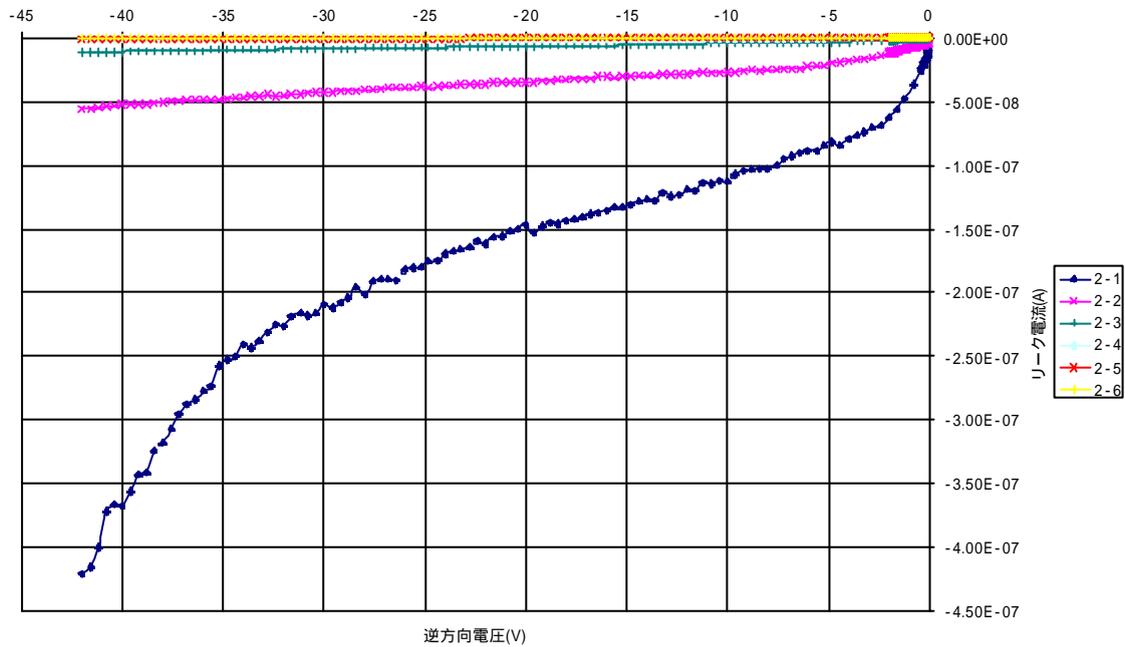
6.3. 評価結果

6.3.1 システムリーク電流

システムのリーク電流の測定法については「5.2.システムリーク測定」と同じ値を用いた。また、今回の GCD リーク電流のレンジとシステムリーク電流を比べたときに 2 桁以上の差があるのでほぼ無視してもかまわない。

6.3.2 ウェーハ番号 2

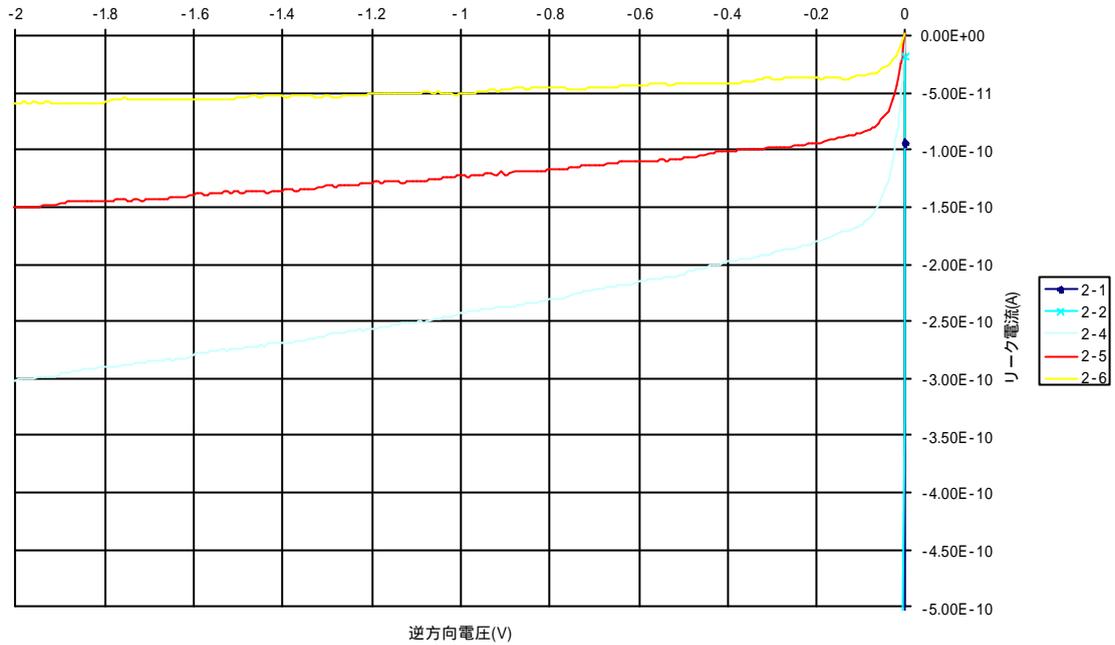
ウェーハ番号 2 の 2-1 から 2-6 までの逆電圧リーク電流測定結果を示す。



図(6.2) SAMPLE2 pn 接合 逆電圧リーク電流測定結果(全体)

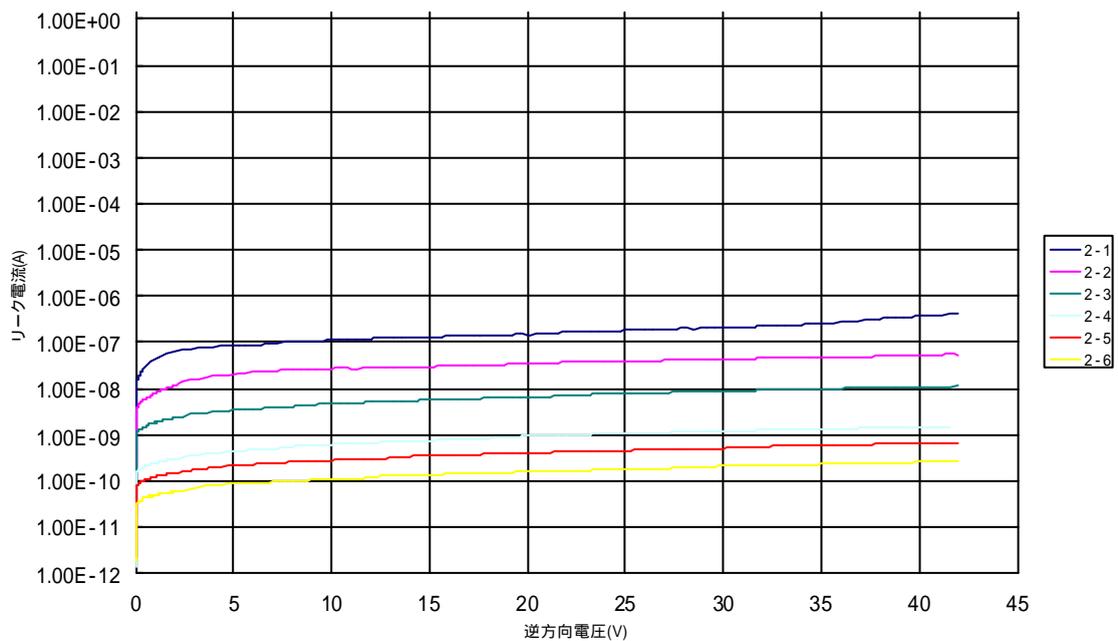
図(6.2)では、全てのサンプルのリーク電流を表示している。面積が大きくなるにつれてリーク電流が大きくなってきている。

6. pn接合リーク電流評価



図(6.3) SAMPLE2 pn 接合 逆電圧リーク電流測定結果(局部)

図(6.3)では図(6.2)で見えなくなっていた部分を拡大したものである。面積が大きくなるにつれてリーク電流は確実に大きくなってきている。また、 $1.0\text{E-}12$ (A)を少しではあるが、確実に測定しているのがわかる。

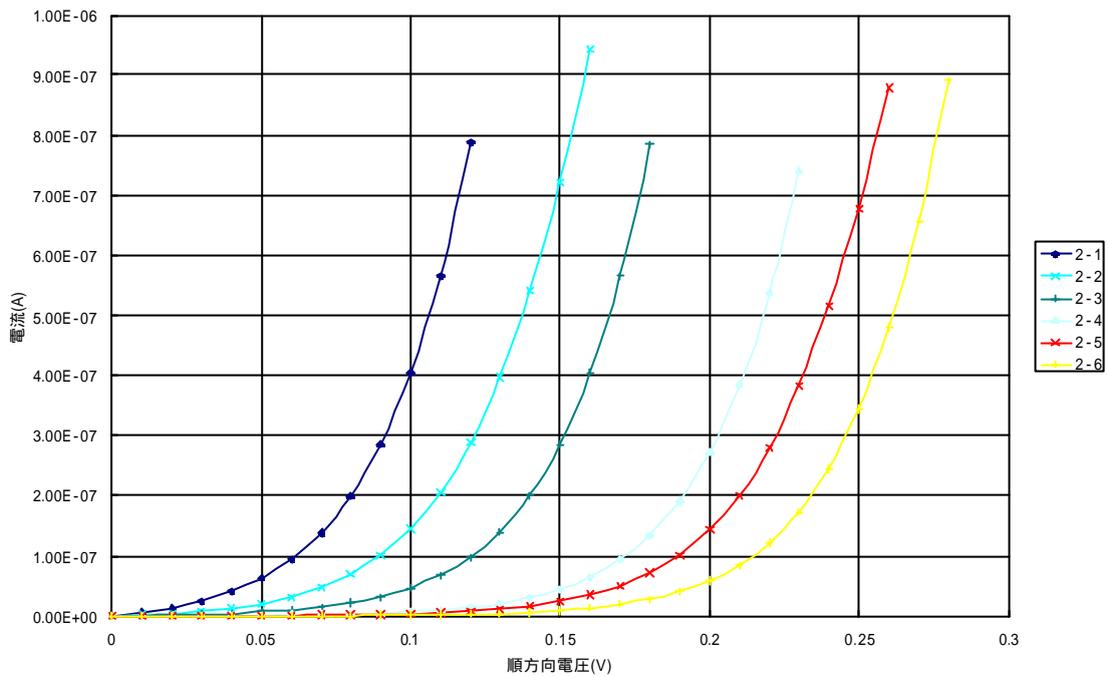


図(6.4) SAMPLE2 pn 接合 逆電圧リーク電流測定結果(対数)

6. pn接合リーク電流評価

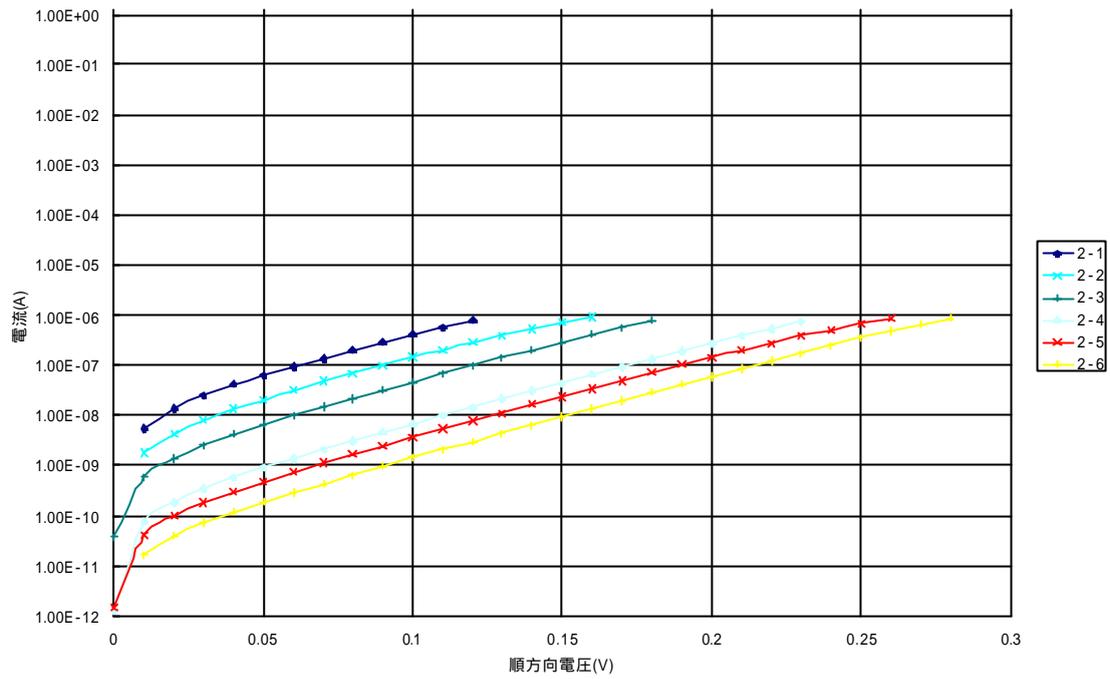
このグラフは対数表示にするために逆電流の絶対値を取りグラフ化している。面積に比例してリーク電流が増えている事がよくわかる。

参考として、ウェーハ番号2の2-1 から 2-6 までの順電圧電流測定結果を示す。



図(6.5) SAMPLE2 pn 接合 順電圧リーク電流測定結果

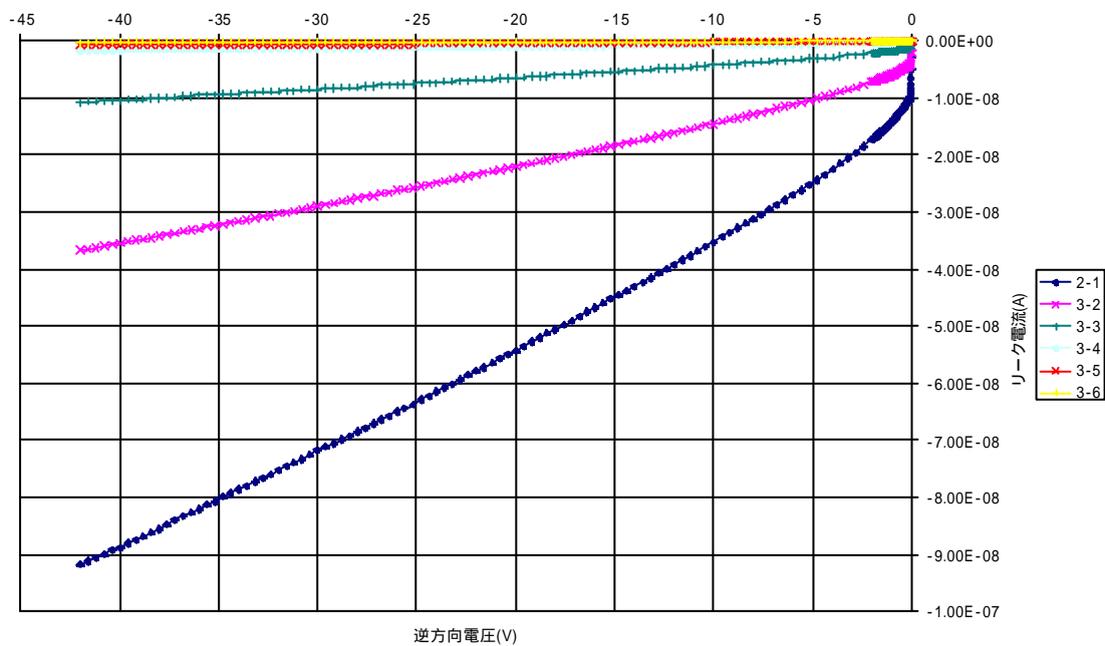
6. pn接合リーク電流評価



図(6.6) SAMPLE2 pn 接合 順電圧リーク電流測定結果(対数)

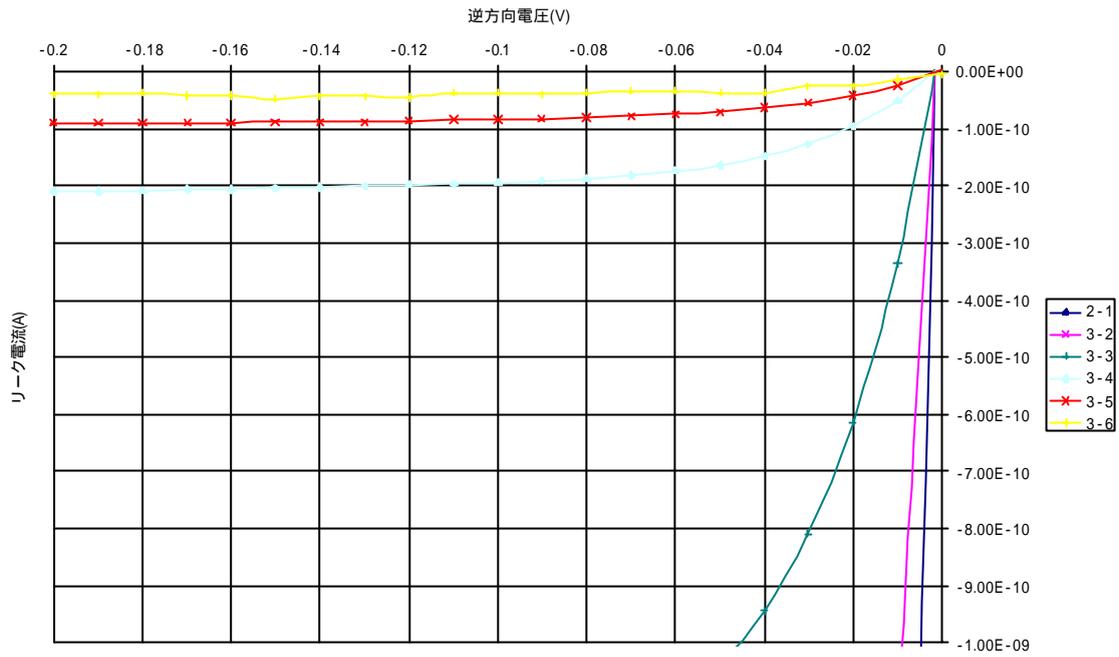
6.3.3 ウェー八番号3

ウェー八番号3の3-1 から3-6 までの逆電圧リーク電流測定結果を示す。

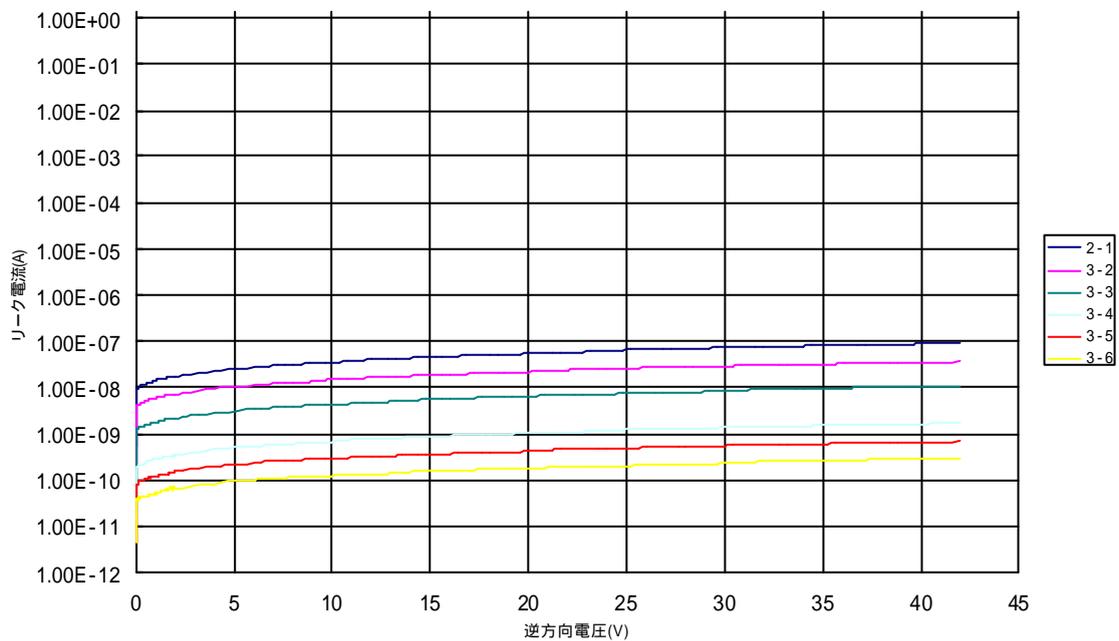


図(6.7) SAMPLE3 pn 接合 逆電圧リーク電流測定結果(全体)

6. pn接合リーク電流評価



図(6.8) SAMPLE3 pn 接合 逆電圧リーク電流測定結果(局部)

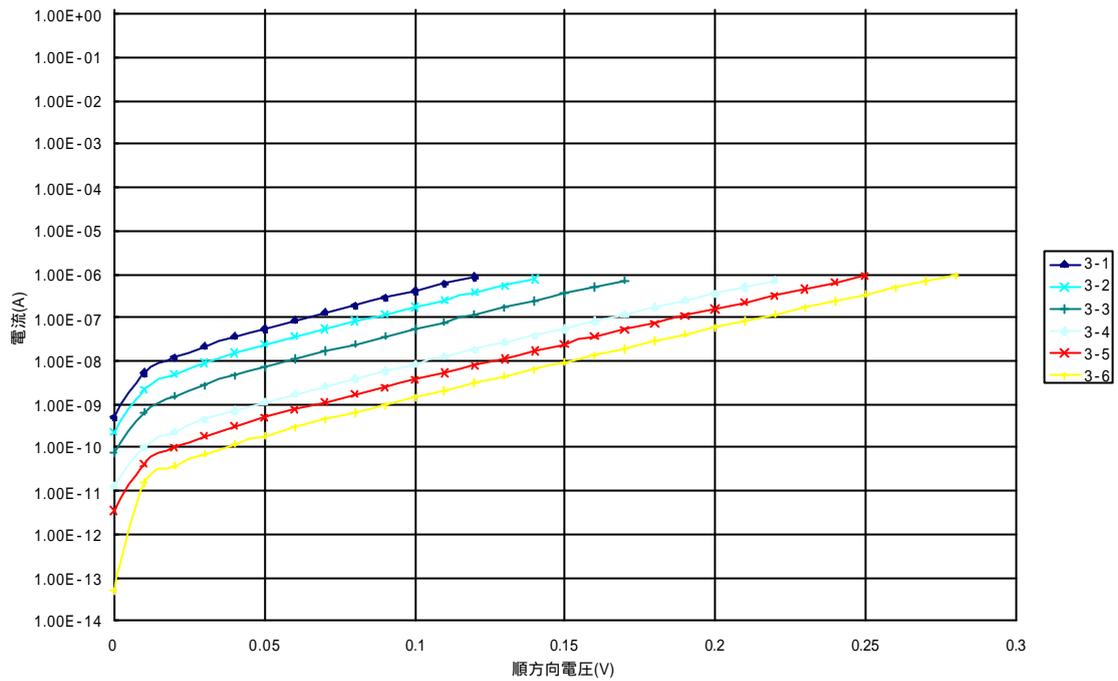


図(6.9) SAMPLE3 pn 接合 逆電圧リーク電流測定結果(対数)

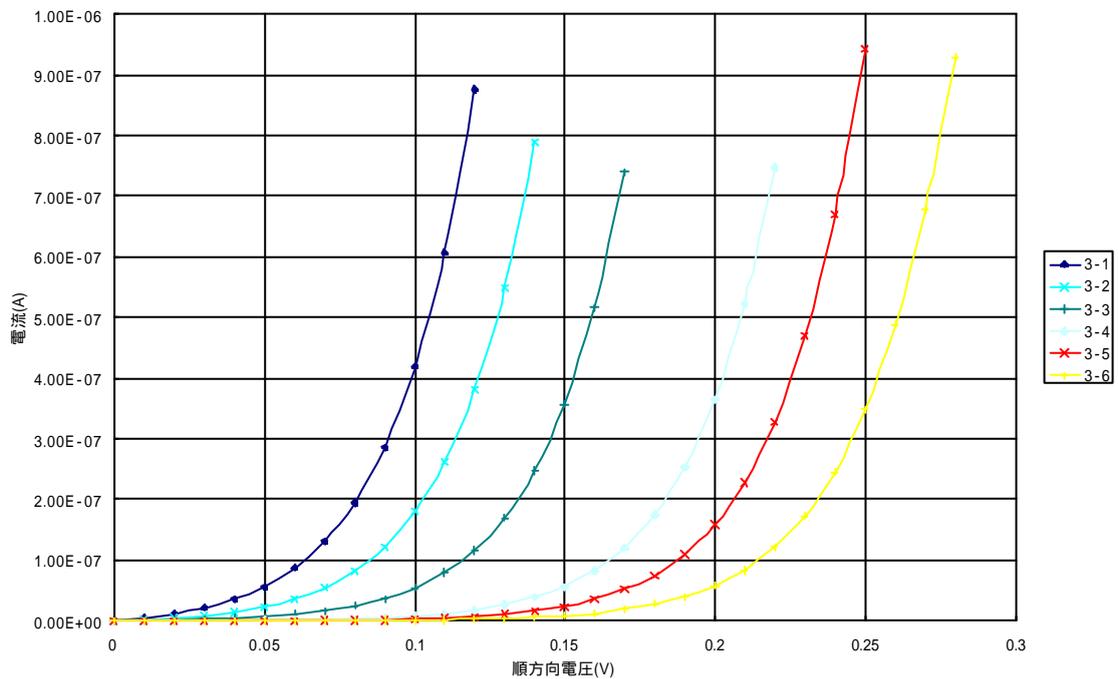
図(6.9)はグラフを対数表示するために電流、電圧を絶対値にとってグラフに加工した。

参考として、ウェーハ番号2の2-1 から 2-2 までの順電圧電流測定結果を示す。

6. pn接合リーク電流評価



図(6.10) SAMPLE3 pn 接合 順電圧リーク電流測定結果



図(6.11) SAMPLE3 pn 接合 順電圧リーク電流測定結果(対数)

6.4. 考察

6.4.1 SAMPLE2(n-type , Ref)とSAMPLE 3(n-type , Fe 添加)の比較

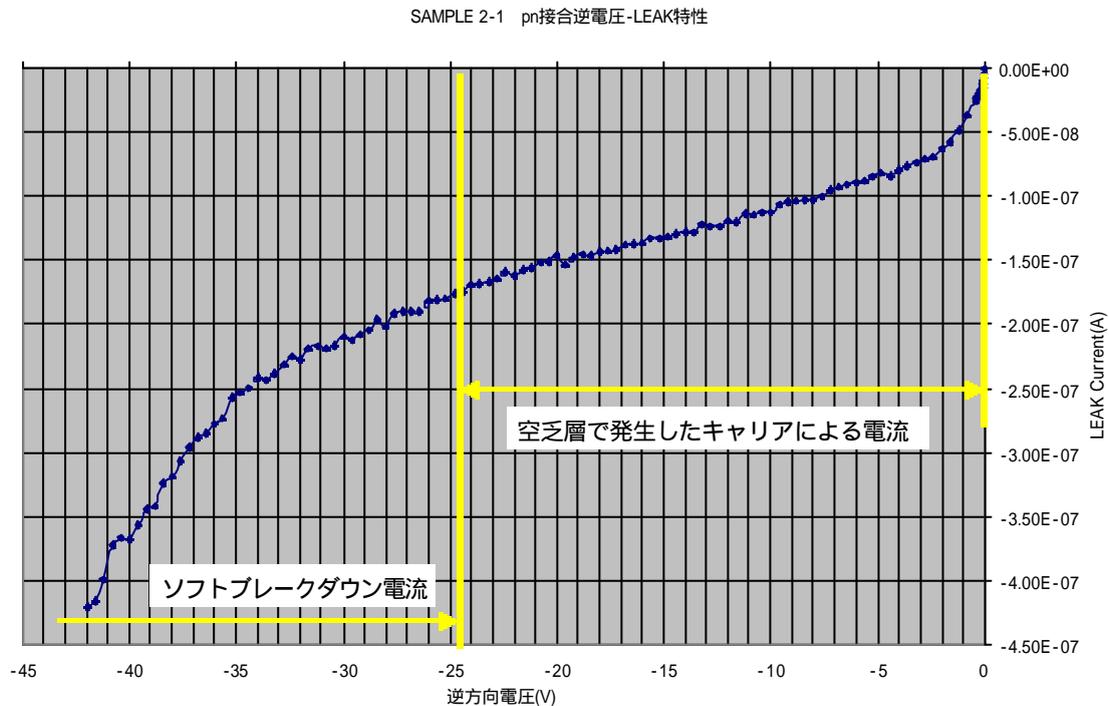
6. pn接合リーク電流評価

SAMPLE2 には添加物が入っていないが SAMPLE 3 には添加物として Fe を公称 $2.3E13\text{cm}^{-3}$ 添加してある。この影響について考える。

同じ面積を持つ SAMPLE2-1 と SAMPLE3-1 について考察してみた場合、逆電圧-5V 付近で比較した場合、リーク電流の値が SAMPLE2-1 に比べて SAMPLE3-1 の方が 8 倍から 10 倍ほど増えていることがわかる。これは、添加物として加えた Fe の影響であると考えられる。Fe を添加することによって、禁制帯内に新たな準位ができる。それは E_v から 0.4eV , 0.55eV のところに存在する。そこをステップングストーン(踏み台)として電子が価電子帯から伝導体に移っていきと考えられる。

6.4.2 SAMPLE2-1 とそのほかの SAMPLE について

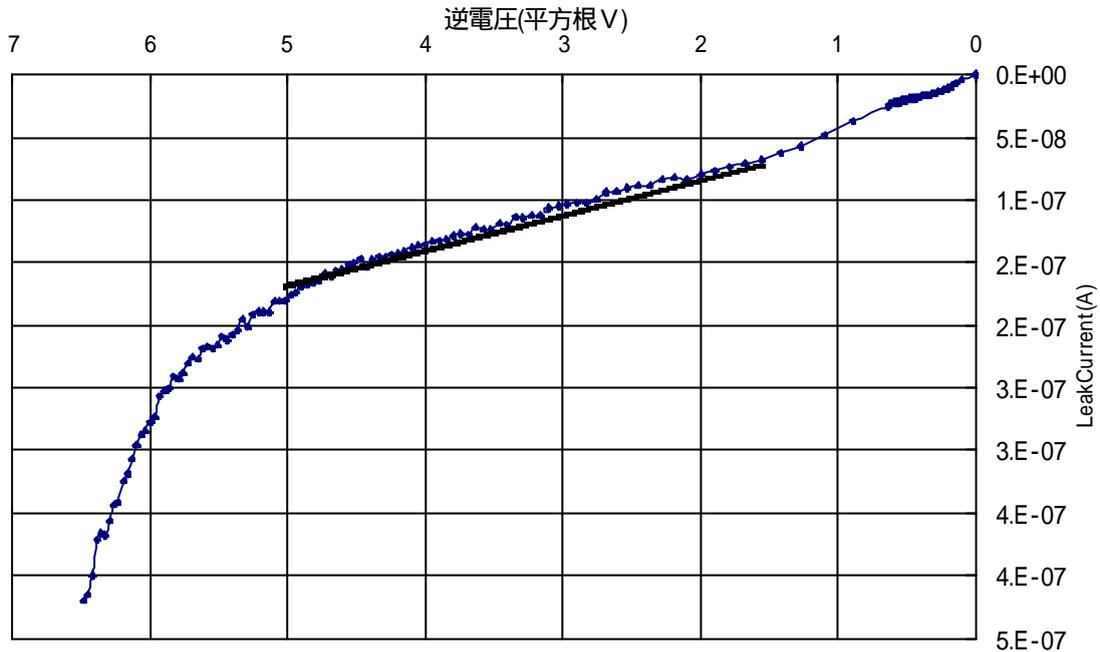
SAMPLE2-1 はそれ以外(SAMPLE3 も含む)の SAMPLE には見られない現象を起こしている。まず、SAMPLE2-1 を図(6.12)に示す。また、図(6.13)には横軸の電圧を V で取ったものを示している。



図(6.12) SAMPLE2-1 pn 接合 逆電圧リーク電流測定結果

6. pn接合リーク電流評価

SAMPLE2-1 pn接合逆方向電圧特性



図(6.13) SAMPLE2-1 pn 接合 逆電圧リーク電流測定結果(ルート)

図(6.12)について検討を行う。このグラフは2つの領域に分けることができると考えられる。空乏層で発生したキャリアによる電流領域、ソフトブレイクダウン領域の2つである。

空乏層で発生したキャリアによる電流領域では、いわゆる飽和電流とは違った電流が流れている。pn接合の逆方向に電圧を印加していった場合、空乏層の幅が印加電圧のルートに比例して大きくなっている。この大きくなった空乏層内でキャリアが発生している。そのときの式は式(3.34)で示される。

$$I_R + I_g = 2I_0 \exp\left(\frac{-q\mathbf{f}_D}{kT}\right) + \frac{1}{2}q\frac{n_i}{t_0}A\sqrt{\frac{2e_s}{qN_a}(\mathbf{f}_D + V)} \quad \text{式(3.34)}$$

ソフトブレイクダウン電流領域では空乏層内の電界集中によって電極の所々でブレイクダウンが始まっているものと考えられる。これをソフトブレイクダウンと呼ぶ。この電界集中はpn接合面積の大きさに比例して現れるので、接合面積が大きいほど発生することになる。そのために一番大きな接合面積を持つSAMPLE2-1で現象が確認できた。

しかし、SAMPLE3-2では発生していない。これは、局所的なブレイクダウン電流よりも、空乏層内で発生するキャリアの方が多くて、結果としてグラフ中にはその現象が見えないものと考えられる。理由は添加物としてFeを添加しているために空乏層内の欠陥が多くなり結果としてそれが準位を形成して電子が伝導体にあがるのを手助けしているものと考えられる。

6. pn接合リーク電流評価

7. ゲートコントロールドダイオード(GCD)を用いたキャリアジェネレーション評価

7. ゲートコントロールドダイオード(GCD)を用いたキャリアジェネレーション評価

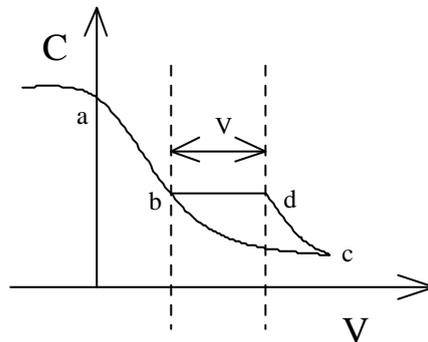
今回、MOS 構造における GCD のリーク電流を測定する。また、パルススキッピング C-V 法(PSC-V 法)を用いてキャリアジェネレーションを測定する。この測定は別途行った。キャリアジェネレーションと電流には関係があるのでこの関係を計算し、キャリアジェネレーションを電流値に変換する。このときの電流と GCD のリーク電流がどのように対応するかについて検討を行う。

7.1. 理論

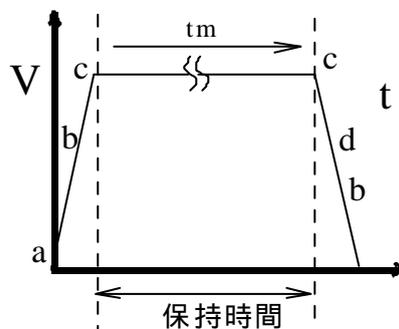
7.1.1 パルススキッピング C-V 法から求めるキャリアジェネレーション発生個数

パルススキッピング C-V 法(PSC-V 法)でのキャリアジェネレーションの発生個数の測定の仕方、理論について簡単に述べる。

PSC-V 法では、従来使われてきた容量-時間特性を測定し、Zelbst 解析による問題点を改善し、インライン的にウェーハ状態試料のキャリアの発生をの程度を評価する方法である。図(7.1)は PSC-V 法で測定を行うときの C-V 特性概略図である。また、図(7.2)に PSC-V 測定時に入力する印加電圧の概略図である。この二つの図のアルファベットはそれぞれ対応している。



図(7.1) PSC-V 法による C-V 特性概略図



図(7.2) PSC-V 測定時に入力する印加電圧概略図

7. ゲートコントロールドダイオード(GCD)を用いたキャリアジェネレーション評価

まずはじめに、時間軸に対して図(7.2)のような台形パルスを入力すると図(7.1)のような C-V 特性が現れる。二つの図の時間軸は同じであり、それぞれのアルファベットが対応している。例えば、図(7.2)のパルスの立ち上がり a c は、図(7.1)の a c に対応している。また同様に図(7.2)で保持時間とあるが、これはの図(7.1) c で止めておく時間である。このときに空乏層の変化しないようなところでパルスを立ち下げる。この、パルスを立ち下げるときの図(7.1)の V を測定することによってキャリアジェネレーションの数を測定している。理論式は次式で表される。

$$Q_s = N \cdot q = C_{ox} \Delta V = \frac{e_i e_0}{t_{ox}} \Delta V \quad \text{式(7.1)}$$

ここで、N:キャリア発生数、 t_{ox} :酸化膜厚、 C_{ox} :酸化膜誘電率である。
また、

7.1.2 PSC-V 法で発生したキャリアの電流への変換

これを電流 I_{MOS} に換算するならば、単位時間を t_m として

$$I_{MOS} = \frac{\Delta Q_s}{t_m} \quad \text{式(7.2)}$$

t_m は図(7.2)の保持時間に相当する。

また、pn 接合部で発生するリーク電流を I_{pn} とするならば、GCD リーク電流は以下のように表すことができる。

$$I_{GCD} = I_{MOS} + I_{pn} = \frac{\Delta Q_s}{t_m} + I_{pn} \quad \text{式(7.3)}$$

このようにして PSC-V 法で測定したキャリアの数を電流値に変換して GCD リーク電流との関連について検討するものである。

7.2. GCD 構造測定用ウェーハ情報

表(7.1)に測定に用いた GCD のウェーハ情報を記す。

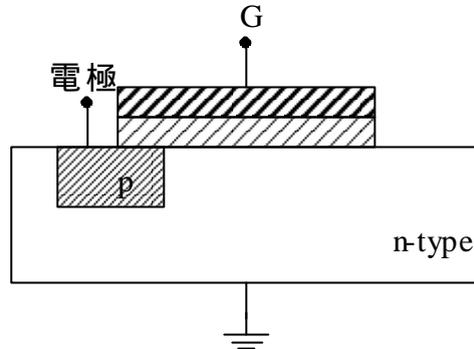
表(7.1) 試験用ウェーハ情報

SAMPLE 名	2-12	4-12
素子名	GCD	GCD
MOS 面積	8.86E-3cm ²	8.86E-3cm ²
PN 接合面積	25E-7cm ²	25E-7cm ²
基板伝導系	n 型	n 型
基板抵抗	10 cm	10 cm
不純物濃度	4.0E14cm ⁻³	4.0E14cm ⁻³
添加物	なし	Fe
添加物濃度	なし	2.3E11cm ⁻³

7. ゲートコントロールダイオード(GCD)を用いたキャリアジェネレーション評価

7.2.1 GCD パターン図

今回測定したウェーハの構造を簡単に図(7.3)に示す。



図(7.3) GCD ウェーハ構造

7.3. 評価手順

GCD のキャリアジェネレーション、ライフタイムについて評価を行うために、これに対応する GCD リーク電流の測定を行う。

システムのリーク電流の測定を行う。

システムのリーク電流の測定法については「5.2.システムリーク測定」と同じ方法で行う。測定結果は評価結果と共に示す。

ウェーハをプローバにセットしプローブを接触させる。

プローブを接触を確認するために、カーブトレーサで確認する。

測定条件の入力

コンピュータに測定条件の入力を行う。入力条件は前もって詳細に検討されるべきである。たとえば、YHP4141B の制限電流より大きな電流を流すと装置が故障する可能性があるからである。また、MOS の反転・空乏・蓄積の状態を確認するために前もって C-V カーブを測定を行いそれを元にゲート電圧を定めるべきである。入力すべき条件は次の通りである。

a)リミット電流(リミッター)

これは装置への過電流を防ぐための措置である。

b)ゲート電圧範囲・・・-3V から+4V まで

c)ゲート電圧 STEP 値・・・0.1V

d)HOLD TIME・STEP DELAY TIME の入力・・・100s・2s

測定開始

測定中はプローブボックスを開かないこと、もう一つ顕微鏡用の電源が完全にシールドされているかを確認するべきである。この確認を怠ると、測定結果が AC100V 電源から

7. ゲートコントロールダイオード(GCD)を用いたキャリアジェネレーション評価の影響を受けてしまうからである。

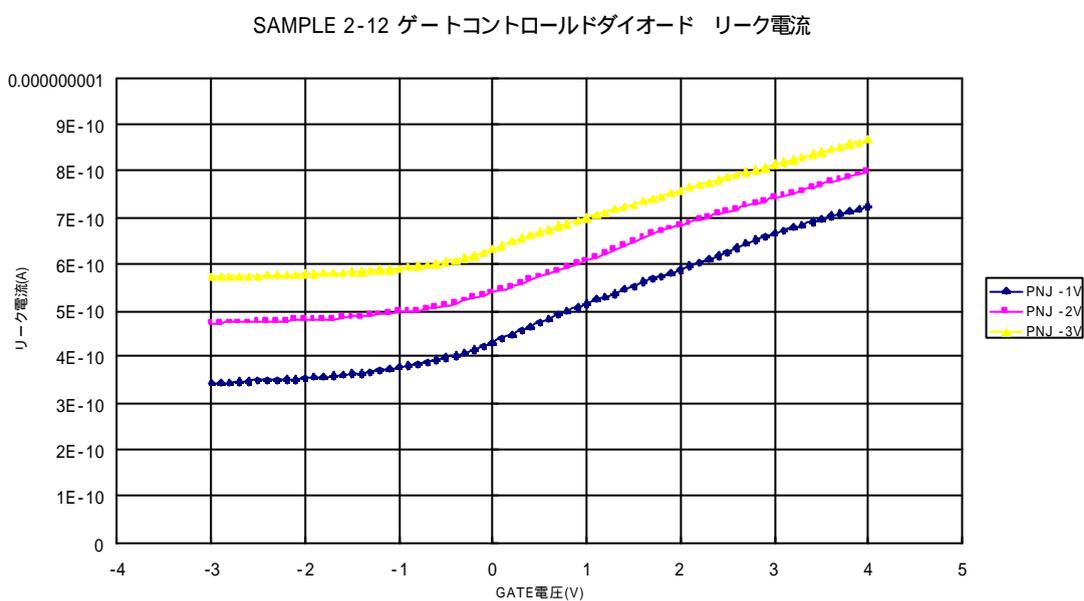
7.4. 評価結果

7.4.1 システムリーク電流

システムのリーク電流の測定法については「5.2.システムリーク測定」と同じ値を用いた。また、今回の GCD リーク電流のレンジとシステムリーク電流を比べたときに 2 桁以上の差があるのでほぼ無視してもかまわない。

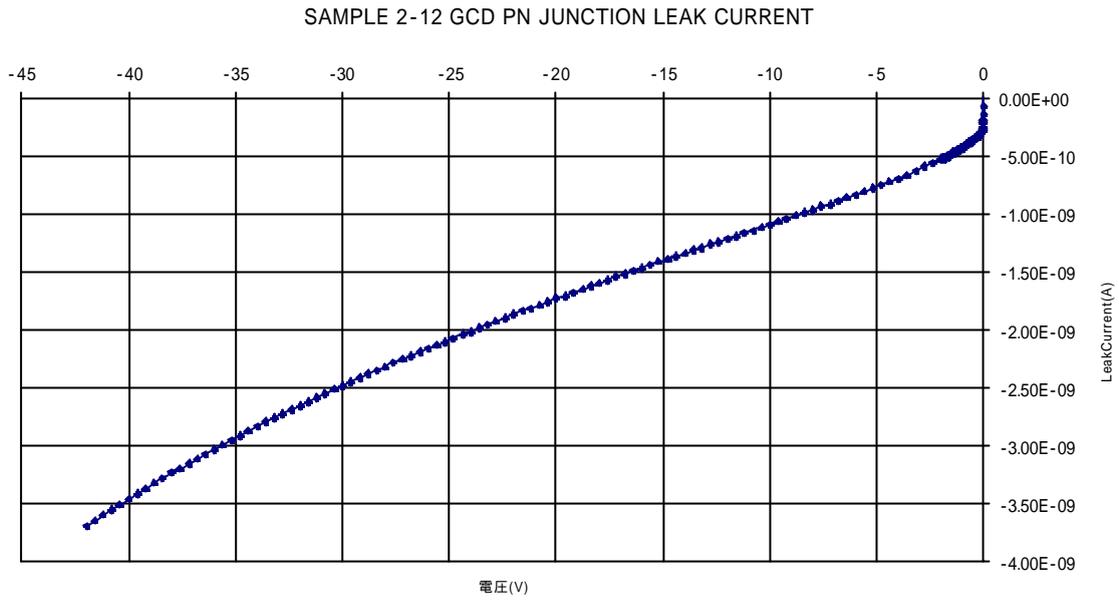
7.4.2 SAMPLE2-12

ウェーハ番号 2 中にある 2-12 サンプルの測定結果を下図しめす。

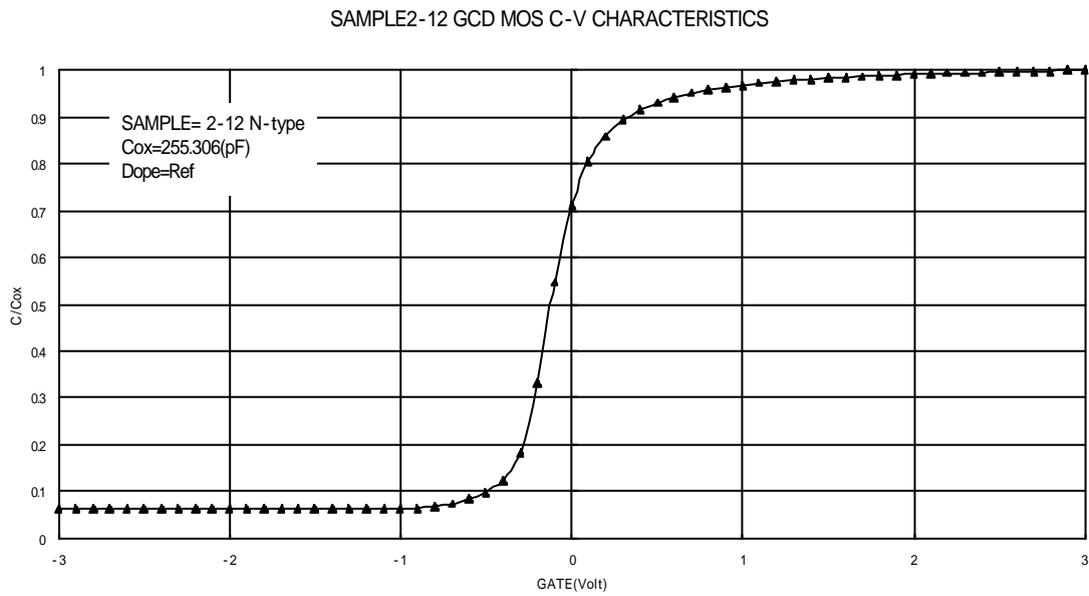


図(7.4) SAMPLE2-12 GCD 逆電圧リーク電流測定結果

7. ゲートコントロールドダイオード(GCD)を用いたキャリアジェネレーション評価

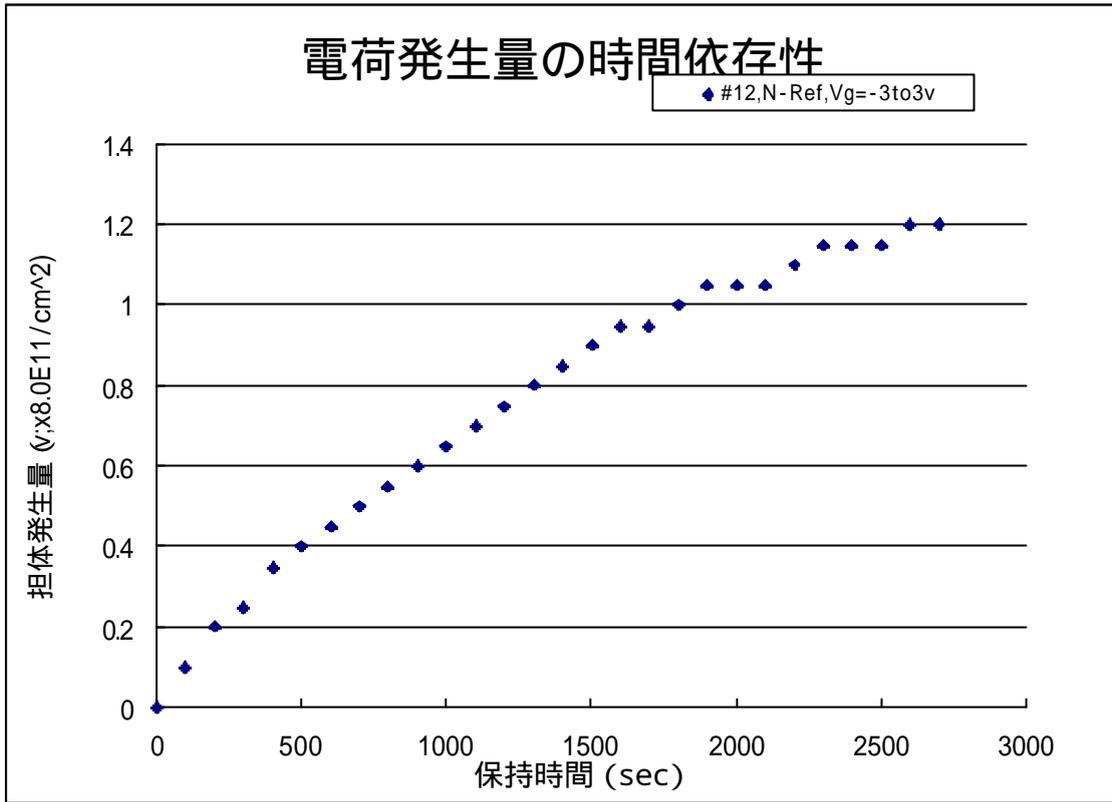


図(7.5) SAMPLE2-12 GCD 中の pn 接合 逆電圧リーク電流測定結果



図(7.6) SAMPLE2-12 GCD 中の MOS 容量-電圧特性

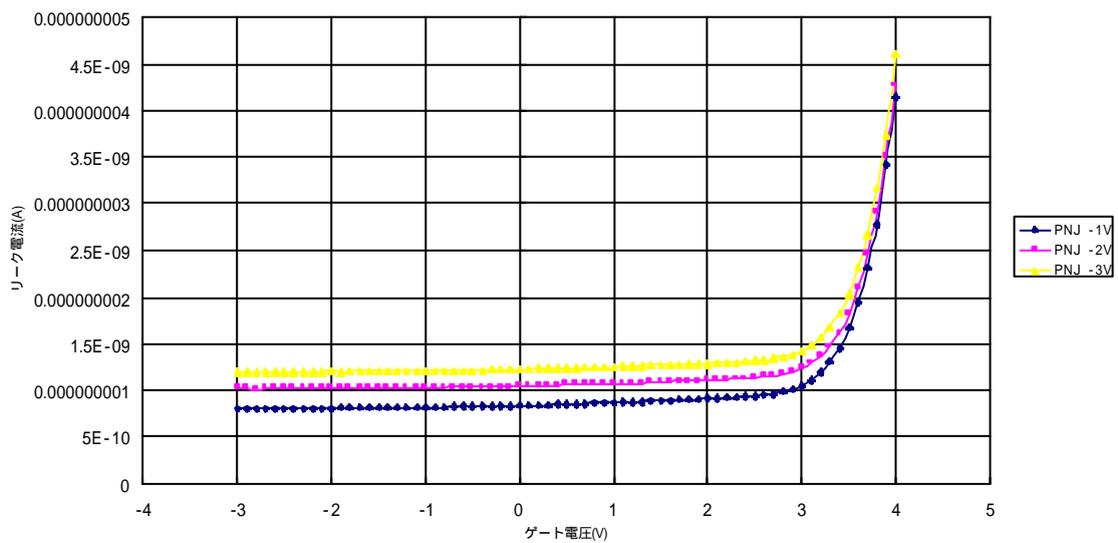
7. ゲートコントロールダイオード(GCD)を用いたキャリアジェネレーション評価



図(7.7) PSC-V 法によるキャリアジェネレーション量

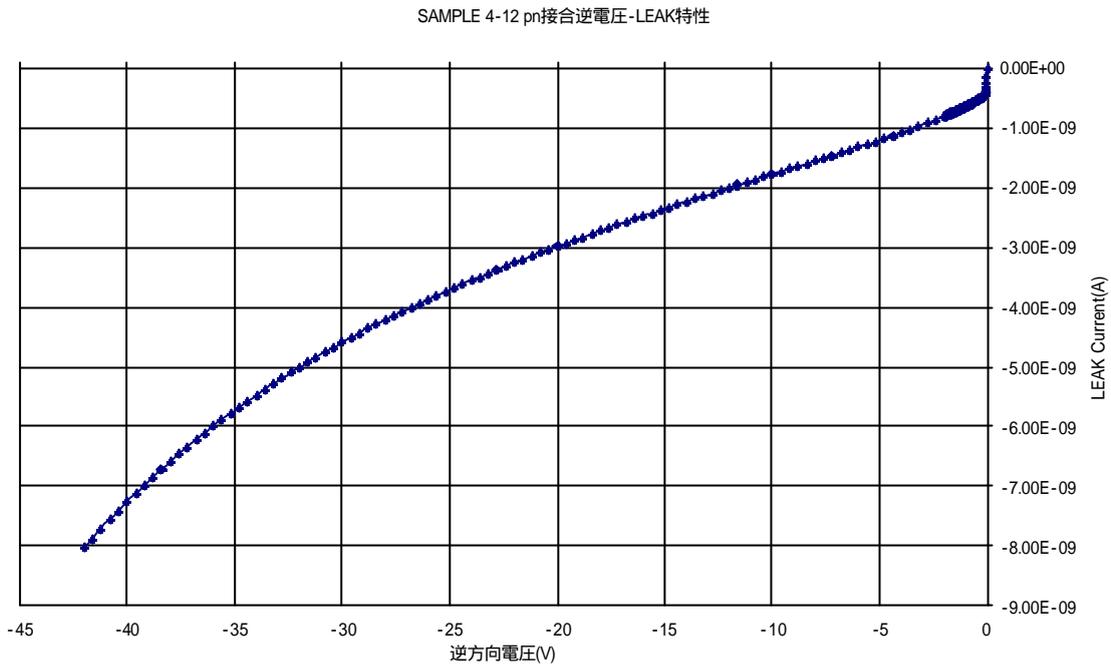
7.4.3 SAMPLE4-12

SAMPLE4-12 ゲートコントロールダイオード リーク電流

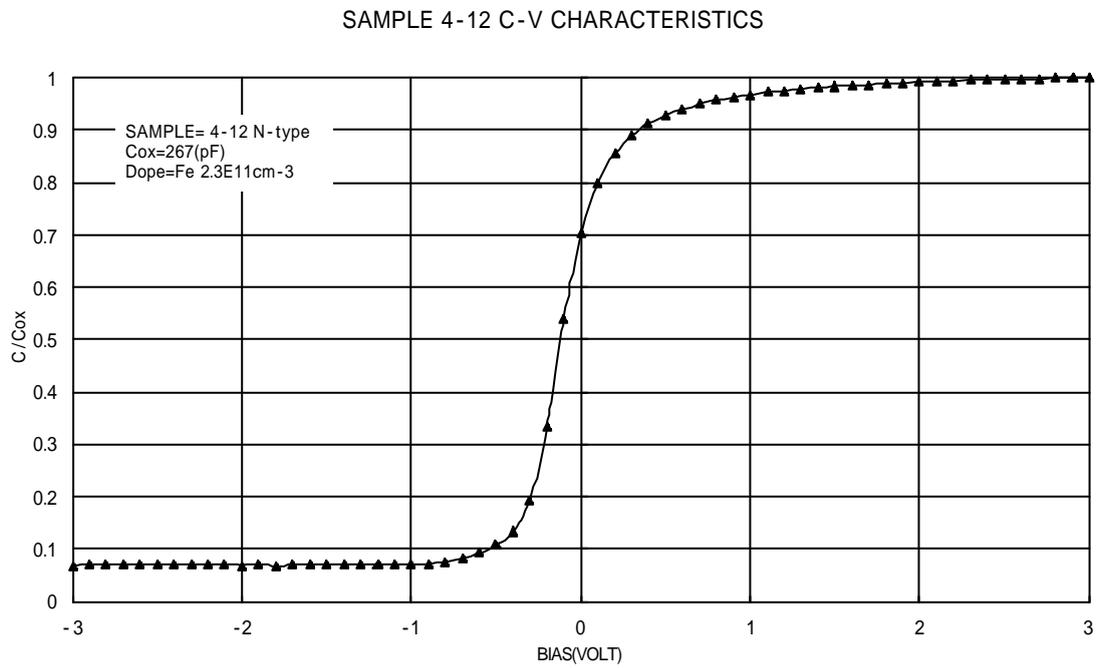


図(7.8) SAMPLE4-13 GCD 逆電圧リーク電流測定結果

7. ゲートコントロールドダイオード(GCD)を用いたキャリアジェネレーション評価



図(7.9) SAMPLE4-13 GCD 中の pn 接合 逆電圧リーク電流測定結果



図(7.10) SAMPLE4-13 GCD 中の MOS 容量電圧特性

7. ゲートコントロールドダイオード(GCD)を用いたキャリアジェネレーション評価

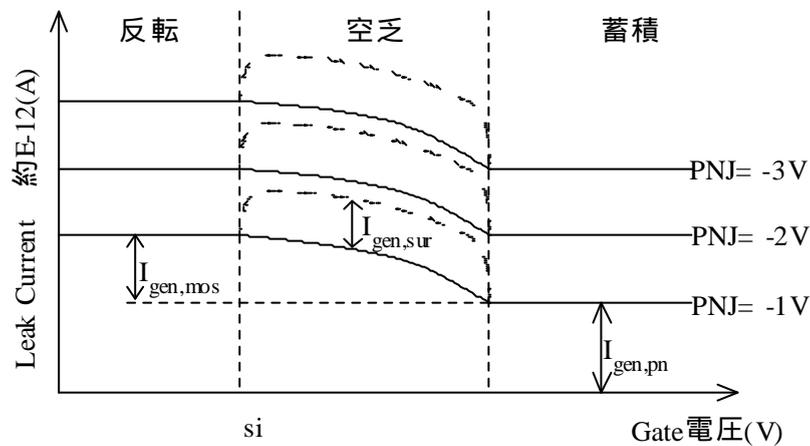
7.5. 考察

予測した値と、実験値の違いについて考察する。実験を行う前に実験の予想グラフを考えてみた。理論値はパラメータ不足、その他パラメータの信頼性から算出は難しいと考えた。そのために、考えられる効果について考慮した簡単なグラフを示すことにした。このグラフを図(7.11)に示す。このグラフには以下の二つの効果について考慮して描かれている。

MOS 部の反転領域における空乏層幅の増大。この空乏層によるジェネレーション電流の増大。

MOS 部の空乏領域における表面発生電流。

この二つの効果が考えられる。ただ、 の効果については、測定ができない領域での極微量のリーク電流の可能性がある。理由として、今回の測定で用いたウェーハはプロセス欠陥が極めて少ないウェーハであるためである。



図(7.11) GCD 予想リーク電流 (pn 逆電圧一定、ゲート可変時)

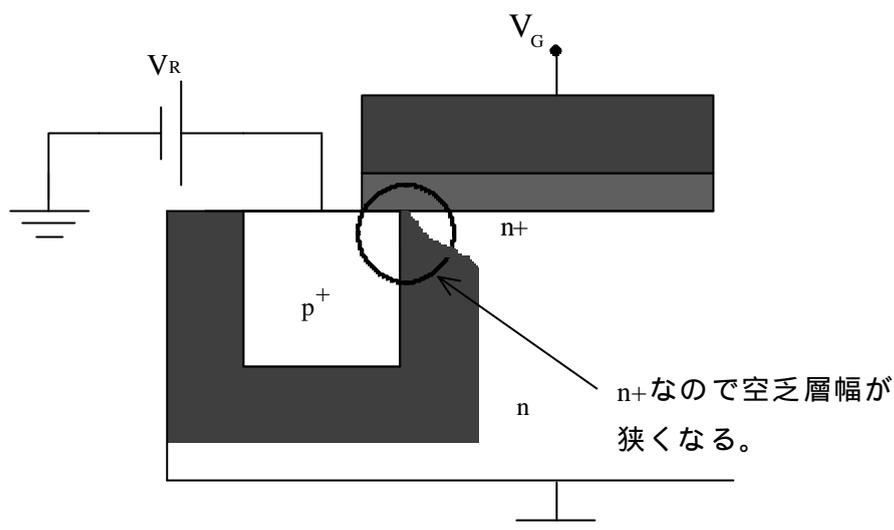
測定値は予測した図(7.11)とは違った値がでてきた。これについて検討してみる。考えられる一つは、ウェーハの劣化による性能の低下である。PSC-V 法でキャリアジェネレーションを測定したときはウェーハの劣化は見られなかった(1年前)。しかし、今回、微小リーク電流測定した際に保存方法に問題があることがわかった。そのために、今回は性能が劣化したウェーハを測定したために起きたと考えられる。具体的には劣化前の状態である PSC-V 法で測定したサンプルの理論リーク電流を計算してみるとだいたい E-13 ~ E-12(A)になるはずである。しかし、今回測定した値を観察してみたときにこの理論値とはかけ離れた E-10(A)位の測定値である。このために、GCD の MOS 部で発生したキャリア以外のものを測定したものと考えられる。具体的には、

水分による表面の劣化のために、表面漏れ電流が大きく発生しているのではないか。

ゲート電圧を印加していくことで MOS 部で電流がブレイクダウンしているのではないか。

7. ゲートコントロールドダイオード(GCD)を用いたキャリアジェネレーション評価

と考えられる。 については保管方法に問題があったためである。 については図(7.12)に詳細図を示す。



図(7.12) pn 接合逆方向電圧一定、ゲート電圧印加時 GCD 予想図

図(7.12)に示したとおり、MOS 下部の $n+$ に蓄積した部分というのは基板部よりもキャリア濃度が濃い状態になっている。そのために空乏層幅が基板部分より狭くなる。なぜなら、空乏層幅は式(3.2)より不純物(キャリア)濃度に依存するからである。この式より基板より電子が多い蓄積層では空乏総幅が狭くなる。この狭くなった部分に電界集中が起きてブレークダウンが発生するものと考えられる。これにより実際の測定結果では電圧をマイナスからプラスに印加していくことにより、電流が増えていくものと考えられる。

以上のことから、理論値と実測値が伴わなかったものと考えられる。

8. 結論

ウェーハ状態で $1.0E-12(A)$ レベルが測定可能な自動測定システムを構築した。微小リーク電流測定システムを構築するには様々なことを検討しなければならない。

- ・絶縁物についてはテフロンを用いるのがよい。
 - ・アースの取り扱い。
 - ・測定プログラムの測定トリガのかけ方、WAIT の取り方。
- などの項目の影響を考える必要があることを実感した。

構築したシステムを用いて、実際に pn 接合逆方向電圧リーク電流を測定し、プロセス起因によるリーク電流発生機構としていくつか存在することを確認した。

- ・バルクの少数キャリアのリーク電流
 - ・空乏層内でのジェネレーション電流
 - ・ソフトブレイクダウンによる電流
- などである。

GCD に関して MOS ダイオードの空乏層領域における担体発生とリーク電流の電界依存性という2つの機構を考える必要があることがわかった。

9. 謝辞

本研究の全課程を通じて、終始御懇切な指導と御教示を賜った高知工科大学 電子・光システム工学科 河津哲 教授に謹んで深謝の意を捧げます。

また、実験中にあらゆる助言をいただいた電子・光システム工学科長 原央 教授、同学科 矢野政顯 教授、同学科 橘昌良 助教授にに謹んで深謝の意を捧げます。

楽しい時を一緒に過ごし、種々の面でお世話になった同じ河津研究室の安澤慎介君、石松幸三君、大橋健二君、大畠旬平君に、また、隣の原研究室と矢野研究室、橘研究室のみなさんに厚くお礼申し上げます。

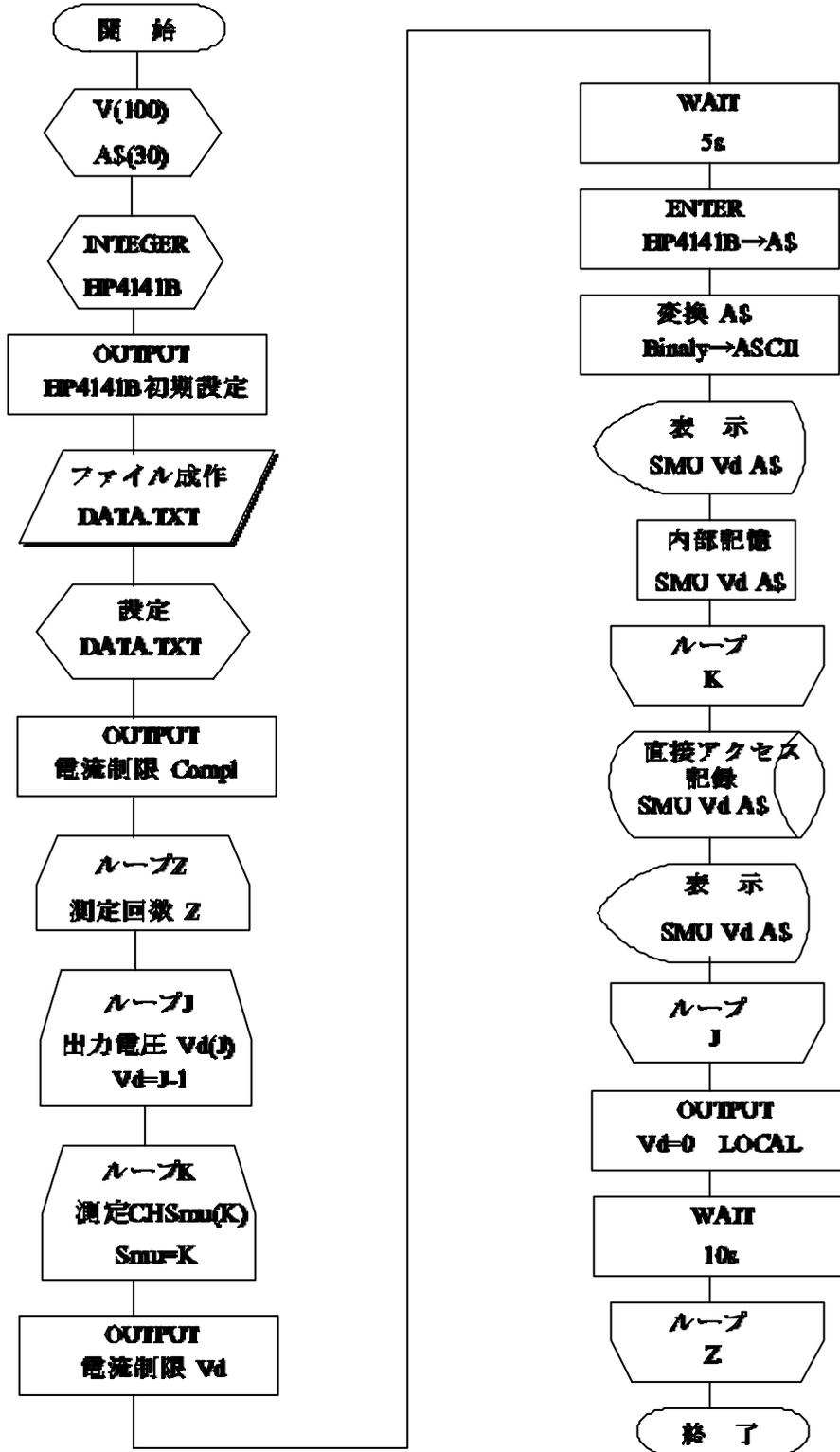
10. 参考文献

- 1) S.M.ジュー著、南日康夫、川辺光央、長谷川文夫訳:"半導体デバイス"、産業図書(1987)
- 2) 宇佐美晶、兼房慎二、前川隆雄、友景肇、井上森雄共著:"集積回路のための半導体工学"、工業調査会(1992)
- 3) 岸野正剛著:"現代半導体デバイスの基礎"、オーム社(1995)
- 4) 佐々木昭夫編著:"電子デバイス工学"、昭晃堂(1985)
- 5) 清水潤治著:"半導体工学の基礎"、コロナ社(1986)
- 6) A.S.Grove 著、垂井康夫監訳、杉淵清、杉山尚志、吉川武夫共訳:"半導体デバイスの基礎"オーム社(1995)
- 7) 桜庭一郎著:"半導体デバイスの基礎"、森北出版(1992)
- 8) B.G.Streetman 著、菊池誠監訳、大越正敏、貝田翔二、中下俊夫訳:"半導体の基礎"、東海大学出版会(1991)
- 9) 間宮富士雄、山口裕、渡辺與七共著:"化学研磨と電解研磨"榎書店(1997)
- 10) 宇佐美晶著:"半導体評価技術"、工業調査会(1988)
- 11) S.Kawazu,T.Matsukawa and H.Nakata "Pulse Scanning C-V Technique for The Analysis of Carrier Generation in Silicon",Electro-chemical Society Spring Meeting Extended Abstract pp622-633
- 12) M.Zelbst,"Relaxation Effects at Semiconductor-Insulator Interfaces",Z.angew.Phys.,Vol.22 (May 1966),pp30-36
- 13) W.shockley:"The Theory of p-nJunctionin Semiconductorsandp-nJunctionTransistors"
- 14) Siegfried Selberher:"Analysis and Simulation of Semiconductor Device" Springer-Verlay WienNewYork.
- 15) Agilent Technologies アプリケーションノート:"ウェーハ・レベルでの微少電流測定を用いた MOSFET の特性評価"AgilentTechnologies(2000)

11. 付録

11.1. 試験用プログラムチャート図

今回製作したプログラムフローチャートを図(11.1)に示す



図(11.1) プログラムフローチャート

11.2. HP4141B SELF TEST プログラム

以下に、HP4141B セルフテストプログラムをしめす。

```
10  !-----
20  ! YHP4141BSELF TEST PROGRAM
30  !-----
40  CLEAR SCREEN
50  DIM A$[30]
60  INTEGER Hp4141
70  Hp4141=723
80  OUTPUT Hp4141;"CL"      ! HP4141ALLCLEAR
90  PRINT "PLEASE WAIT!"
100 OUTPUT Hp4141;"TS"     ! HP4141 SELFTESTSTART
110 WAIT 12
120 OUTPUT Hp4141;"TR"     ! HP4141TESTRESULTTO BUFFER
130 ENTER Hp4141;A$
140 CLEAR SCREEN
150 PRINT "HP4141B TEST RESULT =";A$[1,15];
160 PRINT "      "
170 PRINT " Format: S 1(status)S2(status)S3(status)S4(status) "
180 PRINT "      S1 to S4correspondto SMU1to4,respectively "
190 PRINT " Status: 0: No error "
200 PRINT "      1: V offset error  "
210 PRINT "      2: I offset error  "
220 PRINT "      3: I leak error    "
230 PRINT "      4: V range error   "
240 PRINT "      5: I range error   "
250 PRINT "      6: I-in offset error "
260 PRINT "      7: Loop change detector error "
270 PRINT "      9: Communication error"
280 OUTPUT Hp4141;"CL"     ! HP4141ALLCLEAR
290 LOCAL Hp4141
300 END
```

11.3. HP4141B チャージアップ用プログラム

以下に、測定前に行うケーブルへのチャージアップ用のプログラムを示す。

```

10  !-----
20  ! This program use YHP4141B
40  ! HP4141B 05V Vias add system
50  !-----
60  ! HP4141 SET UP
70  CLEAR SCREEN
80  DIM V(100)
90  DIM A$(30)
100 INTEGER Hp4141
110 INTEGER Smu
120 Hp4141=723
130 OUTPUT Hp4141;"CL"      ! HP4141ALLCLEAR
140 OUTPUT Hp4141;"IT1"    !INTERGRATION TIME : SHORT
150 OUTPUT Hp4141;"BD0"    ! DATA FORMAT : ASCII
160 OUTPUT Hp4141;"DZ0"    ! ALLCHOUTPUTVOLTAGE 0
190 OUTPUT Hp4141;"RI10"   ! SMU1 CURRENTMONITORRANGE:AUTO
200 OUTPUT Hp4141;"RI20"   ! SMU2 CURRENTMONITORRANGE:AUTO
210 OUTPUT Hp4141;"RI30"   ! SMU3 CURRENTMONITORRANGE:AUTO
220 OUTPUT Hp4141;"RI40"   ! SMU4 CURRENTMONITORRANGE:AUTO
230 Compl=1.0E-6           ! CURRENT RIMITTER
240  !
250 !MeasurementPROGRAM!
260  !
270 FOR Z=1 TO 1           ! NUMBER OF REPEAT
290 Vout=5                 ! OUTPUT VOLTAGE FUNCTION
300 FOR K=1 TO 4           ! MEASUREMENT SMU NUMBER
310 Smu=K
320 OUTPUT Hp4141;"DV";Smu;"0,";Vout;",";Compl;"    ! OUTPUT VOLTAGE HP4141
330 WAIT 15
340 OUTPUT Hp4141;"TI";Smu  ! TRIGGER I MEASUREMENT ( Triggers a single CH
current measurement )
350 OUTPUT Hp4141;"TM1"    ! TRIGGER MODE:INTERNAL
360 ENTER Hp4141;A$
370  !
380 !HANDLE THEENTERDATA
390  !

```

11. 付録

```

400 PRINT "OUTPUT DATA Vout=";Vout;"(V) SMU";Smu;"=";A$;" ! PRINT OUTPUT
DATA
410 IFA$[1;1]="N" THEN530
420 PRINT "SMU";Smu;"ISERROR STATUS : ";A$[1;1];""
430 OUTPUT Hp4141;"DZ0" ! ALLCHOUTPUTVOLTAGE 0
440 PRINT "STATUS T : Another (not assigned to measure) channel has reached
compliance" ! error messege
450 PRINT " C : This channel has reached compliance " ! error
messege
460 PRINT " X : This channel is oscillating " ! error
messege
470 PRINT " V : AD converter is saturated in voltage measurement." ! error messege
480 PRINT " The <value> is +149.99E+00 or -149.99E+00. " ! error
messege
490 PRINT " D : SMU shutdown (SMU will not output during a sweep)." ! error
messege
500 PRINT " W : Sweep source data. " ! error
messege
510 PRINT " E : Last sweep source data. " ! error
messege
520 GOTO 650
530 Cur(K)=VAL(A$[4,14]) !CURRENTSAVEBUFFER
540 NEXT K
550 PRINT "Vout=";Vout;" SMU1=";Cur(1);"(A) SMU2=";Cur(2);"(A) SMU3=";Cur
(3);"(A) SMU4=";Cur(4);"(A)"
560 NEXT Z
570 PRINT " "
580 PRINT "!!!!!!!!!! ATTENTION !!!!!!!!!!!!!!"
590 PRINT"HP4141ADDCHARGINGVOLTAGENOW!"
600 PRINT " PLEASE DON'TTOUCH HP4141B NOW "
610 PRINT " PLESENTERTOEND"
620 INPUT W
630 OUTPUT Hp4141;"DZ0" ! ALLCHOUTPUTVOLTAGE 0
640 PRINT"ALLCHANNEL VOLTAGE 0 !"
650 END

```

11.4. リーク電流測定プログラム

以下にリーク電流測定で用いるプログラムを示す。

```

10  !-----
20  ! This program use YHP4141B
30  ! Leak currentmeasurementsystem for Si wafer
40  ! Trigger Mode : Selects internal or external trigger
50  !-----
60  ! SETUP HP4141
70  CLEAR SCREEN
80  DIM V(100)
90  DIM A$(30)
100 INTEGER Hp4141
110 INTEGER Smu
120 Hp4141=723
130 OUTPUT Hp4141;"CL"      ! HP4141ALLCLEAR
135 OUTPUT Hp4141;"CM1"    ! HP4141AUTO CALIBRATION
140 OUTPUT Hp4141;"IT3"    !INTERGRATION TIME : LONG
150 OUTPUT Hp4141;"BD0"    ! DATA FORMAT : ASCII
160 OUTPUT Hp4141;"DZ0"    ! ALLCHOUTPUTVOLTAGE 0
170 CREATE "DATA.TXT",512
180 ASSIGN@X TO "DATA.TXT";FORMAT ON      ! CREATE FILE
190 OUTPUT Hp4141;"RI10"    ! SMU1 CURRENTMONITRRANGE:AUTO
200 OUTPUT Hp4141;"RI20"    ! SMU2 CURRENTMONITRRANGE:AUTO
210 OUTPUT Hp4141;"RI30"    ! SMU3 CURRENTMONITRRANGE:AUTO
220 OUTPUT Hp4141;"RI40"    ! SMU4 CURRENTMONITRRANGE:AUTO
230 Compl=1.0E-6           ! CURRENT RIMITTER
240 !
250 !MeasurementPROGRAM!
260 !
270 FOR Z=1 TO 1           ! NUMBER OF REPEAT
280 FOR J=1 TO 10         !MEASUREMENT FUNCTION
290 Vout=(J-1)           ! OUTPUT VOLTAGE FUNCTION
300 FOR K=3 TO 3         ! MEASUREMENT SMU NUMBER
310 Smu=K
320 OUTPUT Hp4141;"DV";Smu;"0,";Vout;",";Compl;"    ! OUTPUT VOLTAGE HP4141
330 WAIT 5
340 OUTPUT Hp4141;"TI";Smu  ! TRIGGER I MEASUREMENT ( Triggers a single CH
current measurement )

```

11. 付録

```

350 OUTPUT Hp4141;"TM1"      ! TRIGGER MODE:INTERNAL
360 ENTER Hp4141;A$
370 !
380 !HANDLE THEENTERDATA
390 !
400 PRINT "OUTPUT DATA Vout=";Vout;"(V) SMU";Smu;"=";A$;"    ! PRINT OUTPUT
DATA
410 IFA$[1;1]="N" THEN440
420 PRINT "SMU";Smu;"ISERROR STATUS : ";A$[1;1];""
421 OUTPUT Hp4141;"DZ0"      ! ALLCHOUTPUTVOLTAGE 0
422 PRINT "STATUS T : Another (not assigned to measure) channel has reached
compliance" ! error messege
423 PRINT "          C : This channel has reached compliance "          ! error
messege
424 PRINT "          X : This channel is oscillating          "          ! error
messege
425 PRINT "          V : AD converter is saturated in voltage measurement." ! error messege
426 PRINT "          The <value> is +149.99E+00 or -149.99E+00.    " ! error
messege
427 PRINT "          D : SMU shutdown (SMU will not output during a sweep)." ! error
messege
428 PRINT "          W : Sweep source data.                          " ! error
messege
429 PRINT "          E : Last sweep source data.                      " ! error
messege
430 GOTO 540
440 Cur(K)=VAL(A$[4,14])      !CURRENTSAVEBUFFER
450 NEXT K
460 PRINT "Vout=";Vout;" SMU1=";Cur(1);"(A) SMU2=";Cur(2);"(A) SMU3=";Cur
(3);"(A) SMU4=";Cur(4);"(A)"
470 OUTPUT @X;Vout,Cur(1),Cur(2),Cur(3),Cur(4) ! OUTPUTDATAFILE
480 NEXT J
490 WAIT 0
500 OUTPUT Hp4141;"DZ0"      ! ALLCHOUTPUTVOLTAGE 0
510 WAIT 0
520 OUTPUT Hp4141;"DZ0"      ! ALLCHOUTPUTVOLTAGE 0
530 NEXT Z
540 LOCAL Hp4141
550 BEEP 1000,.5
560 WAIT .5

```

11. 付録

```
570 BEEP 1000,.5
575 WAIT .5
576 BEEP 1000,.5
577 WAIT .5
580 BEEP 2000,2
590 END
```

11.5. GCD リーク電流測定プログラム

以下に GCD リーク電流測定で用いるプログラムを示す。

```

10  !-----
20  ! This program use YHP4141B and TR6150
30  ! Leak currentmeasurementsystem for Si wafer GCD
40  ! Trigger Mode : Selects internal or external trigger
50  !-----
60  ! HP4141 SET UP
70  CLEAR SCREEN
80  DIM V(100)
90  DIM A$(30)
100 INTEGER Hp4141
110 INTEGER Smu
120 Hp4141=723
125 Tr6150=715
130 OUTPUT Hp4141;"CL"      ! HP4141ALLCLEAR
140 OUTPUT Hp4141;"CM1"    ! HP4141AUTO CALIBRATION
150 OUTPUT Hp4141;"IT3"    !INTERGRATION TIME : LONG
160 OUTPUT Hp4141;"BD0"    ! DATA FORMAT : ASCII
170 OUTPUT Hp4141;"DZ0"    ! ALLCHOUTPUTVOLTAGE 0
180 OUTPUT Hp4141;"RI10"   ! SMU1 CURRENTMONITRRANGE:AUTO
190 OUTPUT Hp4141;"RI20"   ! SMU2 CURRENTMONITRRANGE:AUTO
200 OUTPUT Hp4141;"RI30"   ! SMU3 CURRENTMONITRRANGE:AUTO
210 OUTPUT Hp4141;"RI40"   ! SMU4 CURRENTMONITRRANGE:AUTO
220 Compl=1.0E-6           ! CURRENT RIMITTER
230 !
240 !MeasurementPNJ-0.1V
250 !
260 FOR Z=1 TO 1           ! NUMBER OF REPEAT
270 CREATE "GCD-01.TXT",512
280 ASSIGN@X TO "GCD-01.TXT";FORMAT ON      ! CREATE FILE
290 OUTPUT Tr6150;"HV5L0L4D-3.1E"  ! GATE TR6150-3.1V CHARGE UP
300 WAIT 100
310 FOR J=1 TO 71         !MEASUREMENT FUNCTION
320 Vout=(J-1)*.1-3      ! OUTPUT VOLTAGE FUNCTION
330 FOR K=3 TO 3         ! MEASUREMENT SMU NUMBER
340 Smu=K
350 OUTPUT Tr6150;"HV5L0L4D";Vout;"E"    ! GATETR6150-3TO3V

```

11. 付録

```

360 WAIT 1
370 OUTPUT Hp4141;"DV";Smu;"0,";-1;" ;Compl;"    ! PNJ SMU1 -0.1V
380 WAIT 2
390 OUTPUT Hp4141;"TI";Smu    ! TRIGGER I MEASUREMENT ( Triggers a single CH
current measurement )
400 OUTPUT Hp4141;"TM1"    ! TRIGGER MODE:INTERNAL
410 ENTER Hp4141;A$
420 !
430 !HANDLE THEENTERDATA
440 !
450 PRINT "OUTPUT DATA PNJ=-0.1(V) GATE=";Vout;"(V) SMU";Smu;"=";A$;"    !
PRINT OUTPUT DATA
460 IFA$[1;1]="N" THEN580
470 PRINT "SMU";Smu;"ISERROR STATUS : ";A$[1;1];"
480 OUTPUT Hp4141;"DZ0"    ! ALLCHOUTPUTVOLTAGE 0
490 PRINT "STATUS T : Another (not assigned to measure) channel has reached
compliance" ! error messege
500 PRINT "          C : This channel has reached compliance "          ! error
messege
510 PRINT "          X : This channel is oscillating          "          ! error
messege
520 PRINT "          V : AD converter is saturated in voltage measurement." ! error messege
530 PRINT "          The <value> is +149.99E+00 or -149.99E+00.    " ! error
messege
540 PRINT "          D : SMU shutdown (SMU will not output during a sweep)." ! error
messege
550 PRINT "          W : Sweep source data.          " ! error
messege
560 PRINT "          E : Last sweep source data.          " ! error
messege
570 GOTO 1940
580 Cur(K)=VAL(A$[4,14])    !CURRENTSAVEBUFFER
590 NEXT K
600 PRINT "PNJ=-0.1(V) GATE=";Vout;"(V) SMU1=";Cur(1);"(A) SMU2=";Cur(2);"
(A) SMU3=";Cur(3);"(A) SMU4=";Cur(4);"(A)"
610 OUTPUT @X;Vout,Cur(1),Cur(2),Cur(3),Cur(4)    ! OUTPUTDATAFILE
620 NEXT J
630 OUTPUT Hp4141;"DZ0"    ! ALLCHOUTPUTVOLTAGE 0
640 NEXT Z
650 WAIT 1

```

```

660  !
670  !MeasurementPNJ-1V
680  !
690  FOR Z=1 TO 1          ! NUMBER OF REPEAT
700  CREATE "GCD-1.TXT",512
710  ASSIGN@ Y TO "GCD-1.TXT";FORMAT ON      ! CREATE FILE
720  OUTPUT Tr6150;"HV5L0L4D-3.1E"      ! GATE TR6150-3.1V CHARGE UP
730  WAIT 100
740  FOR J=1 TO 71        !MEASUREMENT FUNCTION
750  Vout=(J-1)*.1-3      ! OUTPUT VOLTAGE FUNCTION
760  FOR K=3 TO 3        ! MEASUREMENT SMU NUMBER
770  Smu=K
780  OUTPUT Tr6150;"HV5L0L4D";Vout;"E"    ! GATE TR6150-3TO3V
790  WAIT 1
800  OUTPUT Hp4141;"DV";Smu;"0","-1","";Compl;"    ! PNJ SMU1-1V
810  WAIT 2
820  OUTPUT Hp4141;"TI";Smu    ! TRIGGER I MEASUREMENT ( Triggers a single CH
current measurement )
830  OUTPUT Hp4141;"TM1"      ! TRIGGER MODE:INTERNAL
840  ENTER Hp4141;A$
850  !
860  !HANDLE THEENTERDATA
870  !
880  PRINT "OUTPUT DATA PNJ=-1(V) GATE=";Vout;"(V) SMU";Smu;"=";A$;"    !
PRINT OUTPUT DATA
890  IFA$[1;1]="N" THEN1010
900  PRINT "SMU";Smu;"ISERROR STATUS : ";A$[1;1];"
910  OUTPUT Hp4141;"DZ0"      ! ALLCHOUTPUTVOLTAGE 0
920  PRINT "STATUS T : Another (not assigned to measure) channel has reached
compliance" ! error messege
930  PRINT "          C : This channel has reached compliance "          ! error
messege
940  PRINT "          X : This channel is oscillating          "          ! error
messege
950  PRINT "          V : AD converter is saturated in voltage measurement." ! error messege
960  PRINT "          The <value> is +149.99E+00 or -149.99E+00.    " ! error
messege
970  PRINT "          D : SMU shutdown (SMU will not output during a sweep)." ! error
messege
980  PRINT "          W : Sweep source data.          " ! error

```

11. 付録

```

messege
990 PRINT "          E : Last sweep source data.          " ! error
messege
1000 GOTO 1940
1010 Cur(K)=VAL(A$[4,14])      ! CURRENT SAVE BUFFER
1020 NEXT K
1030 PRINT "PNJ=-1(V) GATE=";Vout;"(V) SMU1=";Cur(1);"(A) SMU2=";Cur(2);"
(A) SMU3=";Cur(3);"(A) SMU4=";Cur(4);"(A)"
1040 OUTPUT @Y;Vout,Cur(1),Cur(2),Cur(3),Cur(4)  ! OUTPUTDATAFILE
1050 NEXT J
1060 OUTPUT Hp4141;"DZ0"      ! ALLCHOUTPUTVOLTAGE0
1070 NEXT Z
1080 WAIT 1
1090 !
1100 ! MeasurementPNJ-2V
1110 !
1120 FOR Z=1 TO 1              ! NUMBER OF REPEAT
1130 CREATE "GCD-2.TXT",512
1140 ASSIGN@Q TO "GCD-2.TXT";FORMAT ON      ! CREATE FILE
1150 OUTPUT Tr6150;"HV5L0L4D-3.1E"  ! GATE TR6150-3.1V CHARGE UP
1160 WAIT 100
1170 FOR J=1 TO 71            !MEASUREMENT FUNCTION
1180 Vout=(J-1)*.1-3          ! OUTPUT VOLTAGE FUNCTION
1190 FOR K=3 TO 3              ! MEASUREMENT SMU NUMBER
1200 Smu=K
1210 OUTPUT Tr6150;"HV5L0L4D";Vout;"E"  ! GATETR6150-3TO3V
1220 WAIT 1
1230 OUTPUT Hp4141;"DV";Smu;"0,";-2",";Compl;"  ! PNJ SMU1-2V
1240 WAIT 2
1250 OUTPUT Hp4141;"TI";Smu  ! TRIGGER I MEASUREMENT ( Triggers a single CH
current measurement )
1260 OUTPUT Hp4141;"TM1"      ! TRIGGER MODE:INTERNAL
1270 ENTER Hp4141;A$
1280 !
1290 !HANDLE THEENTERDATA
1300 !
1310 PRINT "OUTPUT DATA PNJ=-2(V) GATE=";Vout;"(V) SMU";Smu;"=";A$;"  !
PRINT OUTPUT DATA
1320 IFA$[1;1]="N" THEN1440
1330 PRINT "SMU";Smu;"ISERROR STATUS : ";A$[1;1];"

```

11. 付録

```

1340 OUTPUT Hp4141;"DZ0"      ! ALLCHOUTPUTVOLTAGE0
1350 PRINT "STATUS T : Another (not assigned to measure) channel has reached
compliance" ! error messege
1360 PRINT "          C : This channel has reached compliance "          ! error
messege
1370 PRINT "          X : This channel is oscillating          "          ! error
messege
1380 PRINT "          V : AD converter is saturated in voltage measurement." ! error
messege
1390 PRINT "          The <value> is +149.99E+00 or -149.99E+00.    " ! error
messege
1400 PRINT "          D : SMU shutdown (SMU will not output during a sweep)." ! error
messege
1410 PRINT "          W : Sweep source data.                        " ! error
messege
1420 PRINT "          E : Last sweep source data.                  " ! error
messege
1430 GOTO 1940
1440 Cur(K)=VAL(A$[4,14])      !CURRENTSAVEBUFFER
1450 NEXT K
1460 PRINT "PNJ=-2(V) GATE=";Vout;"(V) SMU1=";Cur(1);"(A) SMU2=";Cur(2);"
(A) SMU3=";Cur(3);"(A) SMU4=";Cur(4);"(A)"
1470 OUTPUT @Q;Vout,Cur(1),Cur(2),Cur(3),Cur(4)  ! OUTPUTDATAFILE
1480 NEXT J
1490 OUTPUT Hp4141;"DZ0"      ! ALLCHOUTPUTVOLTAGE0
1500 NEXT Z
1510 WAIT 1
1520 !
1530 ! MeasurementPNJ-3V
1540 !
1550 FOR Z=1 TO 1              ! NUMBER OF REPEAT
1560 CREATE "GCD-3.TXT",512
1570 ASSIGN@W TO "GCD-3.TXT";FORMAT ON          ! CREATE FILE
1580 OUTPUT Tr6150;"HV5L0L4D-3.1E"  ! GATE TR6150-3.1V CHARGE UP
1590 WAIT 100
1600 FOR J=1 TO 71            !MEASUREMENT FUNCTION
1610 Vout=(J-1)*.1-3          ! OUTPUT VOLTAGE FUNCTION
1620 FOR K=3 TO 3              ! MEASUREMENT SMU NUMBER
1630 Smu=K
1640 OUTPUT Tr6150;"HV5L0L4D";Vout;"E"      ! GATETR6150-3TO3V

```

11. 付録

```

1650 WAIT 1
1660 OUTPUT Hp4141;"DV";Smu;"0,";-3,";" ;Compl;" " ! PNJ SMU1-3V
1670 WAIT 2
1680 OUTPUT Hp4141;"TI";Smu ! TRIGGER I MEASUREMENT ( Triggers a single CH
current measurement )
1690 OUTPUT Hp4141;"TM1" ! TRIGGER MODE:INTERNAL
1700 ENTER Hp4141;A$
1710 !
1720 !HANDLE THEENTERDATA
1730 !
1740 PRINT "OUTPUT DATA PNJ=-3(V) GATE=";Vout;"(V) SMU";Smu;"=";A$;" " !
PRINT OUTPUT DATA
1750 IFA$[1;1]="N" THEN1870
1760 PRINT "SMU";Smu;"ISERROR STATUS : ";A$[1;1];""
1770 OUTPUT Hp4141;"DZ0" ! ALLCHOUTPUTVOLTAGE0
1780 PRINT "STATUS T : Another (not assigned to measure) channel has reached
compliance" ! error messege
1790 PRINT " C : This channel has reached compliance " ! error
messege
1800 PRINT " X : This channel is oscillating " ! error
messege
1810 PRINT " V : AD converter is saturated in voltage measurement." ! error
messege
1820 PRINT " The <value> is +149.99E+00 or -149.99E+00. " ! error
messege
1830 PRINT " D : SMU shutdown (SMU will not output during a sweep)." ! error
messege
1840 PRINT " W : Sweep source data. " ! error
messege
1850 PRINT " E : Last sweep source data. " ! error
messege
1860 GOTO 1940
1870 Cur(K)=VAL(A$[4,14]) !CURRENTSAVEBUFFER
1880 NEXT K
1890 PRINT "PNJ=-3(V) GATE=";Vout;"(V) SMU1=";Cur(1);"(A) SMU2=";Cur(2);"
(A) SMU3=";Cur(3);"(A) SMU4=";Cur(4);"(A)"
1900 OUTPUT @W;Vout,Cur(1),Cur(2),Cur(3),Cur(4) ! OUTPUT DATA FILE
1910 NEXT J
1920 OUTPUT Hp4141;"DZ0" ! ALLCHOUTPUTVOLTAGE0
1930 NEXT Z

```

11. 付録

1940 LOCALHp4141
1950 BEEP 1000,5
1960 END