# 卒業研究報告

題目

# <u>Micro-Cap5/CQ を用いたプッシュプルエミッタ</u>

# <u>フォロア回路の設計と製作</u>

指導教員

綿森道夫助教授

報告者

# 梅村 佳克

平成 13年 2月 9日

高知工科大学 電子・光システム工学科

# 目次

第1章

·	1
/丁·뻐	

#### 第2章

シミュレーターMicro-Cap5/CQ2
-----------------------

#### 第3章

#### 実験原理

3.1	エミッタ・フォロア	
3.2	ブートストラップ	4
3.3	カレントミラー	7
3.4	B 級プッシュプル電力増幅器	10

#### 第4章

#### 回路設計

4.1	4石エミッタフォロア回路	13
4.2	ブートストラップ付き4石エミッタフォロア回路.	17
4.3	6 石エミッタフォロア回路	22

#### 第5章

回路の作成2	7
回路の作成	7

#### 第6章

#### 実測とシミュレーションとの比較

5.1	4石エミッタフォロア回路	31
5.2	ブートストラップ付き 4 石エミッタフォロ	ア回路33
5.3	6 石エミッタフォロア回路	35

#### 第7章

総括	38
----	----

参考又厭
------

### 第一章 序論

最近のエレクトロニクスの分野では、IC化が進み、加えてあらゆるところに デジタル技術が浸透してきた。ワープロ、パソコンをはじめとして、オーディ オ機器やビデオ機器などにデジタル技術が広く使われている。それに加えてデ ジタルと言う言葉が聞きなれた今、若い人たちには、アナログと言う言葉は、 魅力のないものに聞こえているのかもしれない。

しかし、いくらデジタル技術が進んでもやはり基礎となる部分はアナログ技術 で構成されているのではないかと思う。実際LSIの末端部分は数石から数十 石のトランジスタで構成されている。

本研究では、ただブラック・ボックスを繋げるだけのものではなく、個別半 導体でアナログ回路を設計・製作する。

回路の設計は、Micro-Cap5/CQ(以下MC5)電子回路シミュ レーターを使い設計を行う。シミュレーターを使うメリットは、シミュレータ ーでシミュレーションすることにより、大掛かりで高価な実験装置を作って実 験をしなくても現象や結果を推測することができる事である。

しかし、シミュレーターにも限界があり、実際の回路と完全に一致しない。 したがって実測するために回路を製作する必要がある。ここでは、4 石エミッ タ・フォロア回路を製作し、これにブートストラップ・カレントミラーを付け 各回路が理論通りに動作しているかを調べ、トランジェント解析・ひずみ率・ 伝達関数 / 周波数特性(AC)の解析を調べる。さらに、回路定数を変化さっ せた場合に特性がどうかわるかを検討して、回路が最適な状態にするには回路 定数をどのようにすればよいかを検討してみる。そして、目的とした特性を得 るためにはどうすればよいかを検討する。

また、シミュレーションだけだが、各回路のトランジスタの温度を変化させ 温度特性も調べた。

回路を製作する時に使うトランジスタは、NPN...2SC1815・PNP ...2SA1015を使う。プリント基板を作成するさいには、フリーソフトP CBEを使う。これは、Windows上で動くCADソフトで容易にプリン トパターンを書き出す事ができる。

# 第2章 シミュレーターMicro-Cap5/CQ

今回の実験は、シミュレーターMicro-Cap5/CQ(以下 MC5)を使い回路設 計を行った。

MC5 は、Windows 上で回路図の製作から解析までが行えるようにしたものである。特徴として、

・アナログ回路、ディジタル回路の設計

- ・アナログ回路、ディジタル回路の動作チェック
- ・回路定数の変化による回路への影響
- ・温度変化による回路特性への影響
- ・回路定数の最適化
- ・部品のばらつきによる特性変化の解析

などが行える。

特に動作チェックは、トランジェント解析、伝達関数・周波数特性(AC)の 解析、DC 解析、FFT 解析などがある。各解析の説明を以下にまとめる。

トランジェント解析

時間の経過とおtもに出力がどうのように変化するかを解析するもの、横軸 は時間になり、縦軸は求めようとするノードの電圧、電流などになる。

伝達関数・周波数特性の解析

横軸を周波数または角周波数として、出力信号の入力信号にたいするゲイン や位相をもとめる。

#### DC 解析

抵抗回路の解析や回路の直流的な動作状態を調べる。

FFT 解析

与えられた信号に対して周波数または角周波数に対するゲインや位相などを 解析する。

# 第3章 実験原理

3.1 エミッタ・フォロア(コレクタ接地共通回路)



図 3.1.1 1石エミッタフォロア回路



グラフ 3.1.1 1石エミッタフォロア回路の入出力波形

図3.1.1が典型的なエミッタ・フォロア回路である。Vs として±1Vの 三角波を与えた時、入力電圧 Vin と出力電圧 Vo の関係は、

となり、Vin と共に Ib は変化する。

そこで Vbe を一定とみなせば、Vo はグラフ3.1.1のように下方に約0.6V シフトするだけで、波形は Vin にフォローしている。エミッタ端子の電圧が入 力にフォローしているので、エミッタ・フォロアという。

エミッタ・フォロア回路の特徴

・電圧利得がほぼ1倍

- ・入力インピーダンスが高い
- ・出力インピーダンスが低い
- ・低ひずみ率
- ・周波数特性が良い
- ・発振対策が必要

電圧利得がほぼ1とは、グラフ3.1.1の入力波形からみてとれる。エミ ッタ・フォトアのひずみ率は、他の回路より桁違いに良い。これは回路に多量 のネガティブフィードバック(以下NFB)が掛かっている為である。しかし、 これによって高い周波数(数十MHz以上)の発生を生じやすい欠点がある。

### 3.2 ブートストラップ

図3.2.1の回路は、トランジスターを直結し、最終段から初段へ1ルー プの直流NFBをかけ、格段の動作点を一括して安定化するような設計である。 初段はエミッタ接地、2段目はコレクタ接地で、点線で示す47µFのコンデ ンサーが、ブートストラップ・キャパシタになっている。



図 3.2.1 ブートストラップ付き2石反転増幅器

この回路の裸利得(オープン・ループ利得) NFBをはずした時の利得を求めると、

Vo/Vs (-R2/R1)((R5+R6)/R6)(RL/(R7+RL)) - 20 倍

となる。デシベルで表せば約 26dB となる。

次に、この回路のAC解析結果をグラフ3.2.1、ひずみ率の解析結果を グラフ3.2.2に示す。



グラフ3.2.1 AC 解析結果



グラフ3.2.2 ひずみ率特性

グラフ3.2.1を見ると、利得が計算値の約 1dB 低い 25.1dB にとどまっている。これは、裸利得が とみなせるほど大きくない為である。 そこでブートストラップを使う。これの特徴は、

・裸利得を上げる

・ひずみ率を改善できる

C2=47µFを図2に示す点線のように結線すると、R3とR4の中点が交流的に Q2のエミッタに接続され、図3.2.2の等価回路が表せられる。



Q1 の負荷インピーダンス ZL を求めるには、

ZL=V1/I1

V1 = IB[hfe+(1+hfe)RL']

IB hfe RL'

RL'=[R3//(R5+R6)//(R7+RL)]

800

I1=I2+ IB hie

I2R4= IB hie

これを解くとZLが次式で与えられる。

ZL=R4/(R4+hie)hfe RL'

ここで、hfe を求めると、

gm=hfe/hie Ic=gm Vbe

より、hfe=170のとき hie 800 。よって、

#### ZL=126

ZL すまわち Q1 の交流負荷抵抗は、Q1 の直流負荷抵抗(R3+R4=20k)の 約6倍になっている。

# 3.3 カレントミラー

カレントミラー回路を考える時に図3.3.1のような回路を考えてみる。



この回路は、鏡のように動作し、Q2に流れる Ic2 を Q1 に流れる電流 Ic1 によ

り調節する回路である。図3.3.1のQ1とQ2は同じ特性のペア・トランジスタと仮定すると、

Ic1=Ic2

I=Ic1+IB1+IB2

IB1=IB2=Ic1//hfe

から、

Ic2/I=1/1+(2/hfe) 1

となる。Ic2 は独立電流 I にほぼ等しく、I に伴い変化していく。

個別トランジスターは、同一品種でも飽和電流がばらつくので、そのばらつ きを吸収するため、エミッタに抵抗を付ける。この時 Q1 は飽和電流が同程度の シリコン PN 接合ダイオードで代用しても成り立つ。

ここで、図3.3.2の個別トランジスターによる実用的なカレントミラー 回路を考えてみる。



これを I1・I2 を式で表すと、

= (VB - VBE)/R1

#### I2= (VB - VBE)/R2

となる。ここで、R1=R2とすると

I1=I2

がなりたつ。またこの I2 は、

となる。VBE=0.6V とすれば I2 が求められる。ここで、図3.3.2の回路を MC5を使ってシミュレーションを行いたいと思う。

以下のグラフがMC5を使ってDC解析を行ったものである。



グラフ 3.3.1 図 3.3.2 のDC解析結果

グラフ3.3.1は、ノード5の電圧V(5)をX軸に、ノード2からアー スに流れる電流とノード4からアースに流れる電流をそれぞれのY軸にしてい

I2=(Vi - VBE)/(R 2 (1+R1/R 1))

る。また、抵抗を 600 ~1k ごとに 100 刻みに抵抗Rを替え、それを解析 している。

V(5)が0.5V程度以下ならほとんど電流は、流れていないがそれ以上の 電圧になると電圧に比例して電流も増加しており、i(2,0)とi(4,0)の電流は一 致していることがわかる。また、抵抗Rを増加することにより、V(5)に対 して電流は減少している。グラフ3.3.1を見ると両電流ともに一致してい る事がわかる。

# 3.4 B 級プッシュプル電力増幅回路

B級プッシュプル回路は、特性の同じ2個のトランジスターを上下対称形に 組みあわせたもので、2つのトランジスターが交互に半周期ずつ動作して、出 力時で正弦波を合成している。B級プッシュプル回路の基本回路を図3.4. 1に書く。



図3.4.1 B級プッシュプル電力増幅基本回路

Tr1は、入力変成器といい、2つのトランジスターの入力電圧の位相を逆 にするための位相反転用である。入力電圧が図3.3.1の(a)の極性の場合は、 Tr1が動作してコレクタ電流 ic1が流れ、(b)の極性では、Tr2が動作して ic2 が流れる。出力変成器 Tr2 は2つのトランジスターの出力電流を合成して出力 を取り出すためのものである。

B 級プッシュプル電力増幅回路の動作は、2つのトランジスターの Vbe - Ic 特性や Vce - Ic 特性などを互いに逆向きに組み合わせて考える。Vce - Ic 特性 を使って、動特性をもとめてみる。



図3.3.2 出力変成器

RL は、それぞれのトランジスターに対する負荷抵抗で、これを出力変成器の 両コレクタ間のインピーダンス Rcc に換算すると、Rcc=4RL の関係から、最大 出力電力

$$Pom = \frac{Vcc^2}{2 RL} = \frac{2 Vcc^2}{Rcc}$$

となる。

次に電源効率とコレクタ損失を考えてみる。

電源から供給される直流電力は、電源電圧と電源電流の平均値をかけたもの である。電源には、ic1 と ic2 が流れるから、電源の電流 icc の平均値 Idc は(2/ )Icm となる。したがって電源の平均電力 Pdc は、

$$Pdc = VccIdc = Vcc\frac{2}{p}Icm = \frac{2}{p}VccIcm$$

したがって、最大出力時の電源効率 mは、

$$\mathbf{h}m = \frac{Pom}{Pdc} = \frac{0.5VccIcm}{\frac{2}{\mathbf{p}}VccIcm} = \frac{\mathbf{p}}{4} \approx 0.78$$

となり、理想状態では最大78%になる。

トランジスター1 個あたりのコレクタ損失 Pc は、負荷の出力電力を Po とすると、

$$Pc = 0.5(Pdc - Po) = 0.5Po(\frac{Pdc}{Po} - 1)$$

したがって、最大出力時においては、Pom/Pdc= /4であるから

$$Pc = 0.5 Pom (\frac{4}{p} - 1) \equiv 0.14 Pom$$

となる。しかし、コレクタ損失が最大となるのは、理論的な計算によると、出 力電力が最大出力電力の 2/ 倍のときである。この時のコレクタ損失の最大値 Pcm は、

$$Pcm \equiv 0.2 Pom$$

となる。

# 第4章 回路設計

今回設計する回路は、4石エミッタフォロア回路・ブートストラップ付き4 石エミッタフォロア回路・6石エミッタフォロア回路である。ここで、3つの 回路の設計・シミュレーションした解析結果を述べる。

# 4.1 4石エミッタフォロア回路



図4.1.1 4石エミッタフォロア回路の原理的な回路

図4.1.1は、4石エミッタフォロア回路の原理的な回路である。図4. 1.1の定電流源から1mA 流れると考える。そして、直流電源 Vcc、Vee に± 12V をかける。トランジスターには、NPN...2 SC1815、PNP...2 SA1015 を使 う。次に、定電流源の変わりに抵抗を入れて設計を行った。 それを図4.1.2に示す。



図4.1.2 設計した4石エミッタフォロア回路

この回路は、プッシュプル回路なので設計時に回路の上部か下部を考えればよい。



図4.1.3 4.1.2回路の下部回路の設計

#### 定電流源の変わりに R11 と R4 をいれたのでここに 1 mA 流れていると考え

# 第5章 回路の作成

第4章の回路の設計を元にし、回路の作成を行った。今回は、トランジスターを2SC1815 と2SA1015、ダイオードは、1S1588、抵抗は、E-24シリーズを使う。

まず、プリント基板を作る前に、PCBE(回路パーターン製作ソフト)を使い 回路パターンを作る。各回路の回路パターンを以下に示す。







図5.2 ブートストラップ付き4石エミッタフォロ ア回路のプリントパターン



図5.3 6石エミッタフォロア回路のプリンタパターン

各回路のプリントパターンが書き終わると、それをフィルムにプリントアウトする。(図5.4)この時点でパターンミスがないか良く調べておく。





図5.4 プリントアウトした回路パターン

そして、それを感光基盤の銅箔面に 貼り付ける。それをブラックライトに あて露光させる。(図5.5)時間は、 30~60分。感光しすぎるとほこり が付くので EG クランプなどに挟む。

図5.5 プリント基板の露光



図5.6 プリント基板の断面図

露光が終わると現像液に漬け一回水で洗い落としエッチグを行う。



図5.7 プリント基板の現像



図5.8 プリント基板のエッチング

作業時の現像・エッチング液は、共に35~40 にする。こうすること で作業が早くなる。作業時間は、10分あたりが目安で行う。

エッチングが終わると水で洗い不要になったパターン部の感光剤を落とし、 フラックスで奇麗に拭く。

プリント基板に電動ドリルで穴をあけ、設計にしたがってトランジスター・ 抵抗・コンデンサーなどの素子をはんだ付けをする。出来上がった回路を以下 の図に示す。



図5.9 4石エミッタフォロア回路



図5.10 6石エミッタフォロア回路



図5.11 ブートストラップ付き4石エミッタフォロア回路

る。Q2 のベースが 0 v、Q2 と D2 の Vbe と Vd がそれぞれ 0.6V なので、V1 = 1.2V となり、よって V2=10.8V になる。オームの法則により R11+R4 = 10.8k

になる。ここでは、R11とR4を分割しているが関係ないので後で述べる。

Q4 の Vbe と R6 で + 1.2v にならなければならない。よって、R6 の電圧が 0.6v になればよい。R6 に流れる電流を約 10mA と考える。しかし、R6 の値は MC5 を使い調節した。

次に MC5 を使いシミュレーションを行う。グラフ4.1.1にトランジェント解析、グラフ4.1.2に AC 解析をのせる。



グラフ4.1.1 4石エミッタフォロア回路のトランジェント解析



グラフ4.1.1のトランジェント解析結果は、上段の青線が入力波形になっている。入力電圧は、1v である。下段の赤線は、出力波形で、出力電圧は、 0.97v になっているのがわかる。

グラフ4.1.2は、AC解析結果である。出力の入力に対する利得を調べて いて、利得は、1kHzの時 - 0.35dB、そしてカットオフ周波数は、 - 3.35dBの 時 8.662MHz になっている。

次に、4石エミッタフォロア回路のひずみ率特性をシミュレーションで調べ てみた。各入力電圧に対し、1kHz・10Hz・10kHz のひずみ率を調べた。そ の結果を表4.1.1とグラフ4.1.3に示す。

入力電 圧 VS (V)	10.00 m	1.00m	0.01	0.05	0.10	0.50	1.00	5.00	10.00
Vrms	0.07m	0.68m	6.82m	33.94	68.20	0.34	0.68		
(V)				m	m				
ひずみ率	1.04m	0.20m	0.65m	3.13m	6.28m	37.14	114.87		
1kHz						m	m		
(%)									
10Hz	1.43m	0.32m	0.70m	3.15m	6.29m	37.16	114.78		
(%)						m	m		
10kHz(	6.54m	115.03							
%)		m							

表 4.1.1 4 石エミッタフォロア回路のひずみ率特性



グラフ4.1.3 4石エミッタフォロア回路のひずみ率特性

1kHz と 10Hz は、ほぼ同じシミュレーション値になり、入力電圧が 5 V 以上 になると、出力波形がひずみ、シミュレーションできなくなる。10kHz では、 0.01V からひずみシミュレーションができなくなった。

# 4.2 ブートストラップ付き4石エミッタフォロア回路

これは、4石エミッタフォロア回路にブートストラップを付け、シミュレー ションしたものである。図4.2.1にブートストラップ付き4石エミッタフ ォロア回路の設計図を示す。



図4.2.1 ブートストラップ付きエミッタフォロア回路

この回路は、Q1 と Q2 のコレクタもブートストラップしているので、交流電 圧 V3 が加えられた時も Q1 の V c B および Q2 の VcB が一定の直流電圧の保た れている。Q1 と Q2 の Cob に流れる信号電流がゼロとなって実質的に Cob が キャンセルされ、Cob の電圧依存性に帰因する高調波ひずみの発生も阻止され る。

図4.2.2の等価回路を考え、R11とR4の分割比を考える。



図4.2.2 4石エミッタフォロア回路の等価回路

V1とVoとの関係は、

$$Vo = V1 + R \quad 2 \quad i2$$

Vs と V1 と Vo を計算式で表す。

$$V s = R + 1 i 1 + V 1$$
  
V1 = (R5+R6) { (hfe 1 + 1) i 1 + i 2}

$$Vo = -R8$$
 (hfe 2 + 1 ) i2

この等価回路の電圧 Vo/Vs は、

$$Av = \frac{Vs}{Vo} = \frac{-(R8(hf\mathcal{Q}+1))((hf\mathcal{d}+1)R5 + (hf\mathcal{d}+1)R6 + R4hf\mathcal{d})}{[R\mathbf{p}\{-R8(hf\mathcal{Q}+1) + R\mathbf{p}2 + R5 + R6] - [-R8(hf\mathcal{Q}+1)\{(hf\mathcal{d}+1)(R5 + R6) + R4hf\mathcal{d}\}]}$$

$$=\frac{-R8(hfe2+1)(hfe1+1)(R5+R6)+R8(hfe2+1)R4hfe1}{(R\mathbf{p}1+R8(hfe2+1)(hfe1+1))(R5+R6)-R8(hfe2+1)+R\mathbf{p}1R\mathbf{p}2+R8R4hfe1(hfe2+1))(R5+R6)-R8(hfe2+1)+R\mathbf{p}1R\mathbf{p}2+R8R4hfe1(hfe2+1))(R5+R6)-R8(hfe2+1)(R5+R6)-R8(hfe2+1)(R5+R6))(R5+R6)-R8(hfe2+1)(R5+R6))(R5+R6)(R5+R6))(R5+R6)(R5+R6))(R5+R6)(R5+R6))(R5+R6)(R5+R6))(R5+R6)(R5+R6))(R5+R6)(R5+R6))(R5+R6)(R5+R6))(R5+R6)(R5+R6))(R5+R6)(R5+R6))(R5+R6)(R5+R6))(R5+R6)(R5+R6))(R5+R6)(R5+R6))(R5+R6)(R5+R6))(R5+R6))(R5+R6)(R5+R6))(R5+R6))(R5+R6)(R5+R6))(R5+R6))(R5+R6)(R5+R6))(R5+R6))(R5+R6))(R5+R6))(R5+R6)(R5+R6))(R5+R6))(R5+R6))(R5+R6))(R5+R6))(R5+R6)(R5+R6))(R5$$

$$\approx \frac{(hfe_1 + 1)(R5 + R6) + R4hfe_1}{(hfe_1 + 1)(R5 + R6) + R4hfe_1} = 1$$

となる。しかし、これは、ブートストラップなしの時つまり、4石エミッタフ ォロア回路の時である。ブートストラップ付きの時は、図4.2.3の R6 と R5の間にアースが入ると考える。つまり、R6が短絡している状態になり、図 4.2.4のようになる。



図4.2.4 ブートストラップ付き4石エミッタフォロア回路の等価回路

この場合だと R6=R4=0 になり、前ページの式より、

$$Av' = \frac{R8(hfe\ 2 + 1)R4(hfe\ 1 + 1)R5}{(R\mathbf{p}1 + R8(hfe\ 2 + 1)R4(hfe\ 1 + 1))R5 - R\mathbf{p}1R8(hfe\ 2 + 1) + R\mathbf{p}1R\mathbf{p}2}$$
  
$$\approx \frac{R\ 8(hfe\ 2 + 1)R\ 4(hfe\ 1 + 1)R5}{R\ 8(hfe\ 2 + 1)R\ 4(hfe\ 1 + 1)R5} \approx 1$$

となる。

これらの式より、R5 と R6 及び R11 と R4 の分割比は、Av'に依存せず無関係 となる。しかし、MC5 のシミュレーションにより、2:1が一番特性がよかっ たので今の設計になっている。

次に、ブートストラップ付き4石エミッタフォロア回路のトランジェント解 析、AC 解析を行った。





グラフ4.2.2 ブートストラップ付き4石エミッタフォロア回路の AC 解析

グラフ4.2.1の入力電圧が青線、出力電圧は赤線になっている。この回路は、出力が 0.99V になっている。グラフ4.2.2利得は、1kHz の時 - 0.09dB カットオフ周波数は、16.81MHz になっている。

入力電圧	10.00	1.00m	0.01	0.05	0.10	0.50	1.00	5.00	10.00
VS(V)	m								
Vrms	0.07m	0.70m	69.90	34.90	0.07	0.35	0.70-	3.49	6.99
(V)			m	m					
ひずみ率	0.75m	0.11m	0.04m	37.13u	36.67u	81.47u	0.16m	0.86m	11.81m
1kHz									
(%)									
10Hz	16.23	16.12	16.18	16.17	16.17	16.11m	16.02	15.27	
(%)	m	m	m	m	m		m	m	
10kHz	3.55m	0.70m	0.42m	0.39m	0.39m	0.38m	0.38m	0.84m	1.80m
(%)									

次にひずみ率特性を調べる。これも同じように表とグラフで示す。

表 4.2.1 ブートストラップ付き 4 石エミッタフォロア回路のひずみ率特性



グラフ4.2.3 ブートストラップ付き4石エミッタフォロア回路のひずみ率特性

シミュレーション結果から、4石エミッタフォロア回路にブートストラップ を付けると、利得が改善され、ひずみ率特性も良くなっている事が良く分かる。 原理は、第3章で述べた通りである。利得は、あまり改善されていないがひず み率は、劇的に改善されている。

# 4.3 6 石エミッタフォロア回路

この回路は、4石エミッタフォロア回路を改良し、低負荷抵抗でも良好なひ ずみ率特性をもつコンプリメンタリ・エミッタフォロア回路にしたものである。



4.3.1 6石エミッタフォロア回路

4.3.1の回路の Q2 と Q6 は、4石エミッタフォロア回路の原理図の定電 流源を実現回路にしたもので、Q2 と Q6 の Ic は、Q3 あるいは Q5 の Ic に応じ て変化する。つまり、この回路の上段と下段にカレントミラー回路がついてい る状態である。

これにより入力信号 Vs を加えた時に (VeB4+VD3)と VBe5 を等しく保 ち、また同じ様に (VeB1+VD1)と VeB3 を等しく保ち、Q2 とQ6 で発生 する非直線ひずみを打ち消してくれる。

動作の基本的な考えとして、最終出力段から基準電流を取り出し、前段エミ ッタフォロアにフィードバック(正帰還)する。

最良のひずみ率を得るには、D2 と D4 に適度のバイアス電流を加える必要が あり、R12 を加減してバイアス電流を調整した。この作業は、MC5 で行った。

この回路の設計は、1段・2段目のトランジスターは、4石エミッタフォロア 回路の設計と同じである。しかし、これは、上下にカレントミラー回路がつい ているのでここの設計を説明する。



図4.3.2 6石エミッタフォロア回路のカレントミラー

図4.3.2より、ここでの設計は、Q6 - R4 間の電圧、D4 - R6 間の電圧が 同じにならなければならない。I1 と I2 の電流は、4石エミッタフォロア回路の 回路設計を基にすると、I1=1mA・I2 13mA だから、1:13の比になる。 この回路の Q6 - R4 間の電圧、D4 - R6 間の電圧が同じにならなければならな いので、R4:R6 は、必然的に13:1となる。R4・R6 の値の決定は、MC5 のシミュレーション結果から一番良好な値を選んだ。



次に、この回路のトランジェント解析・AC 解析を行う。



グラフ4.3.1のトランジェント解析結果を見ると、出力電圧は、0.9965V。

AC 解析を見ると、利得が、1kHz の時 - 0.03dB カットオフ周波数は、16.86MHz になっている。前2つの回路と比べ、トランジェント解析だけでも - 0.004V しか下がらず、非常に優秀なエミッタフォロア回路となっている。

入力電圧	10.00	1.00m	0.01	0.05	0.10	0.50	1.00	5.00	10.00
VS(V)	m								
Vrms	0.070	0.70m	7.04m	35.21	70.40	0.35	0.70	3.53	7.04
(V)	m			m	m				
ひずみ率	0.45m	0.07 m	37.60u	35.27u	34.72u	60.45u	116.70	609.78	1.34m
1kHz							u	u	
(%)									
10Hz	0.96m	0.33m	0.26m	0.26m	0.26m	0.26m	0.28m	0.66m	1.34m
(%)									
10kHz	1.48m	0.20m	0.37m	0.38m	0.39m	0.43m	0.49m	0.64m	1.28m
(%)									

次に、この回路のひずみ率特性を示す。

表4.3.2 6石エミッタフォロア回路のひずみ率特性



グラフ4.9 6石エミッタフォロア回路のひずみ率特性

6石エミッタフォロア回路のひずみ率もブートストラップ同様4石エミッタフ オロア回路より断然よくなっている。これだけの低ひずみ率ならばバッファと しての役目も十分にはたす。

これらの設計時に入力電圧と1段目のトランジスターとの間に10Pのコン デンサーが入っている。これは、位相保証容量でNFBによる位相のずれを押さ えている。この値は、シミュレーション時に最適な値を決めた。

# 第6章 実測とシミュレーションとの比較

ここでは、先ほど作った回路の実測を行い、シミュレーションとの比較を行 った。

# 6.1 4石エミッタフォロア回路

実測では、各ノードの電圧・周波数特性・ひずみ率を調べる。



図6.1.1 4石エミッタフォロア回路の各ノード番号

ノード番号	シミュレーション値	実測値
1	- 3.2 7 V	- 3.25V
2	- 2.86mV	- 0 V
3	0.62V	0.60V
4	3.07V	3.28V
5	- 0.56V	- 0.61
6	12V	12V
7	1.15V	1.27V
8	0.51V	0.61V
9	- 12V	- 12V
1 0	- 1.08V	- 1.27V
1 1	- 0.37V	- 0.61V
1 2	0.07V	0.01V
1 3	0 V	0 V
1 4	- 0.03V	0 V

表6.1.1 4石エミッタフォロア回路の各ノード電圧

各ノード番号は、図6.1.1に示す。

シミュレーション結果と実測値では、各電圧とも多少のずれはみられるが、 たいした差は出てきていない。これは、ジャンパーが少量の抵抗値を持ってい るなど色々原因は考えられるがこの程度のずれならあまり関係がないものと思 ってもよい。



次に、この回路の周波数特性のシミュレーション結果と実測値の比較を行う。

グラフ6.1.1 4石エミッタフォロア回路の周波数特性比較



グラフ6.1.2 4石エミッタフォロア回路のひずみ率特性の比較

その比較したグラフを6.1.1に示す。

実測とシミュレーション結果とは、フラットの面では問題ないがカットオフ 周波数は、約7MHz のちがいが出てきている。これは、発振器と回路を結ぶコ ードが約300kHz あたりから減衰し始めてしまうからである。カットオフ周 波数は、正しい実測値を図ることが出来なかった。

ひずみ率の比較を行う。これは、1kHzの時のひずみ率特性での比較である。

グラフ6.1.2を見るとシミュレーション値と実測値はかなり違っている。 これは、発振器自体が約0.4%のひずみ率を持っている為であり、回路自体のひ ずみ率が非常に小さい為実測は不可能だった。しかし、グラフをみてもらった らわかるように実測値の値は、約0.4%から上下していない。よって回路のひず み率は、ほぼシミュレーションの値が出てきていると見て良いだろう。

# 6.2 ブートストラップ付き4石エミッタフォロア回路

図6.2.1の各ノード電圧のシミュレーション値と実測値を表6.2.1 に示す。



図6.2.1 ブートストラップ付き4石エミッタフォロア回路の各ノード番号

ノード番号	シミュレーション値	実測値
1	- 3.27V	- 3.17V
2	- 0.03V	- 0.60V
3	0.63V	0.62V
4	3.07V	3.37V
5	- 0.56V	- 0.61V
6	12V	12V
7	1.15V	1.29V
8	0.51V	0.63V
9	- 12V	- 12.01V
10	- 1.08V	- 1.28V
1 1	- 0.37V	- 0.61V
1 2	0.06V	0.01V
1 3	0 V	0 V
1 4	- 0.02V	0 V

表6.2.1 ブートストラップ付き4石エミッタフォロア回路の各ノード電圧

各ノード電圧は、シミュレーション値と実測値ではほとんど差がない。そして、4石エミッタフォロア回路の実測値とも差が出ていない。図6.2.1の コンデンサーC1 および C2 を挿入しても電圧の違いはでてこない。

次に、ブートストラップ付き4石エミッタフォロア回路の周波数特性のシミ ュレーション値と実測値の違いを見てみる。



グラフ6.2.1 ブートストラップ付き4石エミッタフォロア回 路の周波数特性の比較

グラフ6.2.1を見ると、シミュレーション値と実測値の差は、0.095dB である。これは、実測器が針だった為目測を行った。その結果のずれによるも のだと思う。しかし、4石エミッタフォロア回路の実測値よりは、よい利得を だしている。カットオフ周波数は、-1.4340MHz。4石エミッタフォロア回路 の実測値よりは、多少良くなっているが、シミュレーション値では、10MHzの 差がある。これは、6.1で述べたように発振器のケーブルが耐えられなくな り、減衰してしまう為である。

次にひずみ率特性を見てみたい。



グラフ6.2.2 ブートストラップ付き4石エミッタフォロア回 路のひずみ率特性の比較

グラフ6.4がブートストラップ付き4石エミッタフォロア回路のひずみ率 特性を比較したものである。グラフ6.2同様、発振器がひずみを出していた 為正しい値は計れなかった。しかし、実測のひずみ率も0.4%から上下をしてい ない。よってかなり近い値が実測で出てきているのではないかと判断できる。

#### 6.3 6石エミッタフォロア回路

少し見にくいかもしれないが6石エミッタフォロア回路のノード番号を図6. 3.1に示す。各ノード番号のシミュレーション値と実測値は、表6.3.1 に示してある。ここで大切なのは、カレントミラー回路のノード6と9の電圧、 ノード15と17の電圧がほぼ同じと言うことである。



図6.3.1 6石エミッタフォロア回路のノード番号

ノード番号	シミュレーション値	実測値
1	0.71V	0.71V
2	- 0.01V	0 V
3	- 0.62V	- 0.65V
4	- 1.31V	- 1.40V
5	- 9.75V	- 9.86V
6	- 10.35V	- 10.51V
7	- 9.71V	- 9.84V
8	- 0.58V	- 0.74V
9	- 10.79V	- 10.70V
10	- 12V	- 1 2 V
11	0.67V	0.66V
12	1.36V	1.41V
13	9.71V	9.83V
14	9.73V	9.85V
15	10.41V	10.49V
16	12V	1 2 V
17	10.79V	10.69V
18	0.03V	0.014V
19	0 V	0 V
20	- 0.01V	0V

表6.3.1 6石エミッタフォロア回路の各ノード電圧の比較

6石エミッタフォロア回路の各ノード電圧も大きな開きのある値は出ていない。3つの回路の中で一番シミュレーション値と実測値の開きがなかったのがこの回路である。



次に、6石エミッタフォロア回路の周波数特性の比較を行う。

グラフ6.3.1 6石エミッタフォロア回路の周波数特性の比較

グラフ6.3.1を見ると利得にほとんど差はないが、この回路も同様にカットオフ周波数に開きがある。これは、6.2で述べた通りである。実測値の 値は、小さすぎて、正しい値ははかれなかった。



グラフ6.3.2 6石エミッタフォロア回路のひずみ率の比較

最後に6石エミッタフォロア回路のひずみ率のグラフを示す。これもやはり、 値が小さすぎて回路だけのひずみ率は、計れなかった。しかし、実測値は、0.4% から動いていないのでこの回路のひずみ率も近い値が出てきていると思われる。

# 第7章 総括

今回設計・作成した回路は、4石エミッタフォロア回路・ブートストラップ 付き4石エミッタフォロア回路・6石エミッタフォロア回路の3つである。シ ミュレーション値ではうまくいっているが、実測値でははっきりとした実測値 が測定できなかった。これは、発振器自体がひずみを持っていた為であるが、 本研究のメインがこのひずみ率特性だった為非常にくやしい思いをしている。 しかし、ほぼ一定でしか測定値が出てきていないので、実測値が小さいのは確 かである。

回路の設計・製作するに当たって、一番難しかったのがエッチングだった。 感光基板を5枚も使い、かなりの時間を費やしたりもした。

私は、卒業した後就職するが、もう回路の設計から製作といった作業はする 事がないと思う。しかし、今回実際に回路の設計・製作を行って楽しかった。 もうこれから「物を作る」といった事はあまりしないだろうが、「物を作る」と いったテーマをもった研究室に入って良かったと思う。

# 参考文献

- 1.小高明夫・佐藤邦夫著 「改訂版」SPICE による電子回路の基礎(東海大 学出版界)
- 2.黒田徹著 はじめてのトランジスタ回路設計(CQ出版社)
- 3.トランジスタ技術 SPECIAL No.56 特集 電子回路シミュレーター
  活用マニュアル(CQ出版)
- 4.奥澤熙著 はじめて作るアンプの設計(誠文堂新光社)

使用ソフト

- 1 . Micro-Cap5/CQ Soectrumsfware 社
- 2.PCBE 高戸谷隆氏

### 謝辞

今回の研究と論文の作成にあたり、終始丁寧なご指導と、ご指示を承りました高知工科大学電子・光システム工学科、綿森道夫助教授に深い感謝の意を表します。

また、高知工科大学電子・光システム工学科在学中にご指導を承った原央学 科長に心から感謝いたします。

最後に高知工科大学電子・光システム工学科在学中、本研究の実験遂行、各 過程で修しご厚意、ご協力を頂いた高知工科大学電子・光システム工学科、平 木昭夫教授・河津哲教授・河東田隆教授・神戸宏教授・成沢忠教授・矢野政顕 教授・畠中兼司教授・西本俊彦教授・橘昌良助教授・野中弘二助教授・八田章 光助教授・井上昌昭助教授・関口晃司助教授・笠原泰講師・武田光由実験講師・ 西田謙助手の方々には重ねて感謝の意を述べさせ呈いただきます。

また、本研究を遂行するにあたり細部にわたり実験にご協力いただいた、久 保格致氏、嶋真秀氏、新田敏弘氏、長谷川和也氏に感謝いたします。