

卒業研究報告

題目

集積回路レイアウト設計の基礎技術

指導教員

原 央 教授

報告者

白木 正章

平成 13年 2月 9日

高知工科大学 電子・光システム工学科

1 概要

- 1.1 集積回路をレイアウト設計するには、半導体物理や半導体デバイスの構造、動作原理、電気特性に関する知識が重要である。これらについては文献調査で知識を取得した後、MOS 集積回路の基本ゲートについてレイアウト設計を行なった。設計基準についても調査したが、結論としては、現在多くの ASIC で用いられ、また製造技術の進歩に対しても設計基準を基本的に変えることなく対応できるラムダルール（比例縮小法）を用いた。

目次

- 1 概要
- 2 エネルギー帯と物性
 - 2.1 半導体のエネルギー帯構造
 - 2.2 ドナーとアクセプタ
 - 2.3 フェルミ - ディラクの分布
 - 2.4 電子と正孔の密度
 - 2.5 平衡状態
 - 2.6 キャリア移動度
 - 2.7 拡散
- 3 pn 接合
 - 3.1 pn 接合の接触電位差
 - 3.2 空間電荷領域
- 4 MOS トランジスタ
 - 4.1 n チャネル MOS トランジスタ
 - 4.2 p チャネル MOS トランジスタ
 - 4.3 ドレイン電流特性
- 5 CMOS を用いたインバータ、NAND、NOR のレイアウト
 - 5.1 設計基準
 - 5.2 CMOS インバータの設計
 - 5.3 CMOS 2 入力 NAND の設計
 - 5.4 CMOS 2 入力 NOR の設計
 - 5.5 集積回路の面積について

まとめ

謝辞

参考文献

2 エネルギー帯と物性

2.1 半導体のエネルギー帯構造

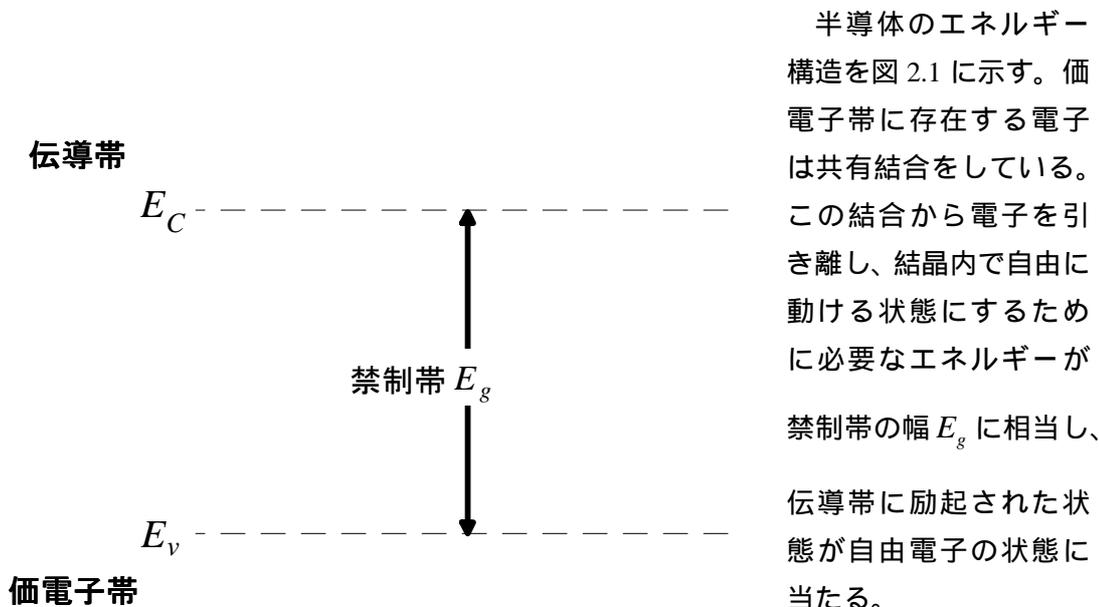


図2.1 半導体のエネルギー帯

n 形半導体のエネルギー帯を図 2.2 に示す。ドナーのもつ 5 つの価電子のうち、周りのシリコン原子と共有結合する 4 個の電子のエネルギー準位は価電子帯の中にある。残りの 1 個の電子が $+q$ に帯電したドナー原子に束縛されているときの準位は、禁制帯の中で伝導帯の底から束縛エネルギーだけ下にあるエネルギー準位として表される。この準位をドナー準位という。ドナー準位と伝導帯とのエネルギー差はきわめて小さい。電子を放出したドナー原子は、正にイオン化している。

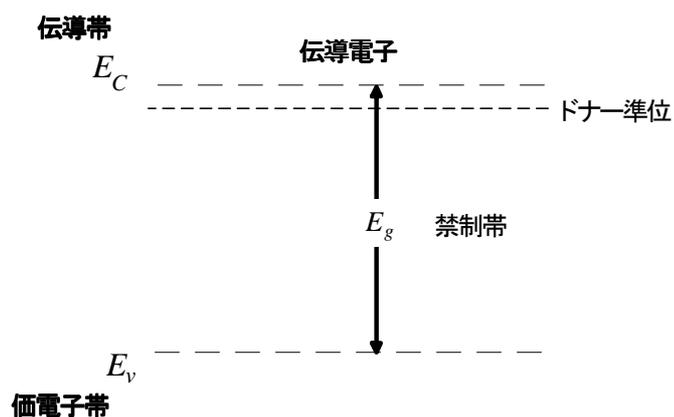


図2.2 n形半導体のエネルギー帯

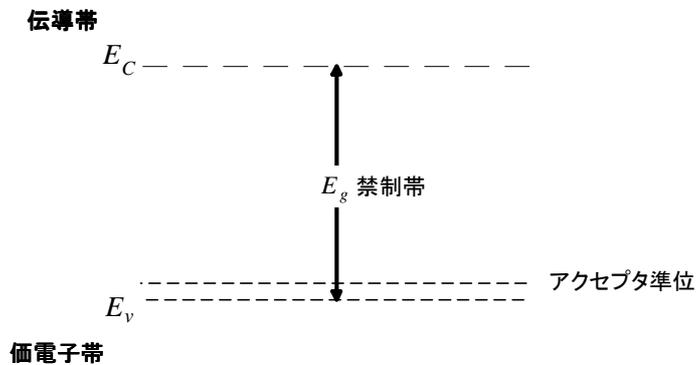


図2.3 p形半導体のエネルギー帯

p 形半導体のエネルギー帯は図 2.3 に示すように、アクセプタ準位が価電子帯の近くの禁制帯中にある。アクセプタ原子は他の共有結合から電子を 1 個受け取り、 $-q$ に帯電する。この $-q$ に帯電したアクセプタは電子が抜けて生じた正孔を引き付けている。正孔をアクセプタ原子から引き離すことは、電子を価電子帯からアクセプタ準位に励起することに相当する。これ

により正孔は価電子帯に作られるとともに、アクセプタ原子は負のイオンとなって残る。

不純物半導体では、不純物から生じるキャリアは 1 種類だけであり、かつ生じたキャリア数は不純物原子の数にほぼ等しい。したがって、半導体の伝導形とキャリア濃度は、添加する不純物元素とその量によって制御することができる。

2.2 ドナーとアクセプタ

族のシリコンに 族の元素（ここでリン P ）を導入すると、Si 原子の位置に P 原子が置き換わり、価電子が 1 個余分になる。この電子が電気伝導に寄与する。この現象を式で示すと、



となる。 P はイオン化し、伝導に寄与する電子を放出する。系全体としては電氣的に中性を保つことになる。

したがって、この P (リン) のような元素は電子を半導体に与えるのでドナーという。この半導体は電子が正孔より多くなり、電子が多数キャリアである。

一方、族のホウ素 (B) をドーブすると、Si 原子の位置に B が置き換わり、価電子が 1 個不足する。ここには正電荷の正孔が発生すると考えられ、式では、



となる。すなわち、 B はイオン化するとともに正孔を発生し、これが電気伝導に寄与する。このような元素はアクセプタと呼ばれる。この半導体では正孔が電子より多くなるので、正孔が多数キャリアとなる。

2.3 フェルミ ディラクの分布

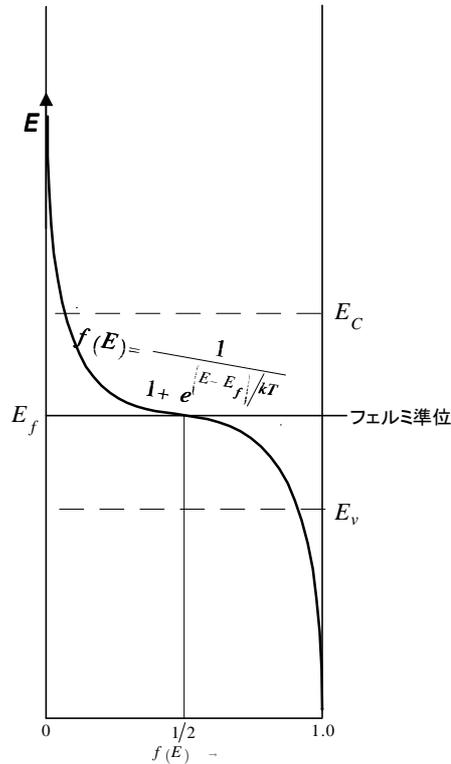


図2.4フェルミ-ディラクの分布

真性半導体のエネルギー準位を図 2.4 に示す。図の曲線は、電子の存在確率をその準位のエネルギーに対して描いたものである。確率が 1 の準位には、2 個の電子でつねに満たされる。確率が 1/2 であれば平均してつねに 1 個の電子がその準位を占め、また確率が 1/4 であれば平均して 1 個の電子が 1/2 の時間その準位にとどまることになる。

この確率曲線はフェルミ ディラクの統計で、これを関数で表すと次のようになる。

$$f(E) = \frac{1}{1 + e^{(E-E_f)/kT}}$$

この確率は結晶の温度とフェルミ準位からのエネルギー差だけで決まることがわかる。

次に $f(E)$ が E に対してどのような値をとるかを調べる。

● $T = 0$ のとき、

1. ($E < E_f$)

$$e^{(E-E_f)/kT} = e^{-(E-E_f)/kT} = 0$$

$$f(E) = \frac{1}{1+0} = 1$$

2. ($E > E_f$)

$$e^{(E-E_f)/kT} = \infty$$

$$f(E) = 0$$

これは、 E_f 以下のエネルギー準位は満席で、 E_f より上だと完全に空席になる。

● $T \neq 0$ のとき、 E が E_f より $3kT$ 以上高ければ $e^{(E-E_f)/kT} \gg e^3 \gg 1$ となる。

$$f(E) \cong \frac{1}{1 + e^{(E-E_f)/kT}} = e^{-(E-E_f)/kT} = e^{E_f/kT} e^{-E/kT}$$

$e^{E_f/kT}$ は定数と考えてよいから、 $f(E)$ は $e^{-E/kT}$ に反比例し、エネルギーの高いところで電子の分布は急激に減少する。

2.4 電子と正孔の密度

電気伝導に寄与する伝導帯の電子の密度 n は状態密度 $N(E)$ に存在確率を乗じたものを電子の全エネルギー範囲にわたって積分したものであるから、

$$n = \int_{E_c}^{\infty} f_n(E) N(E) dE$$

と示される。ここで、 $f_n(E)$ は電子の存在確率を示す分布関数で

$$f_n(E) = \frac{1}{1 + e^{(E-E_F)/kT}} \doteq e^{(E_F-E)/kT}$$

となる。状態密度 $N(E)$ は

$$N(E) = \frac{1}{2\pi^2 \hbar^3} (2m_n)^{3/2} (E - E_c)^{1/2}$$

となる。ここで、 m_n は有効質量、 E_c は伝導帯の底のエネルギー、 \hbar Dirac の定数 $\left(= \frac{h}{2\pi} \right)$ を用いて、近似計算すると、

$$n \doteq N_c e^{-(E_c-E_F)/kT}$$

ここで N_c は伝導帯の実効状態密度と呼ばれている。また、価電子帯の正孔密度 p は

$$p = \int_{-\infty}^{E_v} f_p(E) N(E) dE$$

となる。ここで、 $f_p(E)$ は正孔の存在確率を示す分布関数で、電子の存在しない確率であるから

$$f_p(E) = 1 - \frac{1}{1 + e^{(E-E_F)/kT}} = \frac{1}{1 + e^{(E_F-E)/kT}} \doteq e^{(E-E_F)/kT}$$

と示される。同様に正孔の状態密度を用いて近似計算すると、

$$p \doteq N_v e^{-(E_F-E_v)/kT}$$

となる。ここで、 N_v は価電子帯の実効状態密度である。

2.5 平衡状態

n 形および p 形半導体では一般的に、電子密度と正孔密度の積は

$$pn = N_c N_v e^{(E_v - E_c)/kT} = N_c N_v e^{-E_g/kT}$$

となる。ここで禁制帯 E_g は

$$E_g = E_c - E_v$$

で示される。したがって、材料と温度さえ定まっていれば常に一定の値になることがわかる。

真性半導体では、電子密度 n 、正孔密度を p とすると、この場合のフェルミ準位は E_i なので

$$n = n_i = N_c e^{-(E_c - E_i)/kT}$$

$$p = n_i = N_v e^{-(E_i - E_v)/kT}$$

となる。真性フェルミ準位 E_i は

$$E_i = \frac{E_c + E_v}{2} - \frac{kT}{2} \ln \frac{N_c}{N_v}$$

で示され、 N_c は N_v にほぼ等しいので、禁制帯のほぼ中央であることがわかる。また一般的に、真性半導体の真性キャリア密度 n_i を求めると、

$$n_i = \sqrt{N_c N_v} e^{-E_g/2kT}$$

となり、真性キャリア密度 n_i は温度の関数であることがわかる。すなわち、 n_i は低い温度ではその値が小さく高温では大きいことがわかる。

電子密度 n 、正孔密度 p は、

$$n = n_i e^{-(E_i - E_F)/kT}$$

$$p = n_i e^{(E_i - E_F)/kT}$$

と表される。

2.6 キャリア移動度

電界によって加速された電子は、格子原子やイオン化した不純物原子などに散乱される。電子は電界からエネルギーを得てそして失ってしまうということを繰り返している。電子は電界によって無限に加速されることなく、平衡状態では電界に比例する一定の速度を走行する。このときの速度はドリフト速度とよばれ、その方向は電界の向きと逆で、その大きさ v [m/s] は、電界 E [V/m] に比例し、

$$v = \mu_p E$$

比例定数 μ [m²/Vs] を電子の移動度という。正孔に対しても同様の関係が成り立つ。電子の移動度を μ_n 、正孔の移動度を μ_p で表す。

固体中に電界を加えると電子に qE だけの力が働き、その加速度 a は電子の質量を m_n として

$$a = \frac{qE}{m_n}$$

となる。一方、電子は格子点の原子や不純物と衝突を繰り返して、電界から得たエネルギーを失う。衝突によって速度が最高値から 0 にもどると考えると、平均速度 \bar{v} は時間 τ における速度に等しく、

$$\bar{v} = \frac{1}{2} a \tau = \frac{qE}{2m_n} \tau$$

固体中の自由電子の密度を n とすると、電流密度 J_n は、

$$J_n = \sigma_n E = nq\bar{v} = \frac{nq^2 E \tau}{2m_n}$$

$$\sigma_n = \frac{nq^2 \tau}{2m_n}$$

となる。導電率は自由電子の密度に比例する。ドリフト速度 v は、平均速度 \bar{v} でもあり、

$$\bar{v} = v = \mu E = \frac{q\tau}{m_n} E = \mu_n E$$

となり、これから

$$\mu_n = \frac{q\tau}{m_n}$$

となるから導電率 σ_n を求めると、

$$\sigma_n = nq\mu_n$$

となる。

$$\sigma = nq\mu_n + pq\mu_p$$

2.7 拡散

電子の密度 n に、図 2.7 に示すように x 方向に密度勾配があるときを考える。

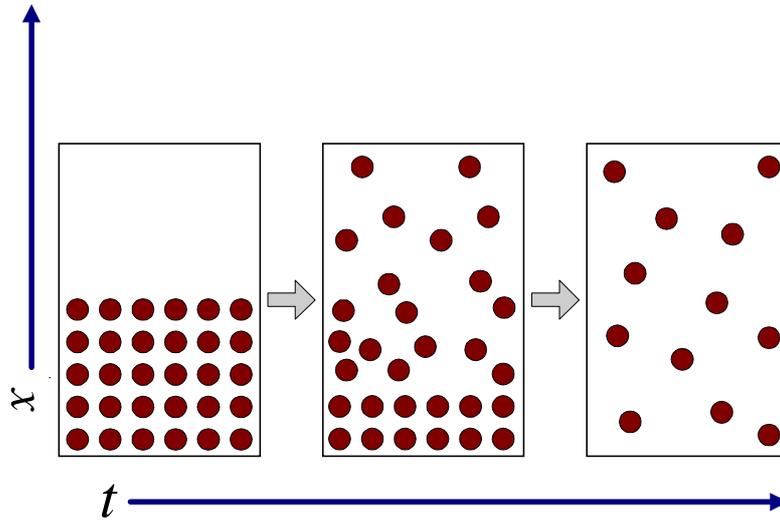


図2.7 時間と共に拡散する様子

電界はかかっていないものとする。キャリアは密度の高いところで衝突をくりかえして、低いところへ動いていく。これが拡散という現象である。

今、電子の拡散の流れ密度を F_n とすると、 F_n は密度勾配 dn/dx に比例

するので

$$F_n = -D_n \frac{dn}{dx}$$

と示される。ここで D_n は電子の拡散係数である。

正孔についても同様で、正孔の流れ密度 F_p は拡散係数を D_p とすると、

$$F_p = -D_p \frac{dp}{dx}$$

次に電界をかけた状態について考える。電子の流れ密度 F_n は電界によるドリフト成分も加わり、

$$F_n = nv_d - D_n \frac{dn}{dx} = -n\mu_n E - D_n \frac{dn}{dx}$$

となる。また正孔の流れ密度 F_p は、

$$F_p = p\mu_p E - D_p \frac{dp}{dx}$$

となる。また、移動度 μ_n, μ_p と拡散係数 D_n, D_p の間にはアインシュタインの関係式が成立する。

$$\frac{D_n}{\mu_n} = \frac{D_p}{\mu_p} = \frac{kT}{q}$$

3 pn 接合

3.1 pn 接合の接触電位差

pn 接合は p 形半導体と n 形半導体を金属学的に合わせたときに生じる接合である。p 形領域と n 形領域のエネルギー帯は図 3.1 のようになり、接合を通過して電子と正孔の移動が可能おこる。

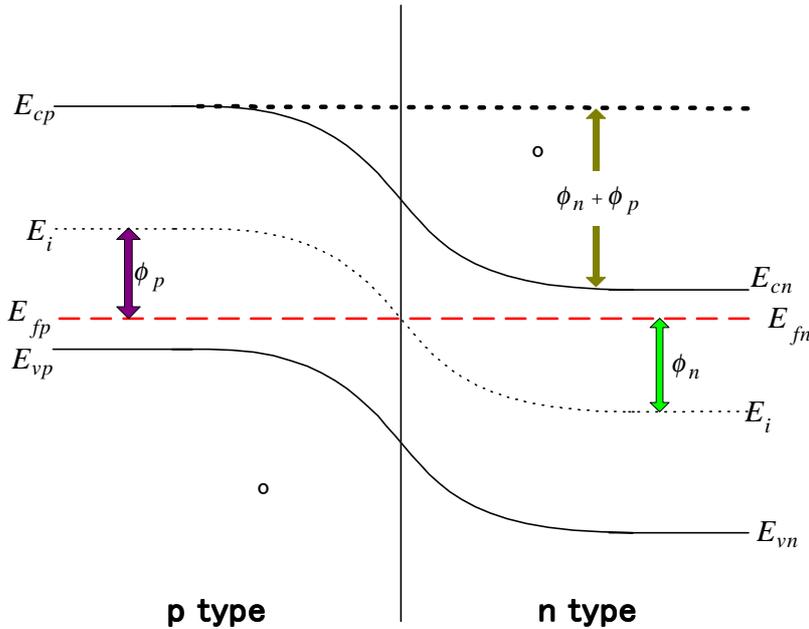


図3.1 pn接合

伝導帯の電子は n 形半導体中に多量に存在するが、p 形中では少ない。このため、濃度勾配による拡散により電子は接合を通過して n 側から p 側に移動する。同じように、価電子帯中の正孔も p 側から n 側方向へ拡散により移動する。この結果、境界付近で、n 側に正のドナーイオンが、p 側に負のアクセプタイオンがとり残される。これら

の正負の電荷によって電子と正孔の拡散による移動を妨げる向きの接触電位差 $\phi_n + \phi_p$ が生じる。そして電子と正孔の移動がなくなると、フェルミ準位が左右で等しくなり、平衡状態になる。

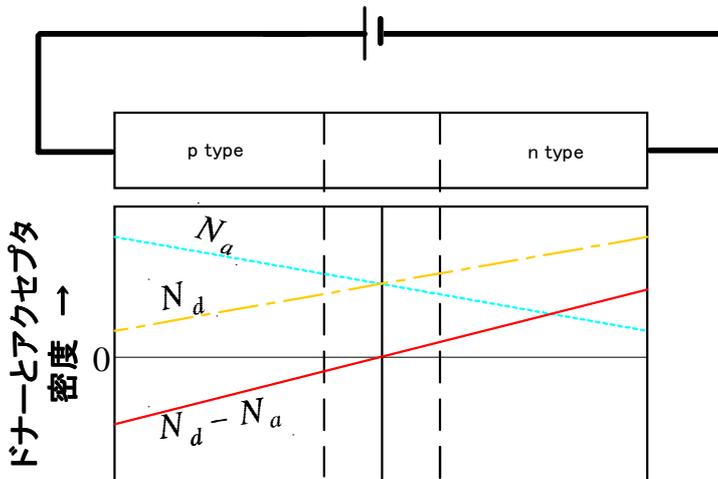


図3.2 pn接合のドナーとアクセプタ密度

p 領域と n 領域の中間の遷移領域においては、正孔密度 p および電子密度 n とはそれぞれアクセプタとドナーの密度 $(N_a - N_d)$ および $(N_d - N_a)$ より小さくなっている。

次に遷移領域について考える。n 側から p 側に流れ込んだ電子は少数キャリアとなって、正孔と再結合する。この結果、境界近くの n 側では電子が不足して、ドナー原子は正のイオンとなる。同様に、p 側においても、正孔の不足により、アクセプタ原子は負のイオンとなる。このようにして、境界の両側では、n 側および p 側にそれぞれ正のドナーイオンおよび負のアクセプタイオンによる空間電荷領域が形成される。一般に、不純物半導体の内部の電荷密度 ρ は、ドナーイオンと正孔は正電荷、アクセプタイオンと電子は負の電荷をもっている。全電荷密度は、

$$\rho = q(p + N_d - n - N_a)$$

となる。半導体内部では通常電荷中性条件が成り立ち、 $\rho = 0$ であるが、遷移領域では n と p はきわめて小さいから ρ は 0 ではない。ドナーおよびアクセプタによる空間電荷が存在している。

電子は電位の高いほうの、n 領域側に引き付けられ、低いほうの p 領域側にはね返される。正孔はこれと反対になる。すなわち、電位はキャリアを拡散による移動と反対方向にドリフトする。したがって、電子と正孔の拡散がある大きさに達すると、空間電荷の密度が増加して電位が増大し、キャリアのドリフトが拡散と釣り合い、平衡状態になる。熱平衡のもとではキャリアの流れはなくなり、フェルミ準位は左右で等しくなっている。この結果、エネルギー帯の垂直方向のずれが生じる。このずれに相当する電位差が接触電位差であって、価電子帯の上端から測ったフェルミ準位の高さの差、 $V_{fn} - V_{fp}$ に等しい。左右のエネルギー帯の

ずれ ($\phi_n + \phi_p$) は、電子および正孔がそれぞれ p 側および n 側へ拡散するのを妨げ

る障壁の高さを表している。 $\phi_n + \phi_p$ は接触電位差、あるいは拡散電位ともいう。

遷移領域は空乏領域ともよばれる。

3.2 空間電荷領域

空間電荷領域の発生について考える。p 形半導体ではアクセプタイオン (- 電荷) と正孔 (+ 電荷) が、また、n 形半導体ではドナーイオン (+ 電荷) と電子 (- 電荷) が、釣り合って電氣的に中性になっている。

pn 接合付近では p 領域の正孔と n 領域の電子が互いに拡散し再結合し、p 側では負イオンのみで構成される、n 側では正イオンのみで構成される領域が新たに形成される。すなわち pn 接合の付近には電氣的に中性ではない空間電荷領域が発生する。この領域は、キャリア密度の減少している場所でもあるので空乏層とも呼ばれている。

空間電荷層の幅を x_d とし、このうち p 形領域の幅を x_p 、n 形領域の幅を x_n とすると、

$$x_d = x_p + x_n$$

また、空間電荷層領域内で再結合した正孔と電子の数は等しいので、

$$N_a x_p = N_d x_n$$

次に、空間電荷密度分布、これに伴う電界、電位分布について考える。ポアソンの式を使うと

$$\frac{d^2V}{dx^2} = \begin{cases} -\frac{qN_d}{\epsilon_s \epsilon_0} & (0 < x < x_n) \\ \frac{qN_a}{\epsilon_s \epsilon_0} & (-x_p < x < 0) \end{cases}$$

となる。

$x = x_n$ および $x = -x_p$ ではそれぞれ n および p の中性領域と接し、電界 $E = -\frac{dV}{dx}$ は存在しないのでそれぞれ、

$$\begin{aligned} \frac{dV}{dx} &= -\frac{qN_d}{\epsilon_s \epsilon_0} (x - x_n) \\ \frac{dV}{dx} &= \frac{qN_a}{\epsilon_s \epsilon_0} (x + x_p) \end{aligned}$$

となる。

pn 接合 $x = 0$ では電界は等しく、かつ電界は最大になるので、この値を E_{\max} とすると、

$$E_{\max} = \frac{qN_d}{\epsilon_s \epsilon_0} x_n = \frac{qN_a}{\epsilon_s \epsilon_0} x_p$$

また、電位は電界分布の面積部分である。したがって、

$$V = \frac{x_d E_{\max}}{2}$$

空間電荷領域の幅 x_d は、

$$x_d = \sqrt{\frac{2\epsilon_s \epsilon_0}{q} \frac{N_a + N_d}{N_a N_d} V}$$

と求められる。

n 形と p 形両側の空乏層の幅を考えると、不純物密度が低い方が空乏層は大きく広がる。pn 接合に順バイアスを加えると、電位は $V - V_F$ 、逆バイアスを加えると $V + V_R$ なので、空乏層の幅は

$$x_d = \sqrt{\frac{2\epsilon_s \epsilon_0}{q} \frac{N_a + N_d}{N_a N_d} (V - V_F)} \quad (\text{順バイアス})$$

$$x_d = \sqrt{\frac{2\epsilon_s \epsilon_0}{q} \frac{N_a + N_d}{N_a N_d} (V + V_R)} \quad (\text{逆バイアス})$$

となる。すなわち、 x_d は順バイアスで狭くなり、逆バイアスで広がる。

次に pn 接合の容量について考える。単位面積当たりの接合容量を C_J とすると、接合に加える電圧を変化させたときの C_J は

$$C_J = \frac{dQ}{dV}$$

で定義される。ここで dQ は電圧を dV 増加させたときの単位面積当たりの電荷の変化量である。一方 dQ は、

$$dQ = \rho dx, \quad dV = x_d dE$$

の関係が成立する。これらの関係を使って空乏層の容量 C_J は

$$C_J = \frac{\epsilon_s \epsilon_0}{x_d}$$

で示される。pn 接合容量 C_J を求めると、

$$C_J = \sqrt{\frac{q N_a \epsilon_s \epsilon_0}{2(V - V_F)}} \quad (\text{順バイアス})$$

$$C_J = \sqrt{\frac{q N_a \epsilon_s \epsilon_0}{2(V + V_R)}} \quad (\text{逆バイアス})$$

となる。空乏層が広がるのは逆バイアスのときで、

$$\frac{1}{C_J^2} = \frac{2}{q N_a \epsilon_s \epsilon_0} (V + V_R)$$

の関係が成立する。

4 MOS トランジスタ

4.1 n チャネル MOS トランジスタ

n チャネル MOS トランジスタでは、ソース - ドレイン間の伝導がゲート電圧に制御される。n チャネル MOS トランジスタではキャリアは電子で、基板に対しての正のゲート電圧に印加すると、チャネル内の電子の数が増える。しきい値以下のゲート電圧では、チャネルはカットオフ状態にある。

MOS トランジスタのしきい値は、MOS トランジスタがターンオンする電圧である。ゲートバイアスが 0 で、カットオフ状態にあるトランジスタをエンハンスメント形といい、ゲートバイアスが 0 でも導通するトランジスタをディプリーション形という。

nMOS エンハンスメント形トランジスタの構造を図 4.1 に示す。

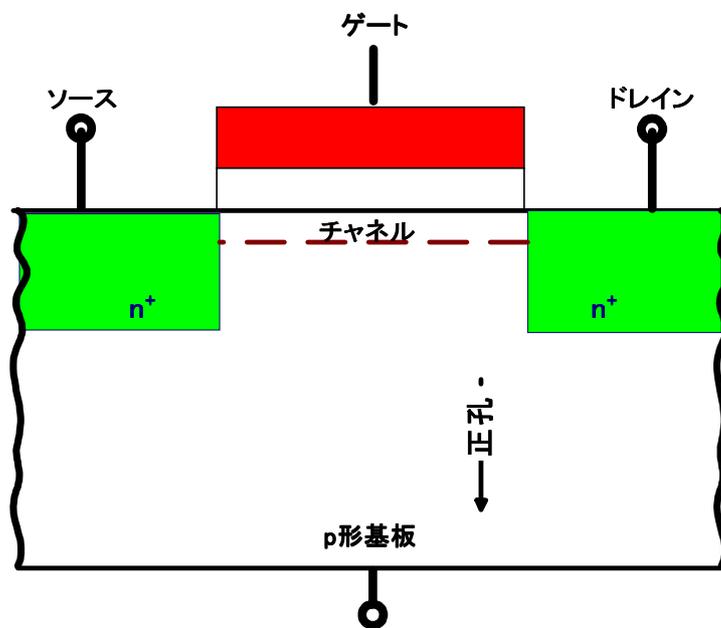


図4.1 nMOSトランジスタ

p 形シリコン基板の中に高濃度にドーブした n^+ 領域のソースおよびドレインがある。これら 2 つの領域の間は、チャネルと呼ばれる。チャネルは薄い酸化膜で覆われている。この酸化膜の上に、ゲート電極がある。

動作中は、ソースとドレインの間に正電圧 V_{DS} がかけられる。ゲート電圧が正のときは、チャネルから正孔は追い払われる。ゲート電圧が十分大きいと、ゲート下の領域に電子が引き寄せられる。この状態を、p 形シリコンが反転したという。

したがって MOS トランジスタは、ゲート電圧がしきい値を越えたときに導通するスイッチとして働く。ドレイン - ソース電圧による水平方向の電界成分が、チ

チャンネル中の電子をドレイン方向に移動させる。チャンネルのソース側では、ゲート電圧全部がチャンネルを反転させるのに有効である。しかしチャンネルのドレイン側では、ゲート電圧とドレイン電圧の差しか有効ではない。ドレイン電圧がまだ小さい場合はドレイン側も反転している。しかしドレイン電圧を大きくして $V_{DS} > V_{GS} - V_{th}$ のときは、チャンネルはドレイン側でピンチオフ状態になる。これを図 4.2 に表す。

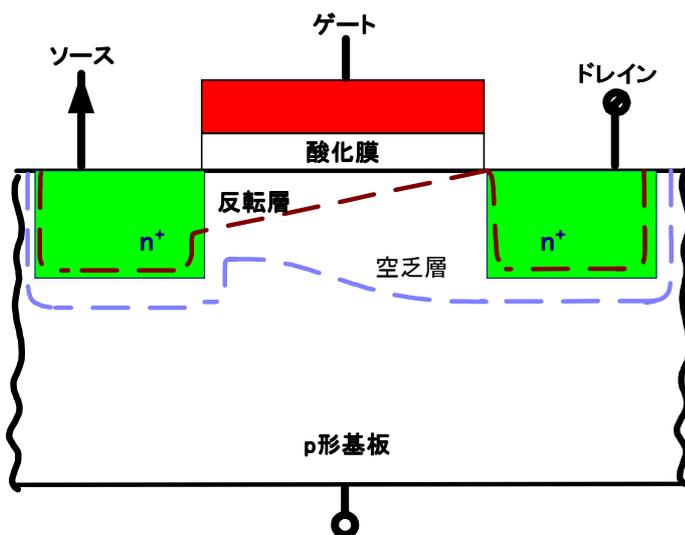


図4.2 ピンチオフ状態 $V_{DS} \geq V_{GS} - V_{th}$

しかし、このピンチオフでも、導通が起こる。電子がチャンネルを出て、ドレイン空乏層に飛び込み、強い電界でドレインに飛び込む。ピンチオフ状態の条件でも、チャンネル電流はゲート電圧により制御され、ドレイン電圧にはよらなくなる。

4.2 pチャネルMOSトランジスタ

pチャネルMOSトランジスタはnチャネルMOSトランジスタのp、nを入れ換えて考えればよい。図4.3に示す。

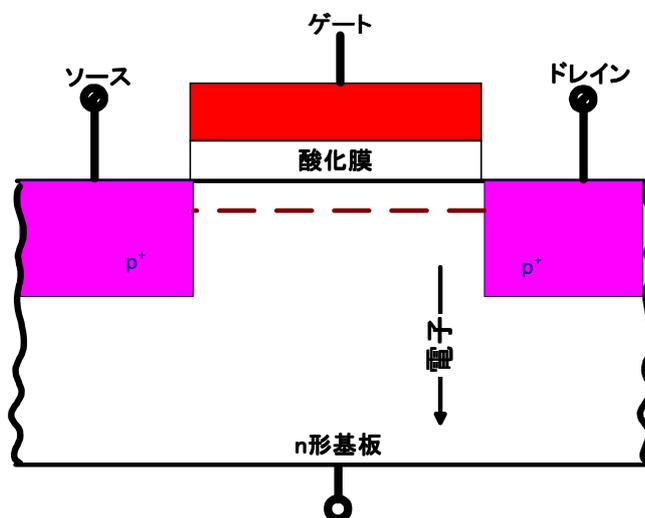


図4.3 pチャネルMOSトランジスタ

ゲートに負電圧を印加すると、チャネルの領域に正孔が引き寄せられて、チャネルがp形に変化する。したがってnMOSの場合と同じく、ソース - ドレイン間に導通経路が形成される。この場合は、正孔がチャネル中を移動する。負のドレイン電圧で、正孔はソースからドレインに向かう。正孔は電子の抜けた穴が移動することなので電子よりも移動度が小さい。nチャネルトランジスタとpチャネルトランジスタは、互いに双対である。つまり、正常な動作に必要な電圧の極性が、逆である。

4.3 ドレイン電流特性

MOS トランジスタには 3 種類の動作領域がある。n チャネル MOS トランジスタを例にとると、

- カットオフ領域 $V_{GS} - V_{th} \leq 0$

しきい値以下の領域で、この領域では、 I_{DS} はほとんど 0 である。

$$I_{DS} \doteq 0$$

- 線形領域 (非飽和領域) $V_{GS} - V_{th} > V_{DS} > 0$

$$I_{DS} = \beta \left[(V_{GS} - V_{th}) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

- 飽和領域 $0 < V_{GS} - V_{th} < V_{DS}$

$$I_{DS} = \frac{\beta}{2} (V_{GS} - V_{th})^2$$

この近似式は、チャンネル中の電流が飽和しており、ドレイン電圧にはよらない。実際には、飽和状態でのドレイン電流は、ドレイン電圧によりわずかに増える。次式で表される。

$$I_{DS} = \frac{\beta}{2} \left[(V_{GS} - V_{th})^2 (1 + \lambda V_{DS}) \right]$$

ここで λ は、チャンネル長調節要素と呼ぶ。電圧 - 電流特性を図 4.4 に示す。

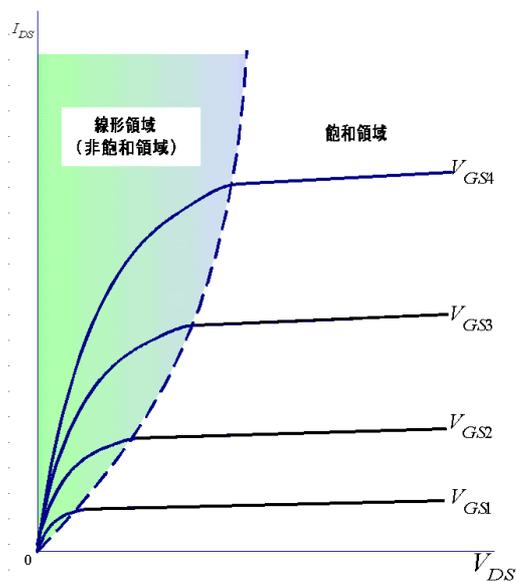


図4.4 nチャネルMOSトランジスタの電圧-電流特性

ここで、 β は MOS トランジスタの利得係数である。 β は、プロセスのパラメータとトランジスタの寸法の両者に依存し、

$$\beta = \mu \frac{W}{L} \frac{\epsilon_{ox}}{t_{ox}}$$

で与えられる。ここで、 μ は電子の実効移動度、 ϵ_{ox} はゲート絶縁体の誘電率、 t_{ox} はゲート絶縁体の厚さ、 W はチャネル幅、 L はチャネル長である。したがって β は、不純物濃度やゲート酸化膜厚といった要素を左右するすべてのプロセス項目を含んだプロセスに依存する要素 $\mu(\epsilon_{ox}/t_{ox})$ と、トランジスタの実際の寸法に依存する要素 (W/L) とからなる。

5 CMOS を用いたインバータ、NAND、NOR のレイアウト

5.1 設計基準

Meal & Conway によって提唱され普及したラムダベースの設計基準を用いることにした。ラムダベースの設計基準とは、単一パラメータ λ に基づいて、マスク加工形状と寸法を特色付けている。すなわち、全ての加工寸法が λ に比例する数値で決められる。したがって、プロセス技術の進歩によって λ が小さくなっても、種々の加工寸法との間の関係は基本的に不変である。

Tanner EDA 社の L-Edit はマスクレイアウトの交換ファイルのデータ形式に GDS と CIF の 2 種類を用いている。

また、レイアウト作成およびファイル化については、GDS (Graphic Data System) に基づいて記述してある。これは設計の最終段階での VLSI レイアウトを、ただの図形として製造工程に渡しても意味がなく、レイアウトが計算機ファイル化されていないといけない。その情報を用いて VLSI 製造機械を駆動できなければならないからである。

L-Edit で作業をする際、TDB 形式のファイルを用いる。この TDB ファイルは L-Edit 独自の形式です。この中には描画したレイアウトデータだけでなく、各種セットアップが含まれる。(ユニットの設定、描画グリッドの設定、レイヤ表示の設定、DRC の設定)

多くの設計基準があるが、代表的な設計基準を示す。まず、Si についてその使用用途を表 5.1 に表す。

タイプ	不純物	不純物濃度	使用用途
酸化膜 (SiO ₂)			絶縁層
n ⁻ シリコン	(ドナー)リンまたはヒ素	10 ¹⁵ cm ⁻³	pMOS Trの基板 (CMOS回路の基板)
n ⁺ 拡散	(ドナー)リンまたはヒ素	10 ²⁰ cm ⁻³	nMOS Trのソースとドレイン
n ⁺ ポリシリコン	(ドナー)リンまたはヒ素		ゲート
p ⁻ シリコン	(アクセプタ)ホウ素	10 ¹⁶ cm ⁻³	nMOS Trの基板 (CMOS回路のp-ウェル)
p ⁺ 拡散	(アクセプタ)ホウ素	10 ²⁰ cm ⁻³	pMOS Trのソースとドレイン

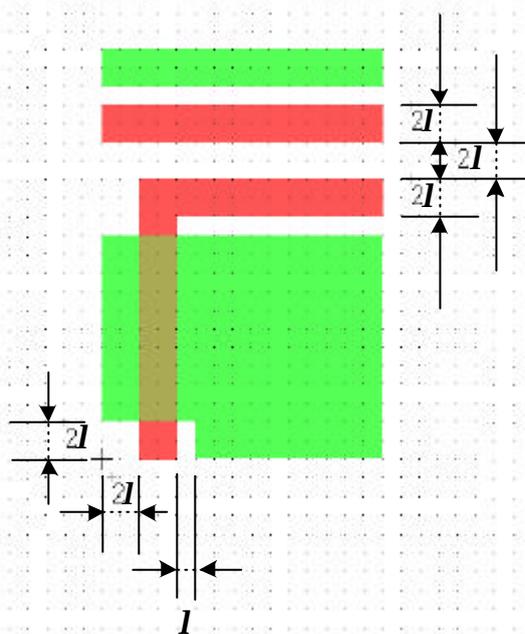
また、層と色に関する関係、層と寸法に関する関係を、ポリシリコン(polysilicon)、アルミニウム(metall)、拡散層(active)、N - ウェル(n-well)、p-select/ n -select、コンタクト孔(contact)の順に以後詳細に示す。まず、層と色の関係は表 5.2 に表す。

表5.2層と色の関係			
	色	使用用途	詳細ページ
polysilicon		ゲート	21
metall		導線(アルミニウム)	22
active		ソースとドレイン	23
n-select/p-select		p-select/n-select	24
n-well		n-well	25
contact		contact	26

続いて、層と寸法に関する関係を表す。

ポリシリコン(polysilicon)			
最小ポリシリコン幅	2	最小ポリシリコン間隔	2
最小ゲートポリシリコン幅 (p,n)(3, 2)		色 : 赤:	
最小ゲートポリシリコン突出長	2		

Plate



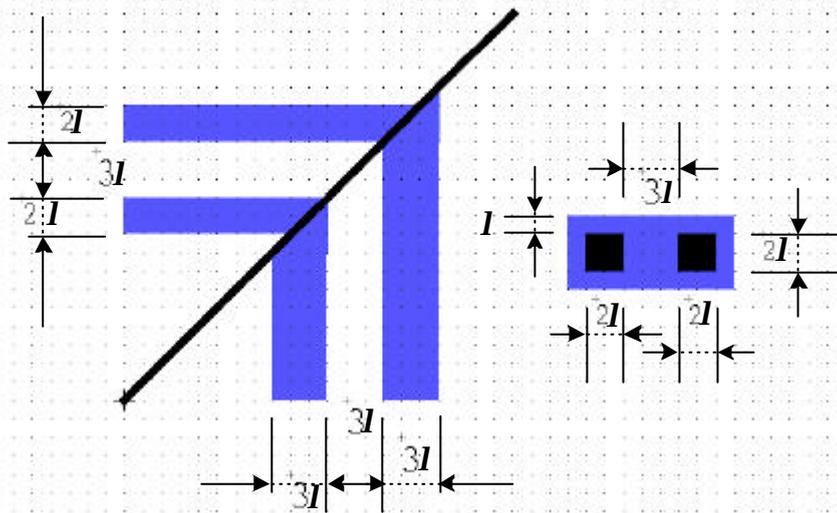
使用層 : polysilicon

polysilicon

アルミニウム(metal1)

最小アルミニウム幅	3	最小アルミニウム間隔	3
コンタクト孔への最小金属オーバーラップ		色：青	
拡散層エッジまでの最小間隔			

Plate

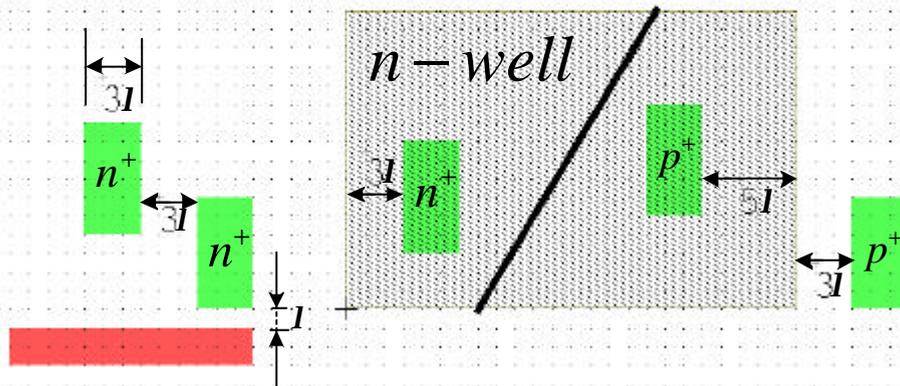


使用層：metal1

metal1

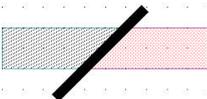
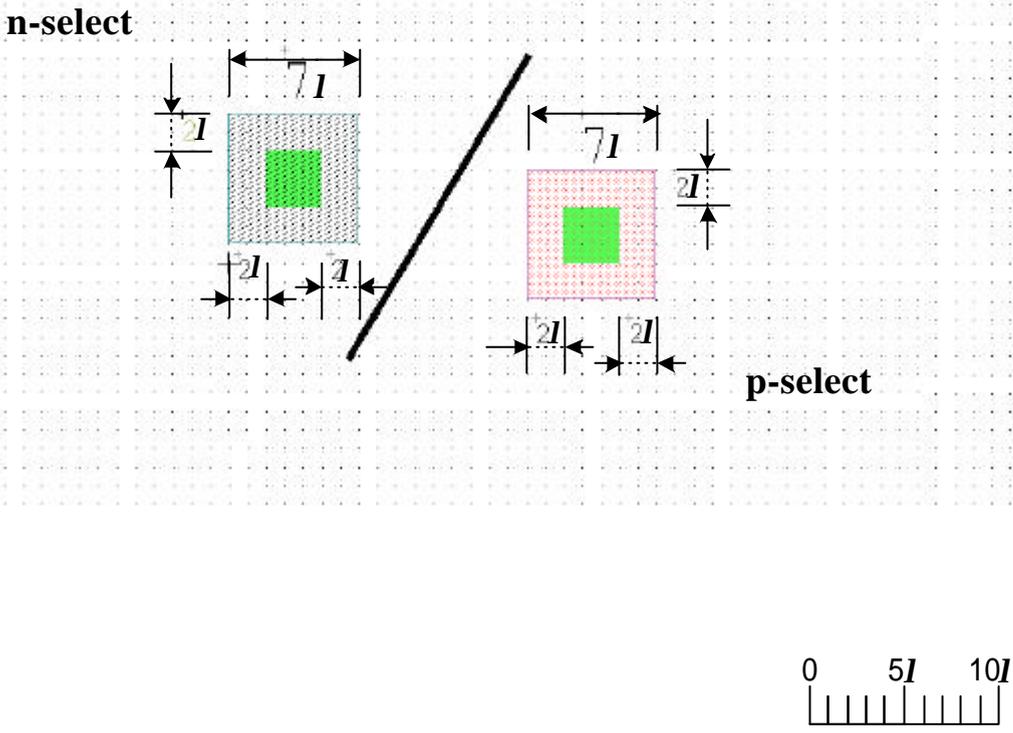
拡散層 (active)			
最小拡散層幅	3	最小拡散層間隔	3
n-wellから拡散層までの間隔 (p^+)	5	色: 緑: 	
n-wellから拡散層までの間隔(n^+)	3		

Plate

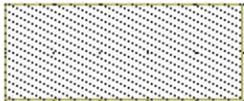


使用層: active

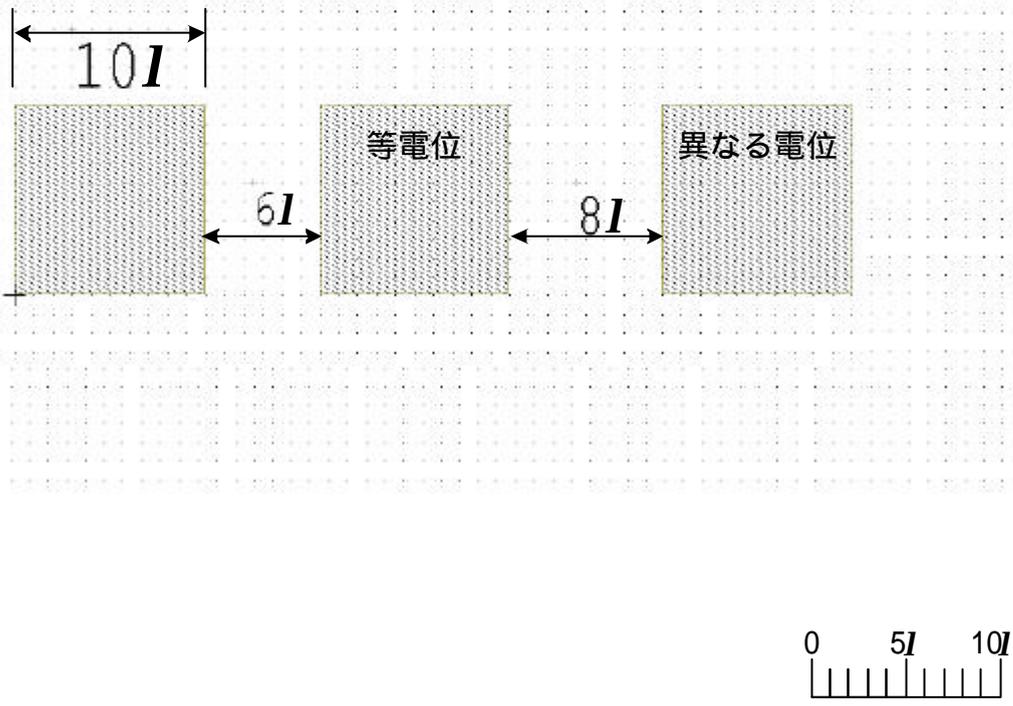
active

n-select / p-select			
最小 n-select / p-select幅	7	拡散層までの最小間隔	2
コンタクト孔を含む拡散層までの最小間隔		色： n-select	
			p-select
<p><i>Plate</i></p> 			
使用層： n-select / p-select		n-select / p-select	

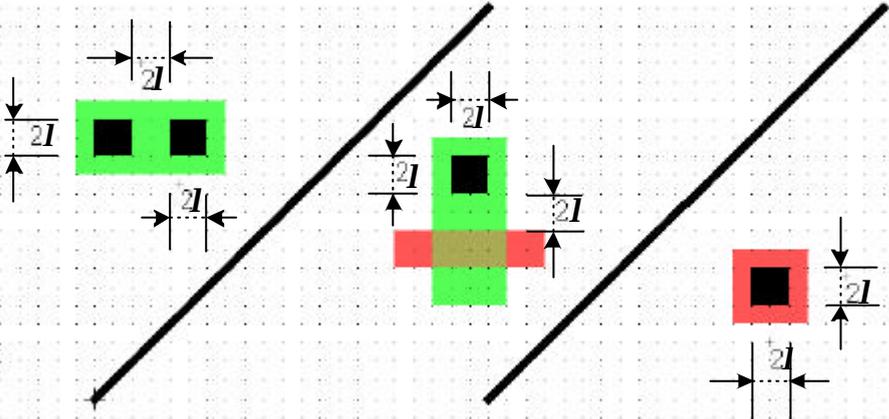
n - ウェル(n-well)	
最小n-ウェル幅	10
最小n-ウェル間隔(異なる電位ウェル)	8
最小n-ウェル間隔(等電位ウェル)	6

色 : 

Plate



使用層 : n-well	n-well
--------------	--------

コンタクト(contact)			
最小コンタクト領域	2 × 2	最小コンタクト間隔	2
ゲートポリシリコンまでの最小間隔		色：黒	
<i>Plate</i>			
			
			
使用層：contact		contact	

5.2 CMOS インバータの設計

ここでは $\lambda = 1\mu\text{m}$ を用いて、CMOS インバータのレイアウト設計をした。p,n 両チャンネルともゲート長 $2\mu\text{m}$ (2)、ゲート幅 $6\mu\text{m}$ (6)にした。まず、このCMOS インバータの回路のレイアウト図を図 5.1 に、回路図を図 5.2 の下部に示す。

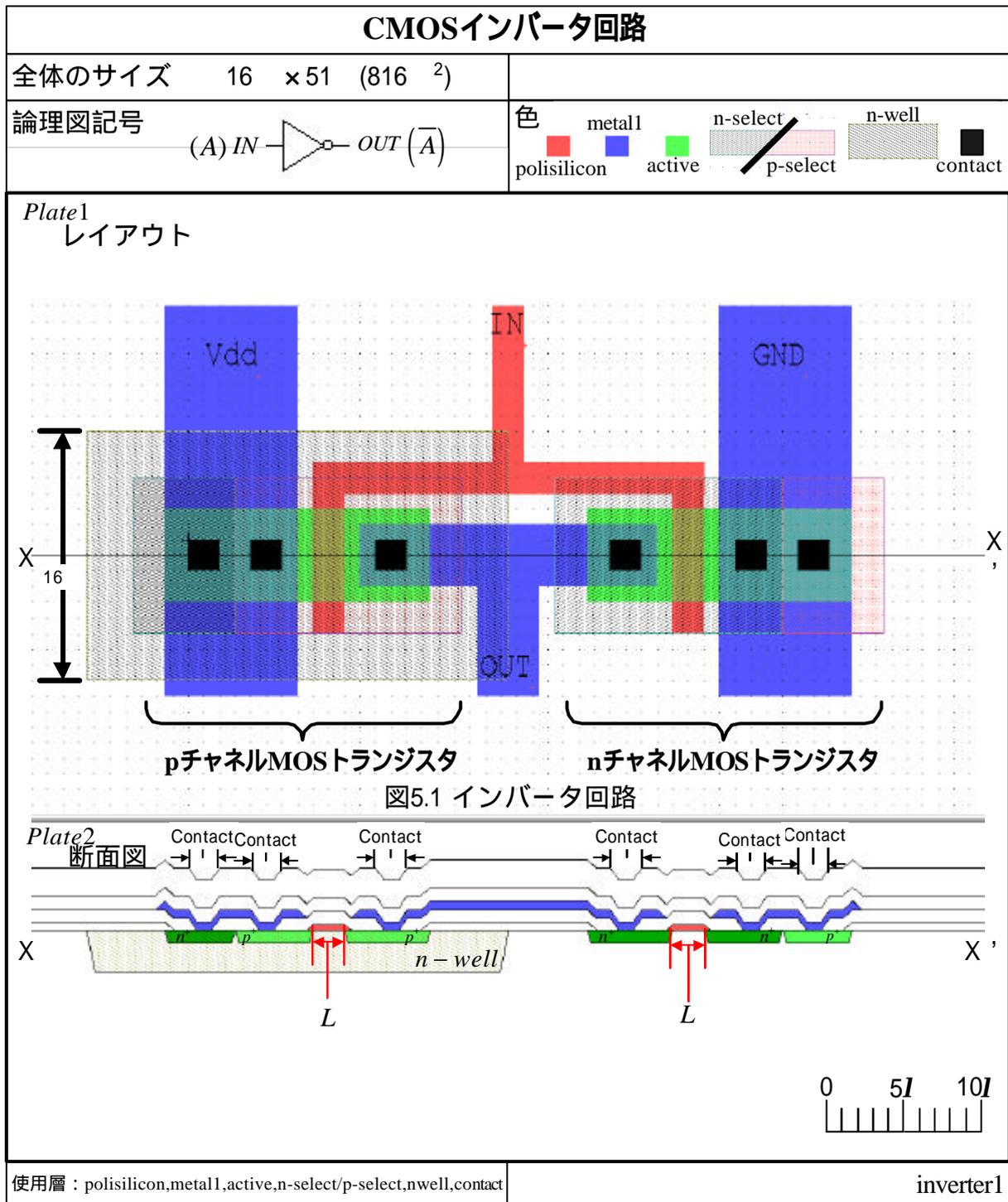
図 5.1 では左が p チャンネル MOS トランジスタ、右が n チャンネル MOS トランジスタを配置し、2 つのトランジスタが向き合った形にしてある。ここで左端と右端に V_{dd} 、 GND 線を配線してある。中央の上部から入力を取り、下部に出力するようにポリシリコンとアルミニウムを配線している。

また、このレイアウト図を $x-x'$ 線の断面で切りとり、その断面図を図 5.1 の下部に表す。n-well の深さは $3\mu\text{m}$ (3)、ソース・ドレインの拡散層の深さは p,n 両チャンネルとも $0.6\mu\text{m}$ (0.6)、ゲート酸化膜は両チャンネルとも 400 \AA (0.04)、フィールド酸化膜の深さは $0.6\mu\text{m}$ (0.6)である。その他の深さも表 5.3 に示す。

全体の面積は $[816\mu\text{m}^2(16 \times 51)]$ である。

図 5.2 は電源線 V_{dd} とアース線 GND 、入力、出力の配置は図 5.1 と同じようにしながら、トランジスタの配置をかえて設計したものである。ここでは、p チャンネル MOS トランジスタと n チャンネル MOS トランジスタの 2 つが電源線とアース線に対して平行に配置していて、図 5.1 と比べると、入力端子のポリシリコンの形状が単純になっている。しかし、その分電源線 V_{dd} から拡散層への配線の加工形状が複雑になっている。

全体の面積は図 5.2 では $[783\mu\text{m}^2(27 \times 29)]$ となり、図 5.1 とあまり変わらない。



CMOSインバータ回路2

全体のサイズ 27 × 29 (783²)

論理図記号 $(A) IN \rightarrow \text{triangle} \rightarrow OUT (\bar{A})$

色 metal1 polisilicon active n-select p-select n-well contact

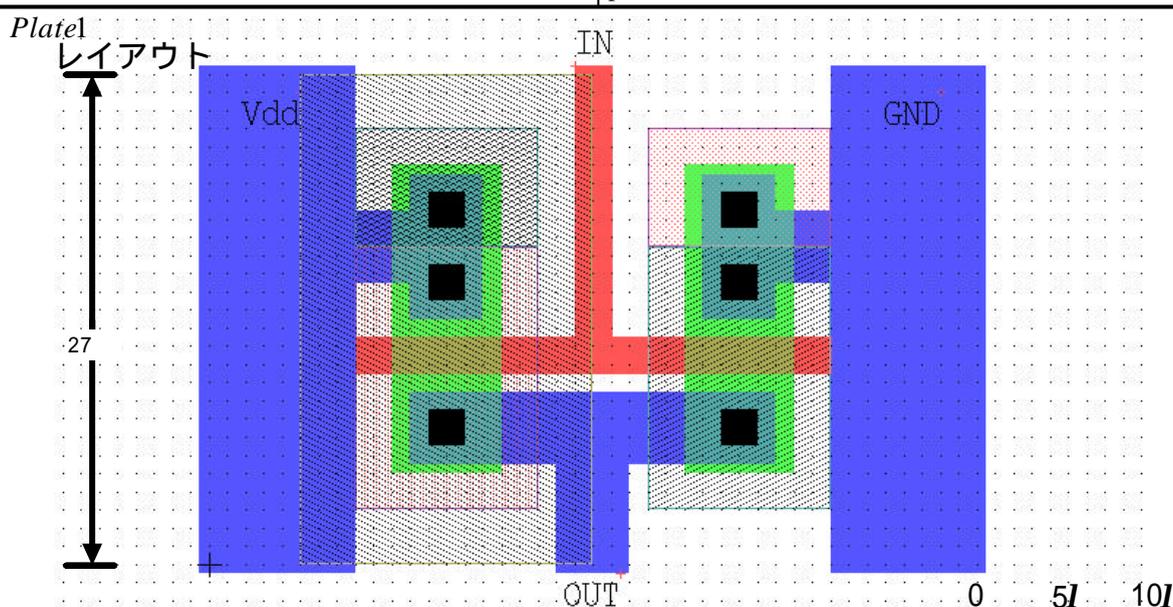
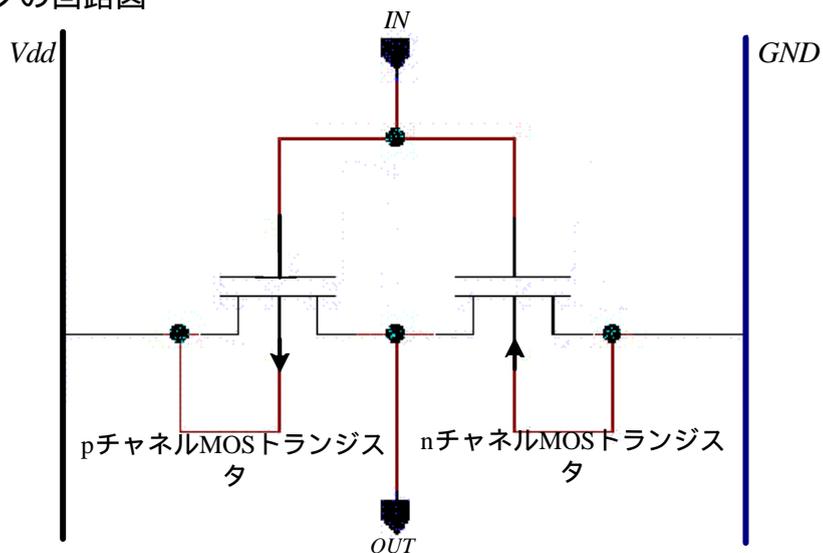


図5.2 拡散層がVdd,GND線に平行なインバータ回路

Plate2
インバータの回路図



使用層 : polisilicon,metal1,active,n-select/p-select,nwell,contact

inverter2

5.3 CMOS 2入力 NAND の設計

ここでも $\lambda = 1\mu\text{m}$ を用いた。p チャネル MOS トランジスタと n チャネル MOS トランジスタの両方ともゲート長 $2\mu\text{m}$ (2λ)、ゲート幅 $6\mu\text{m}$ (6λ) とした 2 入力 NAND を設計し、図 5.3 に示す。

この図 5.3 では電源線 V_{dd} を上に、アース線 GND を下に配線してある。2 つの入力線 A、B は左からはいってくる。出力は右端に取り出す配線にしてある。トランジスタの配置では、2 個の n チャネル MOS トランジスタと 2 個の p チャネル MOS トランジスタが電源線とアース線に対して垂直に配置してある。

全体の面積は $[1620\mu\text{m}^2(30\lambda \times 54\lambda)]$ である。

図 5.4 は電源線 V_{dd} とアース線 GND 、入力、出力の配置は図 5.3 と同じようにしながら、トランジスタの配置をかえて設計したものである。ここでは、p チャネル MOS トランジスタと n チャネル MOS トランジスタの 2 つが電源線とアース線に対して平行に配置していて、図 5.3 と比べると、入力端子のポリシリコンが上下に配線されている形状をとって単純になっている。しかし、その分電源線 V_{dd} から拡散層への配線の加工形状が複雑になっている。

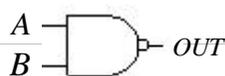
全体の面積は図 5.4 では $[1015\mu\text{m}^2(35\lambda \times 29\lambda)]$ となり、図 5.3 より $605\mu\text{m}^2$ も小さくなっている。拡散層を電源線 V_{dd} とアース線 GND に対して垂直にした方が、横の幅は狭くなり、たくさんのトランジスタをならべることができる、しかし、縦の幅がその分犠牲となる。一方、拡散層を電源線 V_{dd} とアース線 GND に対して平行にした方は、縦の幅は狭くできる。しかし、その分横の幅が大きくなりトランジスタをあまり並べられないことがわかる。

CMOS2入力NAND回路

全体のサイズ 30 × 54 (1620²)

論理式 $OUT = \overline{A \cdot B}$

論理記号



色
 polisilicon (red) metal1 (blue) active (green) n-select (diagonal lines) p-select (horizontal lines) n-well (dotted) contact (black)

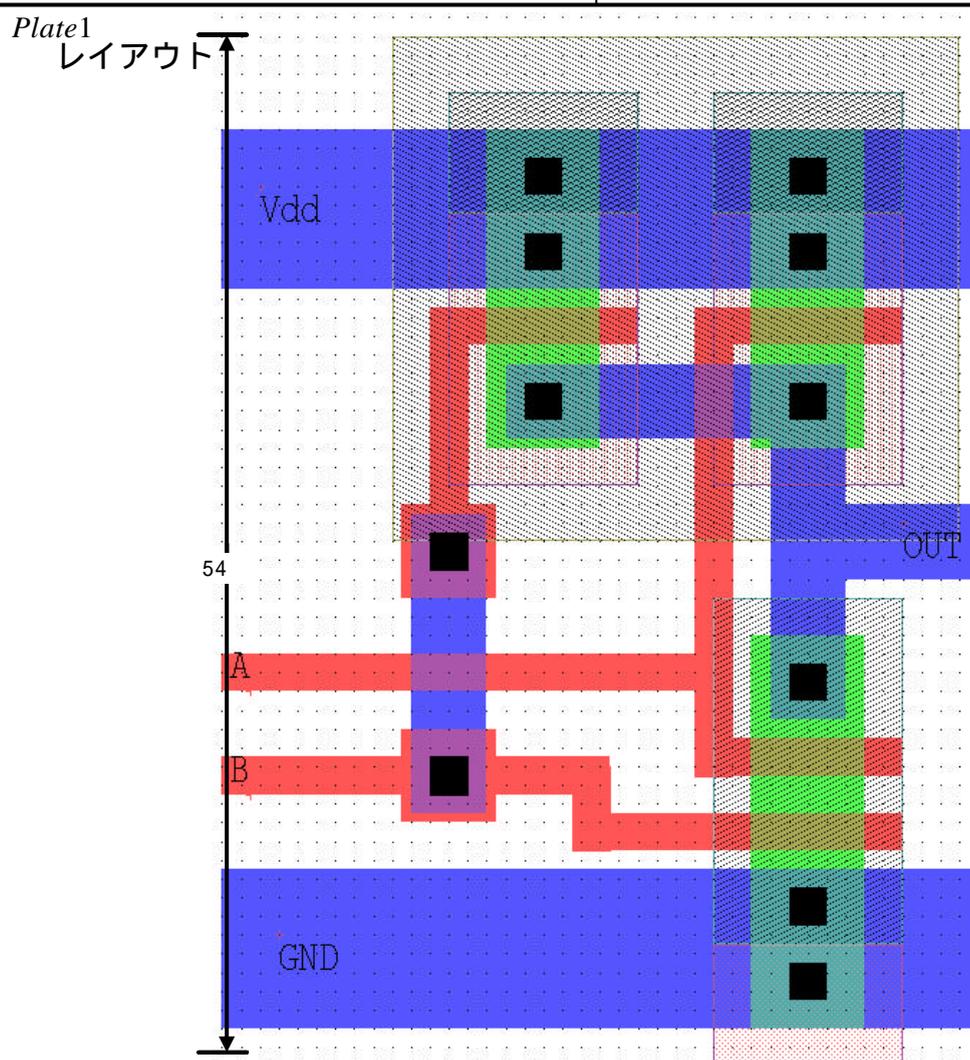
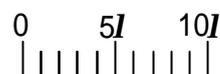


図5.3 拡散層がVdd,GND線に垂直な2入力NAND回路



使用層 : polisilicon,metal1,active,n-select/pselect,nwell,contact

2 input NAND 1

CMOS2入力NAND回路2

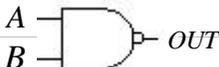
全体のサイズ	35 × 29 (1015 ²)	論理式	$OUT = \overline{A \cdot B}$												
論理記号		色	<table style="font-size: small; border: none;"> <tr> <td style="display: inline-block; width: 15px; height: 10px; background-color: red; margin-right: 5px;"></td> <td style="display: inline-block; width: 15px; height: 10px; background-color: blue; margin-right: 5px;"></td> <td style="display: inline-block; width: 15px; height: 10px; background-color: green; margin-right: 5px;"></td> <td style="display: inline-block; width: 15px; height: 10px; background-color: gray; margin-right: 5px;"></td> <td style="display: inline-block; width: 15px; height: 10px; background-color: lightgray; margin-right: 5px;"></td> <td style="display: inline-block; width: 15px; height: 10px; background-color: black; margin-right: 5px;"></td> </tr> <tr> <td>polisilicon</td> <td>metal1</td> <td>active</td> <td>n-select</td> <td>n-well</td> <td>contact</td> </tr> </table>							polisilicon	metal1	active	n-select	n-well	contact
polisilicon	metal1	active	n-select	n-well	contact										

Plate1
レイアウト

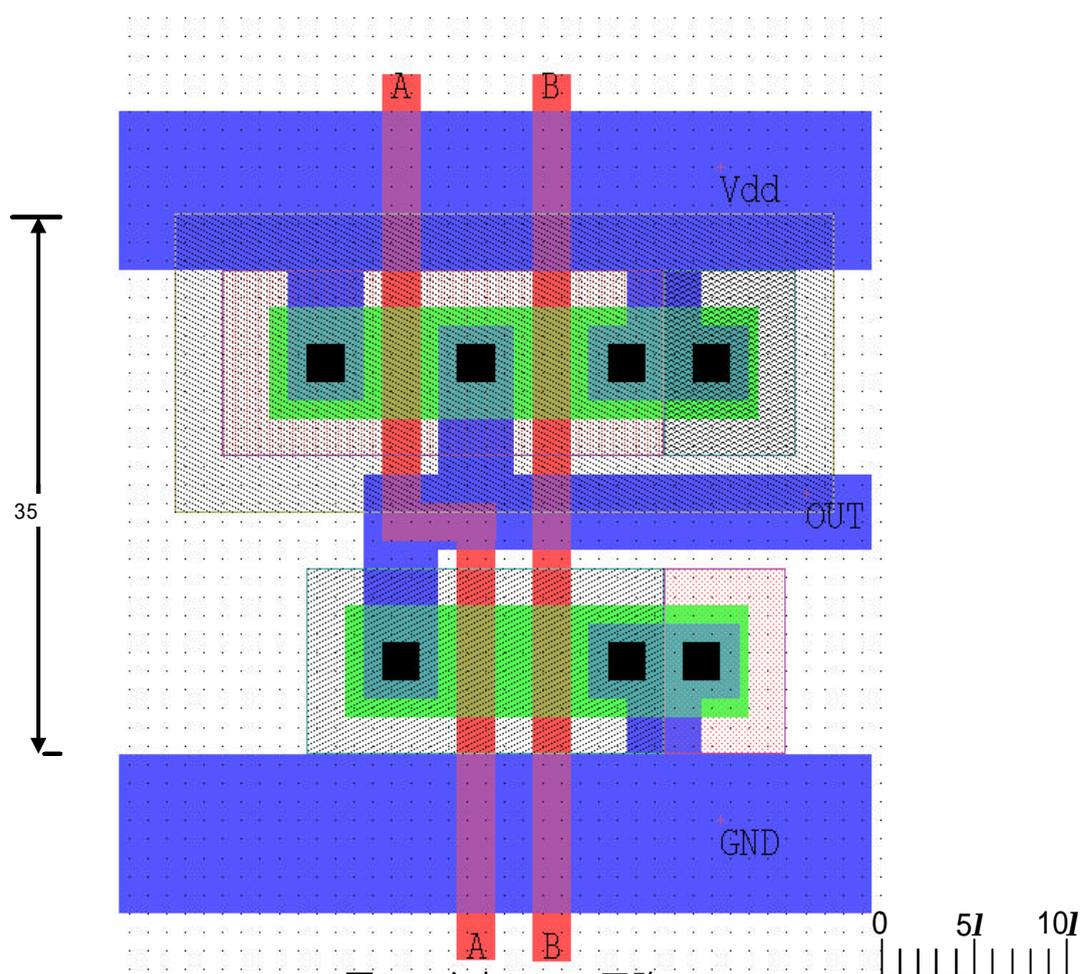
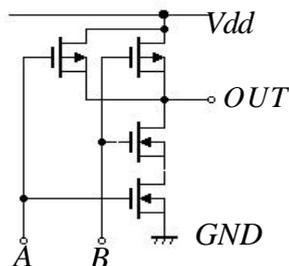


図5.4 2入力NAND回路

Plate2
NANDの回路図



使用層: polisilicon, metal1, active, n-select/p-select, n-well, contact

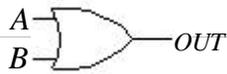
2 input NAND 2

5.4 CMOS 2入力 NOR の設計

2入力 NOR をレイアウトした結果を図 5.5 に示す。基本的には図 5.4 と同じである。図 5.4 と異なるところは、p チャネル、n チャネル MOS トランジスタのアルミニウム配線、ポリシリコン配線の違いだけであり、p チャネル MOS トランジスタの方が直列に、n チャネル MOS トランジスタの方が並列に配置されている点だけである。

全体の面積は $[1085 \mu\text{m}^2(31 \times 35)]$ でほとんど図 5.4 と同じである。

CMOS2入力NOR回路

全体のサイズ 31 × 35 (1085 ²)	論理式 $OUT = \overline{A + B}$														
論理図記号 	色 <table style="display: inline-table; vertical-align: middle;"> <tr> <td style="text-align: center;">■</td><td>metal1</td> <td style="text-align: center;">■</td><td>n-select</td> <td style="text-align: center;">■</td><td>n-well</td> </tr> <tr> <td style="text-align: center;">■</td><td>polisilicon</td> <td style="text-align: center;">■</td><td>active</td> <td style="text-align: center;">■</td><td>p-select</td> <td style="text-align: center;">■</td><td>contact</td> </tr> </table>	■	metal1	■	n-select	■	n-well	■	polisilicon	■	active	■	p-select	■	contact
■	metal1	■	n-select	■	n-well										
■	polisilicon	■	active	■	p-select	■	contact								

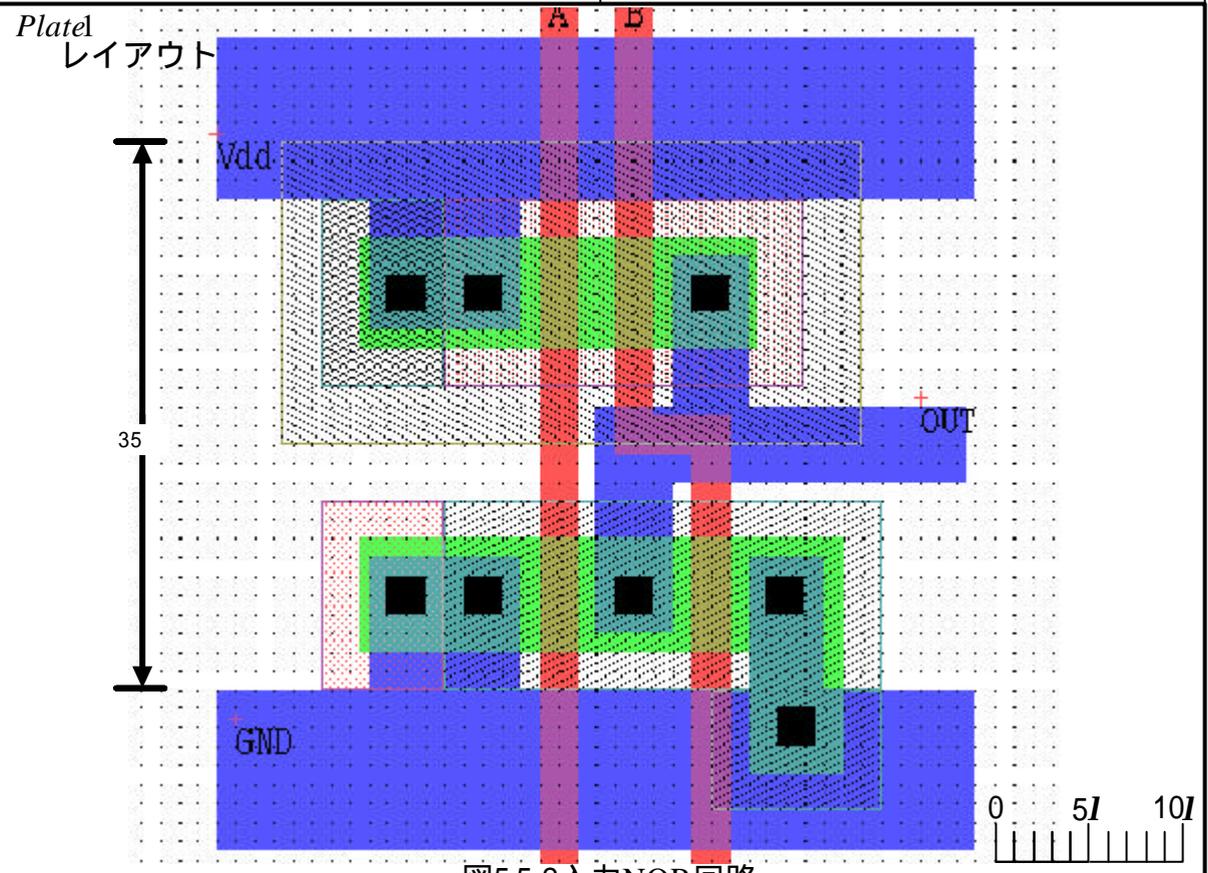
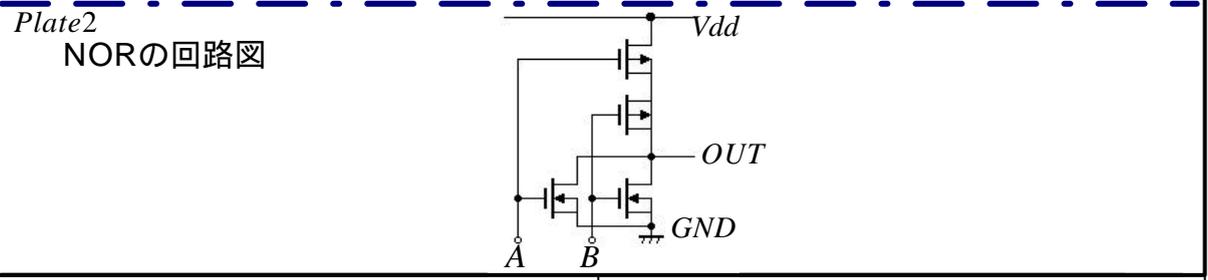


図5.5 2入力NOR回路



使用層 : polisilicon,metal1,active,n-select/p-select,nwell,contact 2 input NOR

5.5 集積回路の面積について

A) トランジスタの面積について

pチャネルMOSトランジスタ、nチャネルトランジスタのレイアウトを図5.6に示す。ここで、チャンネル長 $2\mu\text{m}$ 、チャンネル幅 $6\mu\text{m}$ とした。

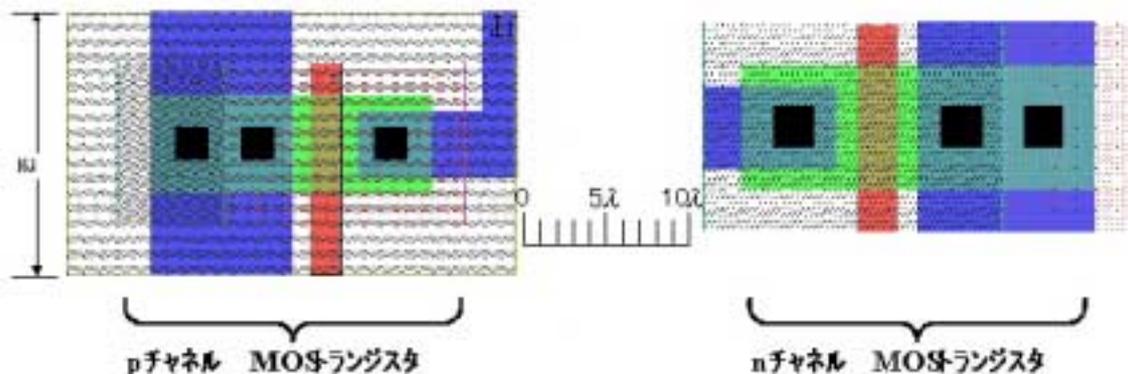


図5.6 pチャネルMOSトランジスタとnチャネルMOSトランジスタ

pチャネルMOSトランジスタの面積を $432\mu\text{m}^2(16 \times 27)$ 。

nチャネルMOSトランジスタの面積を $210\mu\text{m}^2(21 \times 10)$ である。pチャネルMOSトランジスタの面積が大きいのはn-ウェルも含めているためである。

B) インバータの面積について

インバータの面積とpチャネルMOSトランジスタ、nチャネルトランジスタの面積の和を比較する。

(インバータ全体の面積)

$(p \text{ MOS transistor 面積}) + (n \text{ MOS transistor 面積})$

の関係を用いて、

$$\begin{aligned} \frac{(INVERTER)}{(p \text{ type MOS Transistor}) + (n \text{ type MOS Transistor})} &= \frac{(816\lambda^2)}{(16\lambda \times 27\lambda) + (21\lambda \times 10\lambda)} \\ &= \frac{(816\lambda^2)}{(432\lambda^2) + (210\lambda^2)} \\ &= \frac{816\lambda^2}{642\lambda^2} \\ &= 1 \frac{174\lambda^2}{642\lambda^2} \\ &= 1.271 \\ &= 1.27 \end{aligned}$$

結果、値は 1 にはならず、 $\frac{174}{642}$ だけ余分に面積が増えていることがわかる。

これは n - ウェルと n-select との間に 3 というルールがあるからその分面積が増えると考えられる。なぜ 3 のルールが必要かという、n - ウェルの内部と外部との電氣的干渉を防ぐために必要な間隔だと思われる。

C) 2 入力 NAND の面積について

この回路の面積を n チャンネル MOS トランジスタ 2 個、p チャンネル MOS トランジスタ 2 個の面積を比較する。

(2 入力 NAND 全体の面積)

$$2 \{ (p \text{ MOS transistor 面積}) + (n \text{ MOS transistor 面積}) \}$$

の関係を用いて

$$\begin{aligned} \frac{(2 \text{ inputs NAND})}{2 \{ (p \text{ type MOS Transistor}) + (n \text{ type MOS Transistor}) \}} &= \frac{(1015\lambda^2)}{2 \{ (432\lambda^2) + (210\lambda^2) \}} \\ &= \frac{(1015\lambda^2)}{2 \{ 642\lambda^2 \}} \\ &= \frac{1015\lambda^2}{1284\lambda^2} \\ &= 0.790 \\ &= 0.79 \end{aligned}$$

2 入力 NAND に関しては 1 の値よりも小さくなり、 $\frac{1015}{1284}$ になった。これは n チャンネル MOS トランジスタが 2 個直列につながれていることにより、コンタクト分の面積が 1 個不必要となりその分面積が得をしていることがわかる。

D) 2 入力 NOR の面積について

この回路の面積も同様に n チャンネル MOS トランジスタ 2 個、p チャンネル MOS トランジスタ 2 個の面積を比較する。

(2 入力 NOR 全体の面積)

$$2 \{ (p \text{ MOS transistor 面積}) + (n \text{ MOS transistor 面積}) \}$$

$$\begin{aligned}
\frac{(2 \text{ inputs NOR})}{2\{(p \text{ type MOS Transistor})+(n \text{ type MOS Transistor})\}} &= \frac{(1085\lambda^2)}{2\{(432\lambda^2)+(210\lambda^2)\}} \\
&= \frac{(1085\lambda^2)}{2\{642\lambda^2\}} \\
&= \frac{1085}{1284} \\
&= 0.845 \\
&= 0.85
\end{aligned}$$

2 入力 NOR に関しても NAND と同様に 1 の値よりも小さく $\frac{1085}{1284}$ になる。これも p チャンネル MOS トランジスタが 2 個直列につながれていることにより、コンタクト分の面積が 1 個不必要となりその分面積が得をしていることがわかる。NAND よりも少し面積が小さいのは直列になっている p チャンネル MOS トランジスタの方には n-ウェルがあり、ウェルも全体として小さくなったからである。結論として、設計することにより余分な面積がたくさんできてくる。

5.6 まとめ

レイアウト設計した結果、ゲート、ソース、ドレイン部のみを考えた。トランジスタより多くの面積が必要となることがわかった。なぜなら、回路図には基板との接続を考えなくてもよかったが、レイアウトで設計するとその分のコンタクトの面積、また余裕度を多く考えなければならないからである。

また、プロセスの進歩に対応して比例縮小できる ルールの設計基準を用いて CMOS インバータ、2入力 NAND, 2入力 NOR などの簡単な回路のレイアウト設計を行なった。

これらのわずかな経験でも、集積化により面積が縮小することがわかった。

いままでは微細化すればするほど演算速度は速くなり、消費電力も少なくなってきた。プロセスからすると一つのウェハからとれるチップの数も多くなるという結果が得られていた。しかしこれからは微細化だけでは不十分になってきている。微細化にともない動作の信頼性の問題が生じてき、またゲート遅延だけではなく、配線遅延も考えて設計しなければならなくなってきた。今後の設計ではこのことを考慮していきたい。

謝辞

今回多大な協力をして下さった原 央教授には心から感謝を申し上げます。また、河津哲教授、矢野 政顯教授、橘 昌良助教授、綿森 道夫助教授の温かい助言にも感謝いたします。また、周りにいる多くの研究生にも感謝の意を捧げます。この文を最後まで読んでくださった方にもお礼申し上げます。最後に、未熟な私を支えてくれた人たち全てに感謝します。

平成 13 年 2 月 9 日 白木 正章

参考文献

1. Neil H. E. Weste and Kamran Eshraghian , “PRINCIPLES OF CMOS VLSI DESIGN”,ADDISON-WESLEY PUBLISHING COMPANY, printed with corrections October, 1994,p144 - 146
2. 清水 潤治 著, “半導体工学の基礎”, コロナ社, 1986
3. 岸野 正剛・小柳 光正 共著, “VLSI デバイスの物理”, 丸善株式会社,1986
4. 菅野 卓雄 監修 飯塚 哲哉編, “CMOS 超 LSI の設計”, 培風館,1989
5. 松山 泰男・富沢 孝 著, “VLSI 設計入門”, 共立出版,