卒業研究報告

題 目

CMOS 集積回路の要素技術の検討

指導教官 原央教授 報告者 新妻研作 平成 13年2月9日

高知工科大学 電子 光システム工学科

1	目的	と概要	2
2	しきい	1値電圧について	3
	2 - 1	ゲート電極金属と半導体の仕事関数が同じ場合	
	2-2	仕事関数の差がない場合のしきい値について	6
	2-3	仕事関数の差の影響	
3	ゲー	- ト酸化膜中の電荷がしきい値電圧に及ぼす効果	9
	3-1	ゲート酸化膜中の電荷がしきい値電圧に及ぼす効果	9
4		基板バイアス効果について	12
	4 - 1	擬フェルミ準位	
5	高速	图。	19
	5 - 1	分布定数回路	
	5-2	波の伝搬	
	5-3	実数部と虚数部について	
	5-4	MOS での反射の例	
	5 - 5	遠端での改良	
	5-6	近端での改良	
	5 - 7	近端と遠端での改良	
6	CM	OS 標準ロジックIC を用いたカウンタの製作	34
	6 - 1	目的	
	6-2		
	6-3	設計	
	6 - 4	製作	
7	ま	とめ	43
8	謝		43
9	参	考文献	43

目次

1 目的と概要

ハードウェアシステムは大規模かつ複雑化しており、それを短期間で設計しなければ ならないという方向にある。それらの設計用コンピュータツールも日進月歩している。 そんな中で、実際に社会に出て設計や試作など一人でやれる規模ではない。自分では一 部の設計をすることになるだろうが、目先の工程だけを考えていてはシステム全体を把 握できず、また開発効率も上がらない。常にシステム開発フローの全体を見渡す目が必 要となってくる。そのためにも、LSI の機能設計、回路設計、レイアウト設計、そして 製作した LSI の評価までと多岐にわたっている LSI 設計技術を上流から下流まで広く見 ておかないと中途半端な技術者になってしまう。そうならないため基礎知識を確実にし ておくことが重要であると考え今回は、もっとも基礎となる MOS 構造に対する正確な 知識を得て、今後の MOS LSI で重要になる高速配線の課題を調査し、CMOS LSI 設計の ベースとなる CMOS 標準ロジックを設計、試作して、設計技術や測定技術を取得する。 2 しきい値電圧について

2-1 ゲート電極金属と半導体の仕事関数が同じ場合

ゲート電極金属の仕事関 m、半導体の仕事関数 s が等しい場合の MOS(P型半導体の場合)のバンド図を図(2.1)に示す。またここでは簡単のため、真空準位と酸化膜の 伝導帯を一致させてとりあつかう。



図 (2.1) 仕事関数に差がない場合のバンド図

仕事関数が同じ状態なので、フェルミ準位から真空準位までの値が同じ、つまり m = s ・・・(式 2 - 1)

なので、バンドの曲がりがなく半導体表面には電荷がたまらない。

この状態でゲート電極金属に正電圧 Vg を印加すると、反動体表面からホールが追い 出され、半導体表面にアクセプタイオンの負電荷があらわれ、図(2.2)のようにバン ドが曲がる。



図 (2.2) 電圧 Vg をかけた時のバンド図

この時 Vg は

Vg = Vox + Ys · · · (式 2 - 2)

と表せ、Vox は酸化膜 SiO2 にかかる電圧、Ys は半導体表面層に生じる表面電位(surface potential)である。 P-Si 中の不純物濃度が Na で一様に分布しているとすると、P-Si に ds という幅をもった空乏領域ができ、そこに分布するアクセプタによる単位面積あた りの電荷密度 Qsi は

で表せる。等量で正の電荷がゲート電極と酸化膜の境界面にも局在している。 酸化膜中に電荷が存在しないものと考える

と、 電界 E は SiO₂ 中で 一定。

P-Si 中での電界は誘電率を Esi とすると、ガウスの法則より

 $E = \frac{q Na(ds + dox - x)}{esi} \cdot \cdot \cdot (\pm 2 - 4)$

と書けるので図(2.3)のように ds + dox のと ころで0となる一次式で下がる。



図 (2.3) Vg をかけた時の電界の分布

また、シリコンと酸化膜の比誘電率は

Esi : 11.8 **E**ox : 3.85

と異なるので dox 上での電界に差が生じる。

P-Si 中の電位は(x = dox + ds のところを基準にして)(式 2 - 4)から

$$Vsi(x) = \int_{x}^{dox+ds} \frac{q Na(dox+ds-x)}{e si} dx$$

$$= \frac{q Na}{e si} \left[(dox+ds)x - \frac{1}{2}x^{2} \right]_{x}^{dox+ds}$$

$$= \frac{q Na}{e si} \left((dox+ds)^{2} - \frac{1}{2}(dox+ds)^{2} - (dox+ds)x + \frac{1}{2}x^{2} \right)$$

$$= \frac{q Na}{e si} \left(\frac{1}{2}(dox+ds)^{2} - (dox+ds)^{2} + \frac{1}{2}x^{2} \right)$$

$$= \frac{q Na}{2e si} (dox+ds-x)^{2}$$

$$\cdots \cdot (\overline{x} 2 - 5)$$

といった式で求められ、二次関数であることから図(2.4)の P-Si 領域の曲線になることがわかる。

この時の酸化膜、P-Si中の電位分布を考える。電圧と電界の関係は

$$V = -\int E dx$$

の式で表せる。よって SiO2 中の電位 Vox(x)は

$$Vox(x) = -\int_{dox}^{x} Edx$$

= $\int_{x}^{dox} \left(\frac{-Qsi}{eox}\right) dx$
= $\frac{q Na \, ds}{eox} [x]_{x}^{dox}$
= $\frac{q Na \, ds}{esi} (dox - x)$ $\cdot \cdot \cdot (\overline{x} \cdot 2 - 6)$

となり、doxの一次式と見ることができ、図(2.4)にあるように直線になる。



図(2.4) Vg をかけた時の電位の変化量

2-2 仕事関数の差がない場合のしきい値について

強い正の電圧をゲート電極に印加すると、さらにバンドが曲がり、SiO2 側で P-Si にお ける小数キャリアの電子の密度が多数キャリアである hole の密度より大きくなりN型の 半導体となる(図(2.5)参照)。



図(2.5) Vgをかけて反転した時のバンド図

この時の定義を

- Ys = 2 p ・・・(式 2 7) とすると、ゲート電極にかかる電圧は Vg = Vox + 2 p
- 2 pはP-Si表面にかかる電圧、つまり、(式 2 5)にx = doxを代入すると Ys = $\frac{q Na}{2e_{si}} (ds)^2$ ・・・(式 2 - 8)
- となる。よって (式 2 7)より

$$2fp = \frac{q \, Na \, ds^2}{2e \, si}$$

これからdsを求めると
$$ds = \sqrt{\frac{4 \, fp \cdot e \, si}{q \cdot Na}} \quad \cdot \cdot \cdot (式 \ 2 - 9)$$

この、時酸化膜にかかる電圧 Vox は、(式 2 - 6)、の×に0を代入して

$$Vox = \frac{q \cdot Na \cdot ds}{e_{OX}} dox \qquad \cdot \cdot \cdot (\vec{x} \ 2 \ - \ 10)$$

と書ける。(式 2 - 9)(式 2 - 10)から $Vox = \frac{dox}{eox} \sqrt{4fp \cdot esi \cdot q \cdot Na}$ よってゲート電極にかかる電圧 Vg は $Vg = \frac{dox}{eox} \sqrt{4fp \cdot esi \cdot q \cdot Na} + 2fp$. . . (式 2 - 11)

この時の Vg がしきい値電圧である。上の式には ϕ_p や Na の値が入っているので不純物

濃度や酸化膜の厚さによってもしきい値が変化するのがわかる。

このしきい値電圧は理想的なもので実際にはこうはいかない。実際には酸化膜中の固定された電荷や仕事関数の差の影響をうける。

2-3 仕事関数の差の影響

次に m = si でなかった時のことを考える。半導体の仕事関数はドープされる不純物 の濃度によって変化する。

m < si で Vg = 0 のときの図を図 (2.6) に示す。



図(2.6)熱平衡状態で仕事関数に差がある場合のバンド図

熱平衡状態においてはゲート電極金属と P-Si 双方のフェルミ準位が一致して、右図の ようにバンドが下に曲げられてしまう。これは、フェルミ準位の浅いゲート電極側(エ ネルギー準位としては高い)から P-Si 側に移り、ゲート電極側に正電荷、P-Si 側に負電 荷が発生したためである。バンドを平坦にするためにはゲート電極に負の電圧をかけな ければならない(バンド図ではゲート電極側を上にあげる)。このときの電圧をフラット バンド電圧といい、Vfb であらわす。

これは、Vox を Ys を 0 にする電圧であるから Vfb = Vox + Ys ···(式 2 - 12) となる。また図 (2.6) より m + Vox = ϕ si - Ys ···(式 2 - 13) すなわち Vox + Ys = ϕ si - ϕ m ···(式 2 - 14) よって Vfb は Vfb = ϕ si - ϕ m とわせる。 よって、この時のしきい値電圧は Vfb 分高くなってしまう。

仕事関数に差がある場合のしきい値電圧は、このフラットバンド電圧 Vfb 分だけ、(式 2 - 11)よりも高くなるから

 $Vt = \frac{dox}{eox} \sqrt{4fp \cdot esi \cdot q \cdot Na} + 2fp + Vfb$ ・・・(式 2 - 15)
となる。

3 ゲート酸化膜中の電荷がしきい値電圧に及ぼす効果

3 - 1 ゲート酸化膜中の電荷がしきい値電圧に及ぼす効果

今まではゲート酸化膜中に電荷が存在しないという前提で考えてきたが 実際には製造工程中に生じた電荷が酸化膜中に残る場合がある。

図(3.1)の様に SiO2 に正電荷が一様に分布しているときは、電極側と P-Si 側に同等の負電荷が局在する。



図(3.1)酸化膜中に一様に正電荷が分布している図

SiO2 中の任意の点×、原点をゲート電極と酸化膜の境界にとる。また SiO2 中のイオン密度を f (x) とすると0から×までの電荷は

 $Q_{o-x} = q \int_{0}^{x} f(x) dx + Qm$ · · · (式 3 - 1) と表せ、 × から dox までの電荷は $Q_{x-dox} = q \int_{x}^{dax} f(x) + Qs$ · · · (式 3 - 2) と表せる。よって任意の点 × を通過する電界 E (x) はガウスの法則より

 $E(x) = \frac{q \int_{0}^{x} f(x) dx + Qm}{eox} \qquad \cdot \quad \cdot \quad (\pm 3 - 3)$

と表せる。この E (x) はゲート電極から P-Si 方向を見ている式となる。 よって SiO2 にかかる電圧 Vox は (式 3 - 3) を用いて

$$Vox = -\int_{dox}^{0} E(x) dx$$
$$= \frac{1}{eox} \int_{0}^{dox} \left\{ q \int_{0}^{x} f(x) dx + Qm \right\} dx$$

この式から

$$e_{0x} \cdot Vox = q \int_{0}^{dox} \left\{ \int_{0}^{x} f(x) dx \right\} dx + Qm [x]_{0}^{dox}$$
$$= q \left[x \int_{0}^{x} f(x) dx \right]_{0}^{dox} - q \int_{0}^{dox} x \cdot f(x) dx + Qm \cdot dox$$

全体の電荷は中和していることから Qm、Qsi、Qsio2の関係は Qm + Qsi + Qsio2 = 0 ・・・(式 3 - 5) となるので

$$eoxVox = -Qsi \, dox - q \int_{0}^{dox} x \, f(x) \, dx$$
$$Vox = -\frac{dox}{eox} Qsi - \frac{q}{eox} \int_{0}^{dox} x \, f(x) \, dx \qquad \cdot \cdot \cdot (\ \text{I} \ 3 \ - \ 6 \)$$

半導体表面の電荷密度 Qsi が同じ場合について、酸化膜中に電荷 f(x)がある場合とない 場合の Vox の差を V であらわすと

$$\Delta Vox = -\frac{q}{eox} \int_{0}^{dox} x \cdot f(x) dx \qquad \cdot \cdot \cdot (\pm 3 - 7)$$

変化することが分かる。また(式 3 - 7)は

$$\Delta Vox = -\frac{q}{eox} \int_{0}^{dox} f(x) dx \times \frac{\int_{0}^{dox} x \cdot f(x) dx}{\int_{0}^{dox} f(x) dx} \quad \cdot \cdot (\pm 3 - 8)$$

と書け、

$$\frac{\int_{0}^{dax} x \cdot f(x) dx}{\int_{0}^{dax} f(x) dx} = \overline{\mathbf{x}}$$

は酸化膜中に存在する電荷の平均的な位置を表す式である。 酸化膜中に一様に電荷が分布しているときの *ΔVox* は

 $\Delta Vox = -\frac{Qsio2}{eox} \cdot \frac{dox}{2} \quad \cdots \quad (\ \exists \ 3 - 9)$ となる。 x = 0 つまり電荷がゲート電極側に局在している時は $\overline{x} = 0$ となり $\Delta Vox = 0$ よってしきい値電圧は変化しない。



図(3.2) ゲート電極側に電荷が 局在している場合の図



P-Si

4 基板バイアス効果について

4-1 擬フェルミ準位

PN接合のトランジスタを熱平衡状態で放置したときのエネルギバンド図を下に示す。



図(4.1) 熱平衡状態でのPN接合

通常の半導体内部では不純物濃度はそのまま多数キャリアの数になるので、N-Si中の電子とP-Si中のホールの数はそれぞれ

$$Nd = n = ni \cdot \exp\left(\frac{q\,\mathbf{f}n}{kT}\right)$$
$$Na = p = ni \cdot \exp\left(\frac{q\,\mathbf{f}p}{kT}\right)$$

で表せる。また熱平衡状態なので、N側からP型へ op + on の障壁を越えて移動できる 電子はP側での少数キャリアの電子の数は同じであることから

$$ni \cdot \exp\left(\frac{qfn}{kT}\right) \times \exp\left(q\frac{-fp-fn}{kT}\right) = ni \cdot \exp\left(-\frac{qfp}{kT}\right)$$

となる。

この状態でに順方向電圧Vgをかけた時のエネルギバンド図を図(4.2)にあらわす。 (ただし、擬フェルミレベル Efn、Efp については後で述べる)



図(4.2) 順方向に電圧Vgをかけた時のバンド図

この時エネルギバンドの曲がりは Vg 分だけ少なくなり、電子が価電子帯で動ける数は

$$ni \cdot \exp\left(q\frac{fn}{kT}\right) \times \exp\left(q\frac{-fn-fp+Vg}{kT}\right)$$
$$= ni \cdot \exp\left(q\frac{-fp+Vg}{kT}\right)$$
$$= ni \cdot \exp\left(q\frac{-fp}{kT}\right) \times \exp\left(q\frac{Vg}{kT}\right) \qquad \cdot \cdot \cdot (\vec{x} \quad 4 - 1)$$

となる。

また ϕ n + ϕ p = Vg になったとき、つまりエネルギバンドが平坦になった時は $n = ni \cdot \exp\left(\frac{fn}{kT}\right)$

となり、N側の多数キャリアである電子がそのまま動けるようになる。

N-Si 中のドナー濃度が10¹⁷ cm⁻³、P-Si 中のアクセプタ濃度が10¹⁵ cm⁻³ の場合について、 電子とホールの分布を図(4.3)に示す。



図(4.3) 擬フェルミ準位でのキャリアの分布図

図(4.2)で障壁 φn + φp - Vg を乗り越える電子は空乏では再結合しないで通過する。 ある程度 P-Si 中に入ると電子はホールと再結合が始まり、次第に熱平衡状態になってい く。

また濃度差があるため電子と正孔には差が生じる。また での電子の濃度は(式 4 - 1) であらわされる。同様に での正孔の濃度は

$$n = ni \cdot \exp\left(q\frac{\mathbf{f}p}{kT}\right) \times \exp\left(q\frac{-\mathbf{f}n - \mathbf{f}p + Vg}{kT}\right)$$
$$= ni \cdot \exp\left(q\frac{-\mathbf{f}n + Vg}{kT}\right)$$
$$= ni \cdot \exp\left(q\frac{-\mathbf{f}n}{kT}\right) \times \exp\left(q\frac{Vg}{kT}\right)$$

で表される。

 $ni \cdot \exp\left(q \frac{-fn}{kT}\right)$

はN型の少数キャリアであるホールの数である・

空乏層近傍の N-Si を考えてみる。ここでは P 型領域から多数のホールが流れ込んでおり、空乏層近傍では熱平衡状態になっていない。同様に、空乏層近傍の P-Si も熱平衡状態になっていない。このような状況であるため、電子とホールに対するフェルミレベルは一致しなくなり、近似的取り扱いとしてそれぞれ別のフェルミレベル(電子に対する擬フェルミレベル Efp)を導くことにする。

PN接合を流れる電子の電流について考える。電流は電界による分と拡散による分からなる。



図(4.4) 濃度差による電流

拡散係数をDとすると電子の電流密度 Jn は

$$Jn = q \cdot n \cdot \mathbf{m}E + qD\frac{dn}{dx}$$

であらわされる。また、電子密度nは

$$n = ni \cdot \exp\left(q \frac{Efn - Ei}{kT}\right)$$

とおけるので、電流」nは

$$Jn = q \cdot n \cdot \mathbf{m}E + q \cdot D \left\{ \frac{d}{dx} \left(q \frac{Efn - Ei}{kT} \right) \cdot ni \cdot \exp\left(q \frac{Efn - Ei}{kT} \right) \right\}$$
$$= q \cdot n \cdot \mathbf{m}E + q \cdot D \cdot n \frac{q}{kT} \left(\frac{dEfn}{dx} - \frac{dEi}{dx} \right)$$
$$= q \cdot n \left\{ \mathbf{m}E + \frac{Dq}{kT} \left(\frac{dEfn}{dx} - \frac{dEi}{dx} \right) \right\}$$
$$\cdot \cdot \cdot (\vec{x} \cdot 4 - 2)$$

この時の電界 E は、電子に対するエネルギ分布 Ei から

$$E = -\frac{d(-Ei)}{dx} = \frac{dE}{dx} \quad \cdot \quad \cdot \quad (\ \exists \ 4 - 3))$$

また、アインシュタインの関係式から

$$m = \frac{q}{kT}D$$
 · · · (式 4 - 4)
(式 4 - 3)(式 4 - 4)より(式 4 - 2)は

$$Jn = q \cdot n \left(\mathbf{m} E - \frac{qD}{kT} \frac{dEi}{dx} + D \frac{q}{kT} \frac{dEfn}{dx} \right)$$
$$= q \cdot n \cdot \mathbf{m} \frac{dEfn}{dx} \qquad \cdot \cdot \cdot (\vec{x} \ 4 \ - 5)$$

(式 4 - 5)から、一般的にnが大きいと dEfn/dx が小さい。すなわち Efn は一定 である。逆に、nが小さいところで Efn が変化することがわかる。つまり、図(4.2)の Efn が空乏層近傍 n が大きいので傾きがなく、ほぼ平坦である。P-Si に深く入ってから曲が りだす。

逆バイアス Vs をかけた時の疑フェルミ準位を、図(4.5)にしめす。



図(4.5) 逆電圧をかけた時の疑フェルミ準位のバンド図

図(4.5)のような状態は、図(4.6)の様な MOS 構造上でもゲートに強い正電圧を印 加して半導体表面を反転し、P基板に対ソースとドレインに共通に正電圧を印加した場 合にも発生する。に電圧をかけた場合にも存在する。







図(4.7) MOS に逆方向電圧 Vs をかけたときのバンド図

ゲート電極に正の電圧を印加して半導体表面が反転した時のエネルギーバンド図を 図(4.7)に示す。これは、ソース、ドレインのn拡散層に Vs がかけられたためチャネ ルの反転層でも同じだけバイアスされた状態である。このときのエネルギバンドの曲が り(表面ポテンシャル)は Vs 分高くなる。空乏層の深さを dsi とすると

$$2\mathbf{f}p + Vs = \frac{q \, Na \, dsi^2}{2\mathbf{e} si}$$

より dsi は

$$dsi = \sqrt{\frac{2\mathbf{e}si(2\mathbf{f}p + Vs)}{q\,Na}}$$

dsi が大きくなるということは空乏層が大きくなるということなので酸化膜にかかる電圧

は高くなる。よってしきい値電圧 Vt は、Vfb や酸化膜中の電荷のことも考えると

$$Vt = \frac{dox}{eox} \sqrt{2esi(2fp+Vs)qNa} + 2fp+Vs + Vfb - \frac{Qsio2}{(eox/dox)}$$

と表せる。

5 高速配線

5-1 分布定数回路

集積回路の発展では主に微細化によってゲートの遅延を低減し LSI の高速化を進めて きたが、ゲート遅延よりも配線遅延の方が大きな問題となってきた。

配線遅延は、クロック周波数が高くなると、分布定数回路の取り扱いが必要となる。 配線の分布定数回路は、下図に示すようにL、C、R、Gの等価回路として表すことが できる。(L、C、R、Gは配線の単位長あたりの値である)



図(5.1) 分布定数回路の等価回路

これらの定数は空間的に分布している。配線の微小長d x 分の等価回路を下図に示す。 i は入力電流、 v は入力電圧である。



図 (5.2) 配線のd x 分の等価回路

この時の単位長あたりの漏れ電流-diは

$$-di = C \cdot dx \frac{dv}{dt} + G \cdot dx \cdot v$$

両辺をdxでわると

$$\frac{-di}{dx} = C\frac{dv}{dt} + G \cdot v \qquad \cdot \cdot (\ \exists \ 5 \ - \ 1)$$

とかける。また同様に単位長あたりの電圧降下 d v は

$$-dv = R \cdot dx \cdot i + L \cdot dx \cdot \frac{di}{dt}$$

両辺をdxでわると

$$-\frac{dv}{dx} = R \cdot i + L \cdot \frac{di}{dt} \qquad \cdot \cdot \cdot (\pm 5 - 2)$$

この式の両辺を×で微分すると

$$-\frac{d^{2}v}{dx^{2}} = R\frac{di}{dx} + L\frac{d}{dt}\left(\frac{di}{dx}\right) \quad \cdot \quad \cdot \quad \cdot (\vec{x} \quad 5 \quad - \quad 3)$$

$$(\vec{x} \quad 5 \quad - \quad 1) (\vec{x} \quad 5 \quad - \quad 1) (\vec{x} \quad - \quad 5 \quad - \quad 3)$$

$$(\vec{x} \quad 5 \quad - \quad 1) (\vec{x} \quad - \quad 5 \quad - \quad$$

同様に電流の式も

$$\frac{d^{2}i}{dx^{2}} = R \cdot G \cdot v + \left(R \cdot C + L \cdot G\right) \frac{di}{dt} + L \cdot C \frac{d^{2}i}{dt^{2}} \quad \cdot \cdot (式 5 - 5)$$
とかける。

この式は×とt、つまり時間と場所の2つの変数で表されているため 捉えにくい。よってtについては角周波数 で振動する場合を考えて、 $v = Ve^{jwt}$ $i = Ie^{jwt}$ ・・・(式 5 - 6)

とおくと。これなら微分しようが積分しようがj を掛けたり、割ったりするだけなの で簡単に取り扱うことができる。よって(式 5 - 2)は

$$-\frac{dVe^{jwt}}{dx} = R \cdot Ie^{jwt} + L \cdot \frac{dIe^{jwt}}{dt}$$

$$-\frac{dV}{dx} = R \cdot I + jw \cdot L \cdot I = (R + jwL)I$$
 · · · (式 5 - 7)
とかける。この時のインピーダンス
R + j L を Z とおくと

$$-\frac{dV}{dx} = (R + jwL)I = Z \cdot I$$
 · · · (式 5 - 8)
同様に(式 5 - 1)は

$$-\frac{dIe^{jwt}}{dx} = C \cdot \frac{dVe^{jwt}}{dt} + G \cdot Ve^{jwt}$$

$$-\frac{dI}{dx} = jw \cdot C \cdot V + G \cdot V = (jwC + G)V \quad \cdot \cdot \cdot (武 \ 5 - 9)$$

となる。この時のアドミッタンス j C + G を Y とおくと
$$-\frac{dI}{dx} = (jwC + G)V = Y \cdot V \quad \cdot \cdot \cdot (式 \ 5 - 10)$$

これらの等価回路を図(5.3)に示す。



図(5.3)交流の場合の等価回路

これらの式から(式 5 - 4)は

$$\frac{d^{2}Ve^{jwt}}{dx^{2}} = R \cdot G \cdot Ve^{jwt} + (R \cdot C + L \cdot G)\frac{dVe^{jwt}}{dt} + L \cdot C\frac{d^{2}Ve^{jwt}}{dt^{2}}$$

$$= R \cdot G \cdot Ve^{jwt} + (R \cdot C + L \cdot G)jwVe^{jwt} + L \cdot C(jw)^{2}Ve^{jwt}$$

$$= (R + jwL)(G + jwC)Ve^{jwt}$$

$$= Z \cdot Y \cdot Ve^{jwt}$$

$$= T \cdot L 1$$

$$\frac{d^2V}{dx^2} = Z \cdot Y \cdot V \qquad \cdot \cdot \cdot (\vec{x} \ 5 \ - \ 11)$$

...

5 - 2 波の伝搬

.....

-

ここで波の伝搬について考えてみる
$$\frac{d^2 y}{dx^2} = a y \qquad \cdot \cdot \cdot (\ \exists 5 - 12)$$
という関数があったとする。 y は
 $y = e^{ax}$
という式でもとめられたとすると、(式 5 - 12) は y の 2 回微分なので

 $v' = a^2 e^{ax}$ となり、この時の a は $a = a^2$ なので $a = \pm \sqrt{a}$ となる i) a > 0 の場合 (式 5 - 12)の解は $v = Ae^{\sqrt{a}x} + Be^{-\sqrt{a}x}$ となり x = で 第1項は無限大になり、第2項は0になる。したがって x 方向に 増大したり減少したりする場合である。 ii) a < 0 の場合 $\mathbf{a} = \pm j\sqrt{-a} \qquad \cdot \cdot \cdot (\vec{\mathbf{x}} \ 5 \ - \ 13)$ $\sqrt{-a} = b$ とすると、波の式は $y = Ae^{jbx} + Be^{-jbx}$ • • • (\vec{x} 5 - 14) となる。 肩に虚数をもつ指数関数は、絶対値(大きさ)は1である。したがって(式 5 - 14)は x方向に増大も減少もしない。 (式5-11)同様、電流Iは $\frac{d^2 I}{d x^2} = Z \cdot Y \cdot I$ と表せる。(式 5 - 14)を電流Iで考えると、積分定数も同様にA、B としたときの電 流の式は $I = A e^{\sqrt{ZY}x} + B e^{-\sqrt{XY}x}$ とかける。この式は時間による変化を考えていない。(式 5 - 6)より時間による変化は $Ie^{jwt} = A e^{\sqrt{ZY}x+jwt} + B e^{-\sqrt{ZY}x+jwt}$ ここで \sqrt{ZY} を実数部と虚数部にわけ $\sqrt{ZY} = a + jb$ とおくと、 $Ie^{jwt} = Ae^{(a+jb)x+jwt} + Be^{-(a+jb)x+jwt}$ $= A e^{ax+j(bx+wt)} + B e^{-ax+j(-bx+wt)}$ ・・・(式5-15) と表せる。実数部 $e^{\pm ax}$ はx方向の増減を表していて、 > 0の時は e^{ax} は増大、 e^{-ax} は減 衰する。

虚数部 $e^{j(\pm bx+wt)}$ は大きさに関係なく時間による波の伝搬を表している。 $e^{j(bx+wt)}$ について、t = t₀の時の x + t₀となる状態から Δ t だけ時間が進んだ状態を考える。

$$b_{x} + w(t_{0} + \Delta t)$$

$$= b\left(x + \frac{w}{b}\Delta t\right) + w \cdot t_{0}$$
. . . (式 5 - 16)

より
$$\exp j\left\{b\left(x + \frac{w}{b}\Delta t\right) + w \cdot t_{0}\right\}$$

この式は Δ tが大きくなると、 $x \in \frac{w}{b} \Delta t$ だけ小さい場所で考えれば一定である。すなわち、xが小さくなるx方向に $\frac{w}{b} \Delta t$ だけ進んだ波である。

同様に e^{-bx+wt} の場合、- x + t₀の状態から Δt だけ時間が進んだ波を考えると - $bx+w(t_0+\Delta t)$

$$= -\boldsymbol{b} \left(x - \frac{\boldsymbol{w}}{\boldsymbol{b}} \Delta t \right) + \boldsymbol{w} \cdot \boldsymbol{t}_0$$

より

 $\exp j \left\{ -\boldsymbol{b} \left(\boldsymbol{x} - \frac{\boldsymbol{w}}{\boldsymbol{b}} \Delta t \right) + \boldsymbol{w} \cdot t_0 \right\}$

時間と場所が相反しているので t が大きくなれば、 x が増やして考えれば一定である。 よって、 x 方向に $\frac{w}{b}\Delta t$ だけ進んだ波である。

これらより、(式 5 - 15)はひとつの波で進む波と戻る波があることがわかる。

×方向に距離 d 分だけ進んだところの電流 I 2 は、以上より

$$I_2 = I(x = d) = Ae^{\sqrt{XYd}} + Be^{-\sqrt{XYd}}$$

となり、また特性インピーダンス Z o は
 $Z_0 = \sqrt{\frac{Z}{Y}} = \sqrt{\frac{R + jwL}{G + jwC}}$
と定義する。(式 5 - 10)より、x = d における電圧 V は
 $V_2 = -\frac{1}{Y}\frac{dI}{dx} = Z_0 \left\{ -Ae^{\sqrt{XYd}} + B^{-\sqrt{XYd}} \right\}$...(式 5 - 17)
となる。



一方、V₂は

$$V_{2} = I_{2} \cdot Z_{2} \quad \text{\downarrow 1)}$$
$$V_{2} = I_{2} \cdot Z_{2}$$
$$= Z_{2} \left\{ A e^{\sqrt{XY}d} + B e^{-\sqrt{XY}d} \right\}$$

となるので、

$$Z_{2}\left\{Ae^{\sqrt{XY}d} + Be^{-\sqrt{XY}d}\right\} = Z_{0}\left\{-Ae^{\sqrt{XY}d} + Be^{-\sqrt{XY}d}\right\}$$
$$Ae^{\sqrt{XY}d}\left\{Z_{2} + Z_{0}\right\} = Be^{-\sqrt{XY}d}\left\{Z_{0} - Z_{2}\right\}$$

電流の進む波と戻る波の比が反射係数になるので、電流反射係数は

 $\frac{Ae^{\sqrt{XYd}}}{Be^{-\sqrt{XYd}}} = \frac{Z_0 - Z_2}{Z_2 + Z_0}$

となる。この式から終端が特性インピーダンスZoと同じインピーダンスの場合は電流反射は起きないのがわかる。

また(式5-17)より電圧の進む波と戻る波の比は

 $\frac{-Ae^{\sqrt{XY}d}}{Be^{-\sqrt{XY}d}} = \frac{Z_2 - Z_0}{Z_2 + Z_0}$

となる。電流反射係数と電圧反射係数は - があるかないかだけである。

線の終端がオープン状態(Z₂=)であると、電流の波は進む波と戻る波は同じとで 方向はぎゃくなので、電流反射係数は - 1となる。一方電圧は進む時も戻る時も電圧は 変わらないので、電圧反射係数は1となる。終端がショート(Z₂=0)の場合は、電流 はそのまま帰ってくるため電流の反射係数は1、一方電圧の逆相で帰ってくるため反射 係数は - 1となる。

5-3 実数部と虚数部について

(式 5 - 11)にもどり、 $\sqrt{Z \cdot Y} = g$ とおく。この式は複素関数なので $g = \sqrt{Z \cdot Y} = \sqrt{(R + jwL)(G + jwC)} = a + jb$. . . (式 5 - 18) とおく。

(式 5 - 18)の両辺を二乗すると

$$a^2 + 2ab j - b^2 = RG + jw(LG + RC) - w^2 LC$$

となる。実数部、虚数部に分けて考えると
実数部: $a^2 - b^2 = RG - w^2 LC$
虚数部の式より(が 0 でない場合)
 $b = \frac{w(LG + RC)}{2a} \cdot \cdot \cdot (式 5 - 19)$
上の虚数部の式より(が 0 でない場合)
 $b = \frac{w(LG + RC)}{2a} \cdot \cdot \cdot (式 5 - 20)$
実数部の に代入すると
 $a^2 - \left\{ \frac{w(LG + RC)}{2a} \right\}^2 = RG - w^2 LC$
 $4a^4 - 4a^2 (RG - w^2 LC) - w^2 (LG + RC)^2 = 0$
 $a^2 = \frac{2(RG - w^2 LC) - w^2 (LG + RC)^2 = 0}{4}$
 c の式を整理すると は
 $a = \sqrt{\frac{1}{2} \left\{ \sqrt{(R^2 + w^2 L^2)(G^2 + w^2 C^2)} + (R \cdot G - w^2 L \cdot C) \right\}} \cdot \cdot \cdot (\vec{x} 5 - 21)$
となる。
同様に (式 5 - 20) から は
 $b = \frac{w(LG + RC)}{2a}$
 $= \frac{w(LG + RC)}{2} \frac{2[\sqrt{(R^2 + w^2 L^2)(G^2 + w^2 C^2)} + (R \cdot G - w^2 L \cdot C)]}{2[\sqrt{(R^2 + w^2 L^2)(G^2 + w^2 C^2)} + (R \cdot G - w^2 L \cdot C)]}}$
 $= \frac{w(LG + RC)}{2} \frac{2[\sqrt{(R^2 + w^2 L^2)(G^2 + w^2 C^2)} + (R \cdot G - w^2 L \cdot C)]}{2[\sqrt{(R^2 + w^2 L^2)(G^2 + w^2 C^2)} + (R \cdot G - w^2 L \cdot C)]}}$
 $= \frac{w(LG + RC)\sqrt{2[\sqrt{(R^2 + w^2 L^2)(G^2 + w^2 C^2)} + (R \cdot G - w^2 L \cdot C)]}}{2[\sqrt{(R^2 + w^2 L^2)(G^2 + w^2 C^2)} - (R \cdot G - w^2 L \cdot C)]}}$
 $= \frac{w(LG + RC)\sqrt{\sqrt{(R^2 + w^2 L^2)(G^2 + w^2 C^2)} - (R \cdot G - w^2 L \cdot C)}}{(R^2 + w^2 L^2)(G^2 + w^2 C^2) - (R \cdot G - w^2 L \cdot C)}}$
 $= \frac{1}{\sqrt{2}} w(LG + RC)\sqrt{\sqrt{(R^2 + w^2 L^2)(G^2 + w^2 C^2)} - (R \cdot G - w^2 L \cdot C)}}$
 $w(LG + RC)\sqrt{\sqrt{(R^2 + w^2 L^2)(G^2 + w^2 C^2)} - (R \cdot G - w^2 L \cdot C)}}$

(式 5 - 21)より実数部は波の×方向の増大、減衰をあらわすので、GとRが無ければ、 は0となる。

(式 5 - 16)より伝搬速度は / となる。 R = G = 0 の場合、 = 0 となり = j = j \sqrt{LC} となる。虚数を考えなければ、伝播速度 / は $\frac{W}{b} = \frac{W}{w\sqrt{LC}} = \frac{1}{\sqrt{LC}}$ となる。 回路素子のない真空での波の伝搬の場合は、maxwell の式から、伝搬速度(光の速度) は、 $C = \frac{1}{\sqrt{me_0}} = 2.99 \times 10^8 [m/s]$

5 - 4 MOS での反射の例

これまで反射係数や波の伝搬について述べてきたが、ここで極端な例としてMOS回 路でのの反射について考えてみようと思う。



図(5.5)で、電流側では MOS の電流容量が大きい、すなわち出力が大きくなるため、 近端でのインピーダンスZ₁は Z₁=0 となる。遠端でのインピーダンスZ₂は MOS の ゲートにつながっているのでハイインピーダンス、Z₂= となっている。出力が大きい ため配線でのインピーダンスZ₀は、近似的に無視できるものとすると、 近端での電圧の反射係数は

 $g_1 = \frac{Z_1 - Z_0}{Z_1 + Z_0}$ = -1 · · · (式 5 - 22) となる。 また遠端での電圧の反射係数は

 $g_{2} = \frac{Z_{2} - Z_{0}}{Z_{2} + Z_{0}}$ = 1 · · · (式 5 - 23)

となる。電流側から+1Vの階段波が出された場合について、遠端、近端での反射、その間での波の伝搬を示すと図(5.6)の様になる(R=G=0の場合)。



図(5.6)近端と遠端での電圧反射

極端な例ではあるが、図(5.6)から近端での電圧は通常的に一定の電圧があるのに 対して、遠端の MOS のゲートには通常の二倍の電圧が反射によって印加されているこ とがわかる。

5-5 遠端での改良

遠端の反射係数をr = 0.5 とした時の影響を考える。近端では反射係数 - 1 とする。 この時の図を図(5.7)に示す。



図 (5.7) 遠端の反射係数がr = 0.5 の場合の反射

この場合、遠端が正しく信号を受け取るためには1-r²が次の段のハイレベルの入力電 圧よりも高くなければならない。ハイレベル出力電圧の最小値を V_{OH min} 、ローレベル出 力電圧の最大値を V_{OL max}、ハイレベル入力電圧の最小値を V_{IH max} 、ローレベル入力電圧の 最大値を V_{IL max} としたとき

) LS-TTLの場合

 $V_{OH min} = 2.7$ $V_{IH min} = 2.0$

 $V_{OL max} = 0.5$ $V_{IL max} = 0.8$

なので、出力側が Voн min しか出力しなくても、入力側では Vн min で受け取とらなければならないので、ハイレベル入力の雑音余裕度は Voн min - Vн min = 0.7 となる。

この時図(5.7)からも分かるように、入力電圧が最小になるのは $1-r^2$ の時なので、 r^2 がどこまで余裕を見られるのかが問題となってくる。実際に計算してみると

$$r^{2} < \frac{V_{OH \min} - V_{IH \min}}{V_{OH \min}} = \frac{2.7 - 2.0}{2.7}$$

= $\frac{0.7}{2.7} = 0.259$

となる。この時のrはr = 0.51 となり(式 5 - 23)から、遠端での電圧反射係数は

$$0.51 \ge \frac{Z_2 - Z_0}{Z_2 + Z_0} = \boldsymbol{g}$$

 $Z_2 - Z_0 < 0.51Z_2 + 0.51Z_0$

 $0.49Z_2 < 1.57Z_0$

$$Z_2 < \frac{1.51}{0.49} Z_0 = 3.08 Z_0$$

となる。このことから Z_2 と Z_0 の関係は Z_2 < 3.08 Z_0 とならなければならない。よって次の段のインピーダンスをあまり大きく取れないことになる。

) CMOS の場合

CMOS での入出力特性を下に示す。ハイレベルとローレベルの入力は普通 2.5V 近傍 で分けるが、0.5V の余裕をみる。

 $V_{OH min} = 5.0$ $V_{IH min} = 3.0$ $V_{OL max} = 0$ $V_{IL max} = 2.0$

TTLの時同様、r²について計算してみる。

$$r^{2} < \frac{V_{OH \min} - V_{IH \min}}{V_{OH \min}} = \frac{5 - 3.0}{5}$$
$$= \frac{2}{5} = 0.4$$
$$\sqrt{0.4} = 0.6325 \ge \frac{Z_{2} - Z_{0}}{Z_{2} + Z_{0}} = g$$
$$\cdot \cdot \cdot (\vec{x} \ 5 \ - \ 24)$$
$$Z_{2} - Z_{0} < 0.633Z_{2} + 0.633Z_{0}$$
$$1.633Z_{2} < 0.367Z_{0}$$

$$Z_2 < \frac{1.633}{0.367} Z_0 = 4.45 Z_0$$

となる。このことより、Z2 は 4.45Z0 以内におさえておかなければならないことがわかる。 L S - T T L の場合に比べ、Z2 多少大きくとれる。

5-6 近端での改良

近端での反射係数をr(負)とした時の反射による遠端での電圧を考える。また遠端での反射係数は1とした時の伝搬を図(5.8)に示す。



図(5.8)近端の反射係数がrのときの反射

この場合、遠端が正しく信号を受け取るためには 2+2r が次の段のハイレベルの入力電 圧の許容内でなければならない。

) LS-TTLの場合 2+2rが1より小さい場合として、その差は 1-(2r+2)=-2r-1 となり、この時の反射係数rは $-1-2r < \frac{V_{OH \min} - V_{IH \min}}{V_{OH \min}} = \frac{2.7 - 2.0}{2.7}$ $= \frac{0.7}{2.7} = 0.259$ これを計算すると r > -0.6295 · · · (式 5 - 25) となる。

(式 5 - 22)から
-0.6295
$$< \frac{Z_1 - Z_0}{Z_1 + Z_0} = g$$

となり、 $Z_0 \ge Z_1$ の関係式は
 $Z_1 - Z_0 > -0.6295Z_1 - 0.6295Z_0$
1.6295 $Z_2 > 0.3715Z_0$
 $Z_2 > \frac{0.3715}{1.6295}Z_0 = 0.228Z_0$
となる。よって近端のインピーダンスをあまり小さくできない。

) CMOS の場合

TTLの場合と同様に
-2
$$r-1 < \frac{V_{OH \min} - V_{IH \min}}{V_{OH \min}} = \frac{5-3}{5}$$

 $2r > -\frac{7}{5}$
 $r > -0.7$ · · · (式 5 - 26)

となる。(式 5 - 23)より反射係数 r は

$$g = \frac{Z_1 - Z_0}{Z_1 + Z_0} > -0.7$$

$$Z_1 - Z_0 > -0.7Z_2 - 0.7Z_0$$

$$1.7Z_1 > 0.3Z_0$$

$$Z_1 > \frac{0.3}{1.7} Z_0 = 0.176 Z_0$$

となる。よって CMOS の方が近端のインピーダンスをより小さくできる。

5-7 近端と遠端での改良



近端と遠端に反射係数 r1 と r2 がある時の反射による伝搬を図(5.9)に示す。

図(5.9) 遠端と近端に反射係数 r1 と r2 がある時の伝搬

CMOS の場合

TTLと同様に反射係数の関係式を求めると $1-(1+r_2+r_1r_2+r_1r_2^2)$ $=-r_2-r_1r_2-r_1r_2^2 < \frac{V_{OH \min}-V_{IH \min}}{V_{OH \min}} = \frac{5.0-3.0}{5.0} = 0.4$ といった関係式で表せる。ここでもTTL同様、遠端での反射係数を代入して考えてみ る。 $r_2 = 0.6325(Z_2 = 4.45Z_0$ の場合) -*r*₂-*r*₁*r*₂-*r*₁*r*₂² < 0.4 より 0.6325(1+*r*₁+0.6325*r*₁) < 0.4 となりこれを計算すると *r*₁ < -0.225 となり(式 5 - 26)より緩い条件であることがわかる。

次に $r_1 = -0.7$ 、 $r_2 = 0.6325$ と両方とも実際の許容範囲内の値を入れたときを考える。 - $r_2 - r_1r_2 - r_1r_2^2$ より $0.6325\{1-0.7+0.6325(-0.7)\}$

となりこれを計算すると

-0.0903

となる。この値は出力信号と反射による波の一番差が大きいところの値なので、信号の 反射はほとんど起こらない状態とみれる。 6 CMOS 標準ロジック IC を用いたカウンタの製作

6-1 目的

設計技術と測定技術の基礎的なところを学び、実際にICにさわって回路を組むという作業から様々な問題点を見つけ、今後の課題にしていこうと考えた。

6-2 仕様

製作した回路はボタンを押す度に、セグメント表示器が1から9までカウントアップ していくという単純な回路である。

セブンセグメントカウンタには状態遷移をするカウンタ部と、それをセグメントに表示させるためのデコーダが必要である。初めはすべてNANDゲートだけを用いて設計、 製作しようと考えていたが、ゲート数がとてもおおくなるので見送り、適宜必要なゲートを用いることにした。

6-3 設計

カウンタ部

セグメントに0~9まで表示させるため、BCDコードを用いて10の状態をつくる 必要がある(図(6.2)参照)。そのため4ビット使うことになる。よってDフリップフ ロップを4つと状態を遷移するための素子数個を使う。状態遷移はフリップフロップに 入力(クロック)が入ってきた時に行う。クロックはs1のスイッチを押したとき、あ らかじめセットしてある電源から、チャタリング防止のためのシュミットインバータを 通してフリップフロップに入力される。

	フリッス	フリップフロップへの出力) 次の出力の状態			
	А	В	С	D	Da	Db	Dc	Dd	
0	0	0	0	0	0	0	0	1	
1	0	0	0	1	0	0	1	0	
2	0	0	1	0	0	0	1	1	
3	0	0	1	1	0	1	0	0	
4	0	1	0	0	0	1	0	1	
5	0	1	0	1	0	1	1	0	
6	0	1	1	0	0	1	1	1	
7	0	1	1	1	1	0	0	0	
8	1	0	0	0	1	0	0	1	
9	1	0	0	1	0	0	0	0	

表 6.1 状態遷移表

	AB				
CD	$\overline{\ }$	00	01	1 1	10
0 0	C			×	1
0 '	1			×	
1 '	1		1	×	×
1 (C			×	×
Da	= A	• D +	B۰C	۰D	

	AB							
	CD 🔪	00	01	1 1	10			
	0 0		1	×				
	0 1		1	×				
	1 1	1		×	×			
	10		1	×	×			
D	$Db = B \cdot \overline{C} + B \cdot \overline{D} + \overline{B} \cdot C \cdot D$							
	= B ⊕	C۰D						

AB					AB				
CD	00	01	11	10	CD	00	01	11	-
0 0			×		0 0	1	1	×	
01	1	1	×		01			×	
11			×	×	1 1			×	
10	1	1	×	×	10	1	1	×	
Dc = C	• D +	A۰C	۰D		Dd	= D			

図(6.1) 状態遷移を決める入力のカルノー図

カルノー図によって簡単化した信号(図(6.1)参照)によって、カウンタへの入力が 決定される。またクロックとのタイミングを図(6.3)に示す。



図(6.2) カウンタ部の回路図





デコード部

カウンタ部から出力された4つの信号を、セグメント表示器に表示させるために7つ の信号にデコードするためのモジュールがデコーダである。これらはひとつひとつ独立 しており、他の信号とは無関係である。

表 6.1 の回路を組むために必要な論理式は表 6.1 からカルノー図を使って簡単化して もとめることができる。またデコーダの論理回路図を図(6.5)に示す。

AB						
CD	00	01	11	10		
00	1		×	1		
01		1	×	1		
11	1	1	×	×		
10	1	1	×	×		
$a = C + B \cdot D + A + \overline{B} \cdot \overline{D}$						
= A +	C + ((B ⊕	D)			

<							
∕ AB							
CD	00	01	11	10			
00	1	1	×	1			
01	1		×	1			
11	1	1	×	×			
10	1		×	×			
$b = B + C \cdot D + C \cdot D$							
=	B + ($C\oplusD$))				

AB				
CD	00	01	1 1	10
00	1	1	×	1
01	1	1	×	1
1 1	1	1	×	×
10		1	×	×
c = (+ B	+ D		

	AB				
	CD	00	01	11	10
	00	1	0	×	1
	01	0	0	×	0
	11	0	0	×	×
	10	1	1	×	×
e	= <u>B</u> • D	+ C•	D		
	= D (B	+ C)			

	AB					
	CD	00	01	11	10	
	00	1		×	1	
	01		1	×	1	
	1 1	1		×	×	
	10	1	1	×	×	
d	= <u>B</u> • D +	В·С	+ C•	D +	A + B	• <u>C</u> • D
	= <u>B</u> (C +	D)+	C·D	+ A	+ B•	<u>C</u> ∙ D

AB								
CD	00	01	1 1	10				
00	1	1	×	1				
01	0	1	×	1				
11	0	1	×	×				
1 0	0	1	×	×				
f = A	$f = A + B + C \cdot D$							

	AB							
	CD	00	01	1 1	10			
	00	0	1	×	1			
	01	0	1	×	1			
	1 1	1	0	×	×			
	10	1	1	×	×			
g	$g = C \cdot \overline{D} + \overline{B}C + B \cdot \overline{C} + A$							
	= C • D	+ A +	(B ⊕) C				

図 (6.4) セグメントに出力するためのカルノー図



図(6.5)デコード部の回路図

6-4 製作

製作には入出力レベルの安定した CMOS 標準ロジックICを用いた。表 6.2 に使用 したICを示す(パッケージは全て DIP)。

機能	製品名	個数
2-input NAND	TC74AC00P	1
2-input NOR	TC74AC02P	1
inverter	TC74AC04P	2
2-input AND	TC74AC08P	2
3-input NAND	TC74AC10P	1
3-input AND	TC74AC11P	2
schmitt inverter	TC74AC14P	1
4-input NAND	TC74AC20P	1
2-input NOR	TC74AC32P	2
D-type Flipflop whit preset clear	TC74AC74P	2
Exclusive-OR	TC74AC86P	1

表 6.2 製作に使用した IC の一覧



図(6.6) 製作した回路の全体図

動作確認

・予定通りではなかったが一応シミュレーション通りの波形、及び動作をした。

・はんだ付けが未熟だったため、よく断線する。

考察

非常に簡単な回路ではあるがゲートレベルで製作したせいか配線や使用したICの数 がとても増えた。そのため製作時に間違った配線をしたり、シミュレーションと違った 波形がでできたりした。このようなことがないように実際に製作する時は最適な IC を選 ぶ必要がある。

回路を設計から製作まで一貫してやったので、組み合わせ回路、状態の遷移、CMOS IC の動作レベルなどおおまかなところの知識は得ることができた。

7 まとめ

CMOS 集積回路の基礎技術を取得するために、MOS構造の基本特性や最近の課題と なる配線の反射の問題を調査し解析した。信号の反射の問題は、高速化が進むLSIで は考えざるを得ない。今後、反射をどのように防ぐかが問題となってくる。

さらに、CMOS標準ロジックを用いて簡単なディジタル回路を制作し評価した。これらのCMOS要素技術の調査を踏まえ、さらに次の取り組みとしてより大きな集積回路に挑戦していきたい。

8 謝辞

私は研究室に配属されるまで、単位をとるためだけにしか勉強しませんでした。しか しこの一年は今までやってきたことが何にいかされ、どのような場合に必要なのか、と いう生きた知識を得ることができました。この一年が私にとって、集積回路元年となる 年になることでしょう。こういった一年をおくれたのは、一重に先生方や研究室の仲間 のお陰です。不出来な私を学科長という重責に身を置かれながら、最後まで親切にご指 導してくださった原 央教授には一生頭が上がりません。そして矢野 政顕教授、橘 昌 良助教授には他研究室にもかかわらず、ゼミで大変お世話になりました。心より御礼申 し上げます。院生の坂下 雄一君には学問以外の知識をたくさんいただき、これからの 人生の糧にしていきたいと思っています。同じ研究室の学部生、木村 知史君、白木 正 章君、小松 勇貴君、藤川 宏隆君、岡田 吉央君には公私ともども大変お世話になり、生 涯心の友と一方的にしたいと思います。最後にこの分野の礎を築いてきた偉大なる先人 たちに感謝と敬意を表したいと思います。

> 2001年2月9日 新妻 研作

9 参考文献

原 央、他 著、" MOS 集積回路の基礎"、近代科学社 (1992)

CQ出版、"日経マイクロデバイス、2000年8月号、9月号、10月号"

S・M・ジィー著、"半導体デバイス"、産業図書 (1987)

清水 潤治 著、"半導体工学の基礎"、コロナ社 (1986)

中村 次男 著、"ディジタル回路設計法"、日本理工出版会 (1990)