

平成 1 2 年度

学士学位論文

高速パケットデフラグメントの処理装置構成 成法の研究

Research of processor composition method of
high-speed packet defragment

1010368 稲葉昭好

指導教員 島村和典

2001 年 2 月 5 日

高知工科大学 情報システム工学科

要 旨

高速パケットデフラグメントの処理装置構成法の研究

稲葉昭好

本稿では、高速パケットデフラグメントの処理装置構成法についての説明をする。本研究の背景・目的は以下の通りである。なお、「デフラグメント」と「アセンブリ」は同じ意味である。

近年、ネットワーク技術の急速な発展により、コンピュータによって処理されるパケットの量が増加している。その需要に応えるように、現在では、ネットワークの大規模化や高速化が行われている。しかし、MTU の小さいネットワークから MTU の大きい基幹ネットワークへパケットが転送されるとき、基幹ネットワーク内においても、MTU の小さいネットワークで流れていたパケットが、そのまま転送されたりする。よって、パケットの処理に多くの時間がかかるので、この問題を解決する必要がある。そこで、MTU の小さいネットワークから、MTU の大きい基幹ネットワーク内にパケットが転送されたとき、MTU の大きい基幹ネットワークにあったパケットに再構成する必要がある。このような処理装置を実現することを目的とする。

キーワード Ethernet、ATM、パケットアセンブリ、MTU、デバイス

Abstract

Research of processor composition method of high-speed packet defragment

Akiyoshi INABA

In this paper, explanation about high-speed packet assembly is given. The background and the purpose of this research are as follows. In addition, "defragment" and an "assembly" are the same meanings.

In recent years, the quantity of packet processing by the computer is increasing by rapid development of network technology. Large-scaling and improvement in the speed of a network are performed now so that it may respond to the demand. However, when a packet is transmitted to the large basic network of MTU from the small network of MTU, the packet which was flowing in the small network of MTU is transmitted as it is in a basic network. Therefore, since processing of a packet takes much time, it is necessary to solve this problem. Then, when a packet is transmitted in the large basic network of MTU, it is necessary to reconstitute in the packet which was in the large basic network of MTU from a small network of MTU. This paper aims at realizing such processing equipment.

key words Ethernet , ATM , packet assembly , MTU , device

目次

| | | |
|-------|--------------------------|----|
| 第 1 章 | 研究の目的 | 1 |
| 第 2 章 | 研究の背景 | 2 |
| 2.1 | 本研究の技術的背景 | 2 |
| 2.2 | 本研究に関連する既存の技術 | 3 |
| 2.3 | 本研究に関連する他の研究の概要 | 4 |
| 第 3 章 | 処理装置構成の検討 | 5 |
| 3.1 | 高速パケットアセンブリ方式 | 5 |
| 3.1.1 | パケット | 5 |
| 3.1.2 | アセンブリ | 5 |
| 3.1.3 | 高速パケットアセンブリ方式 | 6 |
| 3.2 | アセンブリ処理装置構成の検討 | 6 |
| 3.2.1 | 実験系の構想 | 6 |
| 3.2.2 | 製作すべき構成 | 6 |
| 第 4 章 | 実験と結果 | 9 |
| 4.1 | 前書き (実験の目的) | 9 |
| 4.2 | 実験方法 | 9 |
| 4.3 | 実験の結果 | 10 |
| 4.4 | 実験の結果に対する考察 | 10 |
| 第 5 章 | まとめ | 11 |
| 5.1 | 何をやろうとして, 実際にはどこまで出来たのか? | 11 |
| 5.2 | 論文全体に対する考察 | 11 |

| | | |
|------|-------------------|----|
| 5.3 | 今後の課題 | 12 |
| | 謝辞 | 13 |
| | 参考文献 | 14 |
| 付録 A | MAX+PLUS の簡単な使用方法 | 15 |

図目次

| | |
|------------------------|---|
| 3.1 製作すべき構成図 | 7 |
|------------------------|---|

表目次

| | |
|------------------------------------|---|
| 1.1 Ethernet と ATM の MTU | 1 |
|------------------------------------|---|

第 1 章

研究の目的

この章では、本研究の目的について述べる。なお、「デフラグメント」と「アセンブリ」は同じ意味である。これより以降の文章では、「デフラグメント」を「アセンブリ」として述べる。

Ethernet^{*1}から ATM^{*2}へパケットを転送するとき、ATM の方が MTU^{*3}は大きいので、Ethernet で流れていたパケットをいくつか合成して、ATM の MTU の大きさに合わせたパケットを流す。よって、ATM や Ethernet に対応したアセンブリをするデバイスを実現させ、ネットワークの効率を良くさせることを目的とする。

なお、Ethernet と ATM の MTU (最大転送単位) は、以下の通りである。

表 1.1 Ethernet と ATM の MTU

| MTU : 最大転送単位 | |
|--------------|-----------|
| 各種ネットワーク | MTU (バイト) |
| Ethernet | 1500 |
| ATM | 9180 |

*1 Ethernet : Xerox 社と DEC 社が考案した LAN 規格である。IEEE 802.3 委員会によって標準化された。

*2 ATM (Asynchronous Transfer Mode) : 「非同期転送モード」の略である。53 バイトの固定長データ列 (ATM セル) を単位としてデータ転送を行い、帯域の制御などの柔軟なネットワークの利用を可能にしている。

*3 MTU : Maximum Transmission Unit の略で、最大転送単位という意味である。

第 2 章

研究の背景

この章では, 以下の内容について述べる.

本研究の技術的背景

本研究に関連する既存の技術

本研究に関連する他の研究の概要

2.1 本研究の技術的背景

近年, インターネットなどに代表されるネットワーク技術の急速な発達により, コンピュータによって処理されるパケット量が増加している. その需要に応えるように, 現在では, ネットワークの大規模化や高速化が行われている.

しかし, MTU の小さいネットワークから, MTU の大きい基幹ネットワークへパケットが転送される時, MTU の大きい基幹ネットワーク内においても, MTU の小さいネットワークで流れていたパケットが, そのまま転送されたりする. よって, パケットの処理に多くの時間がかかるという問題があるので, この問題を解決する必要がある.

そこで, MTU の小さいネットワークから, 大きい基幹ネットワーク内にパケットが転送されたとき, MTU の大きい基幹ネットワークの大きさにあったパケットに再構成する必要がある. このようなパケットのアセンブリ処理を実現させれば, 問題を解決できるのではないか. そのための処理装置を実現することを目的とする.

なお, 本研究において, MTU の小さいネットワークは Ethernet, MTU の大きい基幹ネットワークは ATM とする.

2.2 本研究に関連する既存の技術

- FPGA*¹ : ユーザが手元で自由にプログラミングすることができる LSI*² である。必要と思う機能をもつ LSI を手元で作ることが可能である。また, FPGA は, ASIC 用のデバイスや, 論理エミュレータ*³ に使われている。

FPGA の内部は以下のようになっている。

- 組み合わせ回路 : AND や OR などから成り立っている。
- 論理ブロック : フリップフロップ*⁴ を実現できる。
- 配線領域 : 組み合わせ回路と, 論理ブロックを接続するための物。

なお、FPGA の利点・欠点は以下の通りである。

- 利点
 1. プログラミングが可能で, 柔軟性がある。
 2. PLD*⁵ と比較すると, CPU*⁶ 等の複雑な回路を実現するのに向いている。
- 欠点
 1. 利用されないゲートがたくさん出てくる。
 2. 回路を実現するのが遅い。
 3. 回路を実現するための価格が高い。

*¹ Field Programmable Gate Array の略

*² IC (トランジスタ, 抵抗, コンデンサ, ダイオードなどの素子を集めて基盤の上に装着し, 各種の機能を持たせた電子回路) の中で, 素子の集積度が 1 0 0 0 個から 1 0 0 0 0 個のものである。

*³ FPGA 上に設計した論理回路を実現する機械

*⁴ 「high」と「low」の二つの安定状態を持つ電子回路。二つの状態を「0」と「1」に対応させることで、1ビットの情報を保持できる。

*⁵ Programmable Logic Array の略で、一度書き込むと回路の変更ができない。

*⁶ コンピュータの中で、各装置の制御やデータの計算・加工を行う中枢部分である。メモリに記憶されたプログラムを実行するための装置で、入力装置や記憶装置からデータを受け取り、演算・加工した上で、出力装置や記憶装置に出力する。

- MAX+PLUS : Altera 社の FPGA 開発のためのツールである. この MAX+PLUS だけで, 回路の設計・検証・デバイスへのプログラミングまで行うことが可能であり, PC または UNIX の環境で動作する. 本研究をするにあたっては, このツールを使用した.

なお, この MAX+PLUS の簡単な使用方法については, 付録 A に述べてある.

2.3 本研究に関連する他の研究の概要

- パケットアセンブリ関連
 - パケットアセンブリによる中継ルータ CPU の負荷軽減に関する一検討:
パケットアセンブリをすることによって, MTU の大きさにあわせてパケットを転送することによってパケット数の減少を図り, また, 中継ルータのヘッダ処理にかかる CPU の負荷率についての報告をするという研究である.
 - 高効率パケット多重化転送ネットワークの検討:
スループット向上のために, パケット出力のときに, ルーティング方向が同じパケットを多重化し, 転送する方式を検討するという研究である.

第3章

処理装置構成の検討

この章では、以下の2点について述べる。

高速パケットアセンブリ方式

アセンブリ処理装置構成の検討

3.1 高速パケットアセンブリ方式

3.1.1 パケット

コンピュータ間の通信において、送信先のアドレスなどの制御情報を付加されたデータの小さなまとまりのことである。データを複数のパケットに分割して送受信することにより、ある2地点間の通信に途中の回線が占領されることがなくなり、通信回線を効率よく利用することができる。また、一部の通信回線に障害が出て、他の回線を利用することが可能である。さらに、データが破損した場合、パケット単位で修復し、再送信すれば良い。

3.1.2 アセンブリ

いくつかのパケットを1つに構成し、データリンクごとのMTUに近づけて転送を行うことである。いくつかのパケットを1つにするため、ヘッダが1つになる。また、一度に投げるパケットのサイズが大きくなるので、スループット^{*1}も向上する。

なお、現状では、パケットのアセンブリをするには、かなりの時間がかかると考えられ、遅

*1 1秒間にどの程度のパケット処理能力があるかを表す。

延が大きくなるという問題がある。

3.1.3 高速パケットアセンブリ方式

MTU の小さいネットワーク（本研究では Ethernet）から、MTU の大きいネットワーク（本研究では ATM）へパケットを転送するとき、MTU の大きくなるルータで行き先が同じパケットを短時間で 1 つにまとめて転送する方式である。

3.2 アセンブリ処理装置構成の検討

3.2.1 実験系の構想

PC 2 台を準備し、PC はそれぞれ別の Ethernet に収容し、Ethernet 間を ATM ネットワークで接続する。そして、左側から順番に、

PC

Ethernet

ATM

Ethernet

PC

と並べる。

上記で述べたように実験網を構成し、Ethernet と ATM ネットワークとの接続点に作成装置を配置する。

3.2.2 製作すべき構成

私が製作した機能構成は、図 3.1 である。

図において、図の中の機能は 3 ブロックある。その 3 つの機能は以下の通りである。

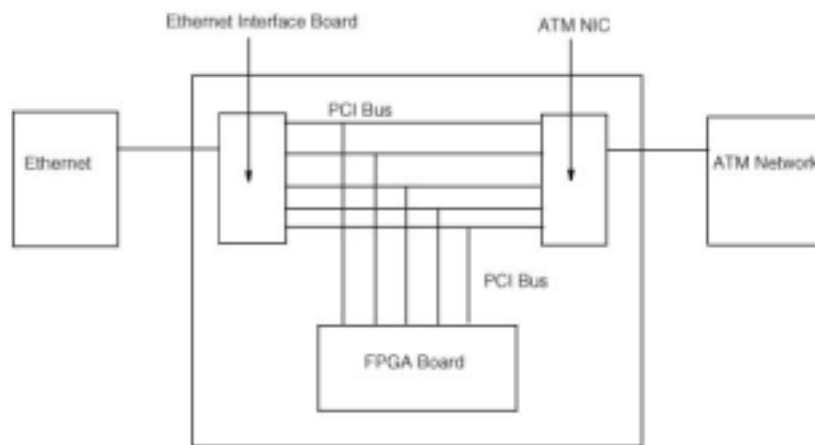


図 3.1 製作すべき構成図

1. ATM-NIC :

本装置と ATM インタフェースの送受信をする機能である。

2. Ethernet インタフェースボード :

イーサネットと本装置のインタフェース機能を果たす部分である。

3. FPGA ボード :

このボードは、自分が製作すべき構成図の中で最も重要な部分になる。Ethernet から ATM へパケットが転送される時、Ethernet で流れていたパケットをいくつか再構成（パケット複数個を 1 つに合成）して、ATM の MTU に合わせたパケットを流す。また、ATM ネットワーク内で流れていたパケットが Ethernet 内へ転送される時、ATM の MTU に合わせていたパケットを、Ethernet の MTU に合わせたパケットに再構成（1 つのパケットを複数個に分割）して Ethernet 内で流す。

以上のようなことが可能となるような FPGA ボードである。

なお、図の中で出てくる PCI バスは、以下の意味である。

Peripheral Components Interconnect bus の略で、パソコン内部の各パーツ間を結ぶバス（データ転送路）の規格である。長期間に渡って業界標準だった ISA バス^{*2} に替わる次世代

^{*2} Intel 社の新しいプロセッサアーキテクチャで使われる命令セットのことである。

の標準規格として期待され、普及が進んでいる。

- 最初の PCI 規格：

バス幅（1回の転送で送れるデータ量）は32ビットで、動作周波数（1秒あたりの転送回数）は33 MHzである。また、最大データ転送速度は132 MB/sである。

- 最新の規格：

バス幅は64ビットで、動作周波数は66 MHzである。また、最大データ転送速度は533 MB/sである。

第 4 章

実験と結果

この章では、本研究での実験について、以下の 4 点について述べる。

実験の目的

実験方法

実験の結果

実験の結果に対する考察

4.1 前書き（実験の目的）

本実験の目的は、高速パケットアセンブリが可能な処理装置を実現させるためである。実現させるために、次の項目である「実験方法」で、その実験方法を述べるとする。

4.2 実験方法

1. Ethernet で流れるパケットの量を初めは少なくし、徐々にその量を増やしていく。
2. どのくらいの量で ATM のネットワーク内に転送されたときにパケットの流れが悪くなるかを調査する。
3. Ethernet から ATM へパケットが転送される時、何個のパケットを ATM にあったパケットに再構成する必要があるかを調査する。

4.3 実験の結果

前の項目において、3つの実験を行うことによって処理装置を作成することを目的としたが、装置を実際に作成する段階には達成できなかったため、予測される結果を次の「実験の結果に対する考察」の所で述べる。

4.4 実験の結果に対する考察

Ethernet の MTU にあったパケットを、Ethernet と ATM の MTU から計算すると、6個まとめて ATM のパケットとして再構成すれば、パケットの流れが良くなると考えられる。

第5章

まとめ

この章では、本研究のまとめとして、以下の3点について述べる。

何をやろうとして、実際にはどこまで出来たのか？

論文全体に対する考察

今後の課題

5.1 何をやろうとして、実際にはどこまで出来たのか？

本研究の本来の目的は、高速パケットアセンブリが可能な処理装置を実現することであった。しかし、思うように作業が進まず、処理装置を実現させることはできなかった。よって、このようになるだろうという結果論のみ述べることになってしまった。

5.2 論文全体に対する考察

本論文は、「高速パケットアセンブリの処理装置構成法に関する研究」というテーマで、第4章第2項で述べたような実験を行うことによってアセンブリ装置を完成させることが目的だったが、実際にはできなかった。論文全体として、「アセンブリ方式はどのようなことか」の様な語句の説明や、実験ができなかったので、その予測結果を書いた。実験ができて処理装置が完成していれば、予測結果と実際の結果との比較が書くことができたのだが、実際は書くことができなかったのが残念だった。

5.3 今後の課題

ネットワークのシミュレーションや、処理装置を実現させるツールを使用することによって装置を作成し、その作った装置がうまく動作するかを検証することである。

謝辞

本研究を行うに際し、貴重な御助言や多大なる御指導を頂いた本学工学部情報システム工学科の島村和典教授、ならびに通信・放送機構ギガビットネットワーク研究開発プロジェクト高知通信トラフィックリサーチセンターの神田敏克研究員に深く感謝いたします。

また、本学工学部情報システム工学科情報通信ネットワーク研究室の学部生の浦西慶規君、小林寛征君に感謝いたします。

参考文献

- [1] 奥村晴彦,「改訂版 L^AT_EX2_ε 美文書作成入門」, 技術評論社, 2000
- [2] 竹下隆文・村山公保・荒井透・苅田幸雄,「マスタリング TCP/IP 入門編第2版」, オーム社, 1999
- [3] 山岸誠仁・蒲田良治,「PCI デバイス設計入門」,CQ 出版社, 2000
- [4] 平成12年度電気関係学会四国支部連合大会実行委員会事務局, 電気関係学会四国支部連合大会講演論文集, 電気関係学会四国支部連合大会, 2000
- [5] 堀内晋也・浅谷耕一,「高効率パケット多重化転送ネットワークの検討」, 信学技報, CQ 2000 - 38
- [6] W.Richard Stevens 著, 井上尚司 監訳, 橘康雄 翻訳,「詳解 TCP/IP」, ソフトバンク株式会社, 1997
- [7] <http://www.hirata.nuee.nagoya-u.ac.jp/>, 2001年2月5日(月曜日)に確認

付録 A

MAX+PLUS の簡単な使用方法

1. MAX+PLUS を立ち上げる.
2. 回路図を作成する.
3. コンパイルを実行して, エラーが出なければ, 回路図は完成している.
4. 機能チェック・タイミングチェック: 設計した回路が, 目的の機能を果たしているかを確認する.
5. デバイスプログラミングチェック: ダウンロードケーブルをセットした後, プログラマーを起動させ, 基板上にダウンロードする.