

平成 12 年度  
学士学位論文

自己タイミング型パイプライン機構における  
データ転送制御回路に関する研究

A Study on Data-Transfer Control Circuits for  
Self-Timed Pipelined Processing Mechanism.

1010442 別役 宣奉

指導教員 岩田 誠

2001 年 2 月 5 日

高知工科大学 情報システム工学科

# 要 旨

## 自己タイミング型パイプライン機構におけるデータ転送制御回路に関する研究

別役 宣奉

半導体集積化技術の発展の恩恵を受けて、これまで、集積化プロセッサの性能は著しく向上してきた。しかしながら、近い将来、極限集積化時代に突入すれば、現状のノイマン型処理方式では、クロック同期信号の配線が原因となり、高速化、集積化、省電力化の障害となることは明らかである。この問題を根本的に解決する手段が自己タイミング型パイプライン機構である。この方法は、配線を局所化でき、処理に本質的に必要な回路モジュールのみでしか電力を消費しないため省電力化が可能になると同時に、スループットの飛躍的向上も可能になるという優れた特徴を有している。

本論文は、この自己タイミング型パイプライン機構の最も基礎となるデータ転送制御回路の最適な適用法について検討を加えたものである。現行のデータ転送制御回路を複合化集積システムを構築する観点から再検討し、パイプライン内のデータ流量の変動が少ない機能モジュールに適用可能な2つの高速回路構成を提案した。さらに、これらの回路と現行の回路をスループット性能およびパイプライン効率について比較し、各回路構成の得失に応じた適用法を示し、自己タイミング型パイプライン機構を用途に応じてより最適な回路で構成可能になることを示した。

キーワード 自己タイミング型パイプライン機構、データ転送制御回路、パイプライン効率、スループット、複合化集積システム



## Abstract

### A Study on Data-Transfer Control Circuits for Self-Timed Pipelined Processing Mechanism.

Yoshitomo BECHAKU

As growing rapid advancement of semiconductor integration technology, the performance of the microprocessors has significantly improved. However, when a ultimate integration era will come in the near future, the conventional Von Neumann type architecture will be obstacle in terms of both performance improvement and lower power consumption due to its centralized control scheme and global clock synchronization mode. A self-timed pipelined processing mechanism is one of most promising schemes to solve this problem at system architecture level. Since the self-timed scheme can extremely distribute signal lines according with its hand-shake control manner.

In order to develop more excellent self-timed pipeline mechanism applicable for future complex systems integrated on a single chip, this paper studies on behavioral features of several data transmission control circuits. In the paper, two high-speed simple circuits are proposed and then analyzed in terms of performance, stability, and hardware cost, in comparison with the currently employed circuit in our data-driven processors. Consequently, the result shows that each circuits is respectively applicable to its suitable functional module depending on its behavioral requirements, e.g., the proposed one is suitable to interface module receiving data stream at constant dataflow rate.

**key words** self-timed pipeline, data-transfer control circuit, system on a chip(SOC)



# 目次

第 1 章	序論	1
第 2 章	自己タイミング型パイプライン機構	4
2.1	緒言	4
2.2	自己タイミング型パイプライン機構の構成	4
2.3	自己タイミング型パイプライン機構の特質	6
2.4	結言	7
第 3 章	データ転送制御回路	8
3.1	緒言	8
3.2	データ転送制御回路の機能的考察	8
3.2.1	データ転送制御の基本理念	8
3.2.2	Muller C 素子	9
3.2.3	実用化における Muller C 素子の問題点	12
3.2.4	実用化レベルのデータ転送制御回路の 1 例	13
3.2.5	DDMP 用データ転送制御回路	16
3.3	各データ転送制御回路の比較	18
3.4	結言	20
第 4 章	高速化データ転送回路とその適応領域	21
4.1	緒言	21
4.2	提案回路	22
4.3	結言	24
第 5 章	適応領域の検証と性能評価	25

## 目次

5.1	緒言 . . . . .	25
5.2	提案回路の適応領域 . . . . .	25
5.2.1	Type1 における適応領域 . . . . .	25
5.2.2	Type2 における適応領域 . . . . .	27
5.2.3	結果の考察 . . . . .	27
5.3	性能評価 . . . . .	28
5.4	結言 . . . . .	28
第 6 章	結論	29
	謝辞	32
	参考文献	33

# 図目次

2.1	自己タイミング型パイプライン機構の構成図 . . . . .	5
2.2	自己タイミング型パイプライン機構の動作図 . . . . .	5
3.1	Muller C 素子 . . . . .	10
3.2	実用レベルデータ転送制御回路の 1 例 . . . . .	14
3.3	実用レベルデータ転送制御回路の入出力状態遷移図 . . . . .	15
3.4	DDMP 用データ転送制御回路 . . . . .	17
3.5	DDMP 用データ転送制御回路の入出力状態遷移図 . . . . .	18
4.1	データ転送制御回路 (Type1) . . . . .	22
4.2	データ転送制御回路 (Type2) . . . . .	23
4.3	データ転送制御回路 (Type2) の入出力状態遷移図 . . . . .	24

# 表目次

2.1	ノイマン型プロセッサと DDMP の比較 . . . . .	6
3.1	データ転送制御回路における基本論理の 1 例 . . . . .	9
3.2	Muller C 素子のデータ転送状態表 . . . . .	11
3.3	3 種類のデータ転送制御回路の比較 . . . . .	19
5.1	性能比較表 . . . . .	28

# 第 1 章

## 序論

近年、半導体技術の発達によって集積化プロセッサの性能は著しく向上している。しかし、極限集積化時代に突入すればノイマン型処理方式の根本的原理である集中制御による逐次処理そのものが高性能化の阻害要因になることが指摘されている。その理由としては

- ノイマン型処理方式ではシステム全体を制御するためのクロック信号をバス配線によって配信している。そのためシステム全体にわたるクロックスキュー（歪み）をクロック周期に対して完全に押え込む必要がある。そのためには十分に長いクロック周期を用いる。高電圧を用いる。などの要件が必要となってくる。の問題ではクロック信号の高速化が阻害されの問題では省電力化が阻害される。
- 素子の比例縮小によってトランジスタの動作速度は向上するが配線遅延時間は向上しない。そのためバスを介したデータ通信速度は相対的に遅くなる。さらにチップサイズが増大する傾向にあるためバス配線長が長くなり、さらにデータ通信速度が遅くなる。
- ノイマン型のアーキテクチャにおいても機能モジュールの並列化やパイプライン化による処理スループット向上がはかられているが、集中制御による逐次処理を前提としたオブジェクトコードの場合、複数の機能モジュールや深いパイプライン段を活性化するだけの並列度が得られず、性能向上に限界が生じる。

ここに挙げた問題点はすべてノイマン型処理方式の根源的な部分から派生しており従来のシステム実現手段のまま解決することは非常に困難である。

そこで、これらの問題点を原理的に解決可能な理想的なシステム実現手段として自己タイミング型パイプライン機構が提案されている。[1][3]。2章で詳しく述べるが、この方式では

配線を局所化することができる。それによってクロックスキューやデータ転送速度に関する問題点を解消する。さらに、この方式では処理に本質的に必要な機能モジュールのみを駆動させるため、ノイマン型処理方式と比して格段に省電力化をはかる事ができる。自己タイミング型パイプライン機構に対して制御駆動を用いたプロセッサ設計も提案されているが [5]、自己タイミング型パイプライン機構と非常に親和性の高い処理方式であるデータ駆動方式（処理に必要なデータが機能モジュールに揃う事によって駆動する方式）を用いれば、この方式を前提としたオブジェクトコードを与える事によって複数の機能モジュールや深いパイプライン段に対して十分な並列度を得られる。これにより、飛躍的なスループットの向上をはかることができる。

上記のような利点を有する自己タイミング型パイプライン機構を基にしたシステムを実用化するにあたって、処理方式としてデータ駆動方式を採用し、すでにデータ駆動型 VLSI マルチプロセッサ (DDMP) [1] が実用化されている。

本論文では自己タイミング型パイプライン機構において最も重要な要素回路であるデータ転送制御回路について新知見を述べるが、その比較回路として DDMP に採用されているデータ転送制御回路を用いる。DDMP データ転送制御回路はあらゆるタイミングで到着するデータ流に対して転送制御が可能である。そのためデータ転送制御回路としては完全に機能を満足しているといえることができる。データ転送制御回路の機能については3章において詳しく述べる。

本研究の最終的に目指すところは、将来的な高速通信に対応すべく DDMP データ転送制御回路の冗長性に着目し、これに比して同等の機能を保持し、かつトランジスタ数を削減し、同時にデータ転送回路自体のスループット性能やパイプライン効率を向上させることである。本論文では現在までの研究成果を活用して新知見を述べることとする。

現在、DDMP データ転送制御回路の機能を完全には保持することはできないものの、データ流量がある程度安定であるという前提条件付きであれば、正常に動作し、トランジスタ数削減および性能向上が実現可能な2つの回路を提案する。このことと、システムの要求仕様によってはデータ流量が非常に安定である個所が存在する。という2つの事項により、

用途に応じてより最適な回路構成が可能である事を示す。この事は4章において詳しく述べる。

加えて、5章では、4章で提案した回路が、どの程度のデータ流量の揺らぎならば正常に動作するかを明確に示し、その後 DDMP データ転送制御回路と比して回路そのものの潜在性能について、その優位性を述べる。

最後に6章において、提案した方式を用いる事によって、自己タイミング型パイプライン機構を前提とした複合化集積システムが最適に構築可能であることを、検証結果によって明らかにし、結論とする。

## 第 2 章

# 自己タイミング型パイプライン機構

### 2.1 緒言

この章では、ノイマン型処理方式に根源的に内在する問題点を原理的に解決可能な理想的な方式である自己タイミング型パイプライン機構について、その構成および特質を詳しく述べる。

### 2.2 自己タイミング型パイプライン機構の構成

自己タイミング型パイプライン機構の基本構成は図 2.1 に示すように、パイプライン間で転送されるデータを保持するデータラッチ  $DL_i$  (フリップフロップの接続と考えることができる)、データ処理回路  $P_i$ 、ならびに、 $DL_i$  の開閉をハンドシェイク方式によって制御するデータ転送制御回路  $C_i$  から構成される。

自己タイミングパイプライン機構の基本的な処理の流れとしては、図 2.2 の左側に示すように  $DL_i$  が有意なデータを保持していない場合データラッチ  $DL_{i+1}$  の状態に関係なく  $DL_{i-1}$  より  $DL_i$  にデータが転送される。また、図 2.2 の右側に示すように  $DL_i$  に有意なデータが保持されており、かつ  $DL_{i+1}$  に有意なデータが保持されている場合には  $DL_i$  はデータの転送を待機する。このことによってパイプライン中の任意の場所でデータ流が一時的に停止状態になったとしても、停止場所より後段のデータラッチにデータが順に詰められる事になり、停止が後段のデータ流に影響しない性質をもっている。上記したような自己タイミング型パイプラインにおけるデータ転送制御は実質的にはデータラッチに接続された

## 2.2 自己タイミング型パイプライン機構の構成

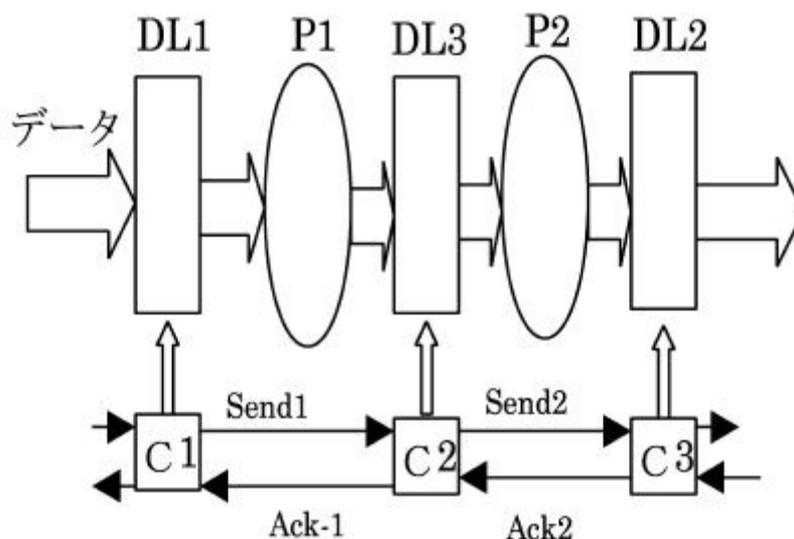


図 2.1 自己タイミング型パイプライン機構の構成図

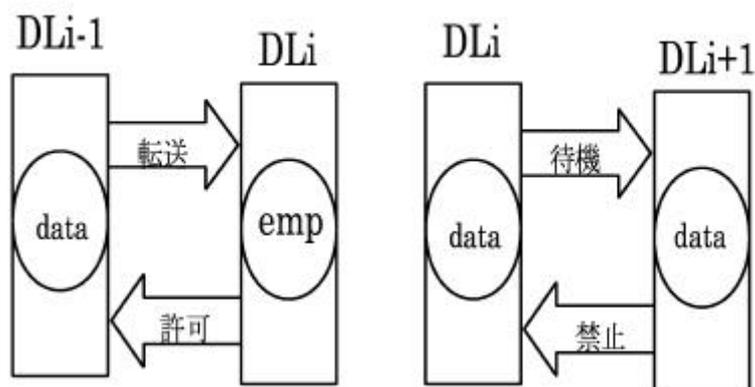


図 2.2 自己タイミング型パイプライン機構の動作図

データ転送制御回路によって行われている。データ転送制御回路は要求信号（Send パルス）と応答信号（Ack パルス）がデータ処理回路  $P_i$  の処理遅延時間と完全な同期を行ったうえで動作し、それに伴ってデータラッチに開閉信号を発生する。このことからデータ転送制御回路は自己タイミング型パイプライン機構において最も重要な要素回路である。

## 2.3 自己タイミング型パイプライン機構の特質

### 2.3 自己タイミング型パイプライン機構の特質

前節において自己タイミング型パイプライン機構の構成および動作を明確にした。これをうけて本節ではノイマン型処理方式と比して有利な特質について述べる。

	ノイマン型処理方式	DDMP
制御方式	同期型制御	非同期型制御
駆動方式	制御駆動	データ駆動
配線長	冗長	局所化
集積化	困難	容易
クロックスキュー	高性能化に支障有り	支障無し
電力	高	低
並列化、パイプライン化	困難	容易
汎用性	高	低

表 2.1 ノイマン型プロセッサと DDMP の比較

ノイマン型処理方式ではバス配線によってシステムクロックを配信し、システム全体を同期させて駆動している。これに対して自己タイミングパイプライン機構では自己転送制御回路の相互通信によって駆動している。したがって、自己タイミング型パイプライン機構ではバス配線を必要としない。このため配線の局所化が可能となりクロックスキューの発生確率が格段に低い。加えて、ノイマン型処理方式はクロックによって一斉にすべての機能モジュールを駆動させるのに対して、自己タイミング型パイプライン機構は、現状態で処理に必要な機能モジュールのみを駆動させるため平均の消費電力が格段に低い。さらにはデータ駆動処理方式を採用することにより、この方式を前提としたオブジェクトコードを与える事によって、複数の機能モジュールや深いパイプライン段を活性化させる並列度を得る事が容易となり、スループット性能の格段の向上が見込める。

ノイマン型処理方式を用いた一般的なプロセッサと自己タイミング型パイプライン機構を

## 2.4 結言

用いたプロセッサである DDMP についての比較を表 2.1 に示す。

## 2.4 結言

本章において詳しく述べたように、自己タイミング型パイプライン機構はノイマン型処理方式が根源的に抱える問題を理想的に解決しうるシステムである。反面、データ流量が疎であったり、並列化、パイプライン化が根本的に困難な仕様を持つシステムでは自己タイミング型パイプライン機構の優位性が保てなくなり、汎用性が低いという問題点を有している。しかし、画像処理、ルータなど比較的データ流量が多く処理の並列化、パイプライン化に期待を持てる分野においては、専用プロセッサとして格段に高い性能を示す潜在能力を有しており、次世代の高速データ処理の主役を担うシステムであるといえる。

## 第 3 章

# データ転送制御回路

### 3.1 緒言

2.2 で述べたように、自己タイミング型パイプライン機構のデータ制御はデータラッチに接続されたデータ転送制御回路によって行われている。自己タイミング型パイプライン機構が提案された当初の最も古典的な回路は Muller C 素子と呼ばれる回路であった [4]。その後、データ転送制御回路の実用化に際して、システムの要求仕様に応じた機能を持つように拡張すべく様々な疑似 C 素子が考案された [2]。本章では、データ転送制御回路が保持しておくべき機能について詳しく述べ、その後 DDMP に採用されているデータ転送制御回路について検証を加える。

### 3.2 データ転送制御回路の機能的考察

#### 3.2.1 データ転送制御の基本理念

データ転送制御回路は回路間のハンドシェイクによってデータラッチの開閉を制御している。具体的には入力信号として後段からの転送要求信号 (Send-in) と前段からの転送許可信号 (Ack-in) があり、出力信号として前段への転送要求信号 (Send-out) と後段への転送要求信号 (Ack-out) がある。全ての信号は 1 ビットデータであり、データラッチへの開閉信号は Send-out 信号と同論理もしくは逆論理とするため特に議論の対象としない。

データ転送制御回路の基本理念は前段からの転送許可信号と後段からの転送要求信号が入力 (遷移) された時前段への転送要求信号および後段への転送許可信号を出力 (遷移) す

## 3.2 データ転送制御回路の機能的考察

る。つまり2入力の信号遷移を受けて2出力を信号遷移させるような回路である。表 3.1 にデータ転送制御回路における基本的論理の1例を示す。

Send-in	0	0	1	1
Ack-in	0	1	0	1
Send-out	0	hold	hold	1
Ack-out	0	hold	hold	1

表 3.1 データ転送制御回路における基本論理の1例

### 3.2.2 Muller C 素子

図 3.1 に示したのはデータ転送制御回路の祖である Muller C 素子である。Muller C 素子はデータ転送制御回路の基本的理念に沿った機能を有している。ここでは、Muller C 素子の機能を通してデータ転送制御回路の基本的機能について検証する。基本的機能は4つの CMOS トランジスタによって構成されている。図 3.1 から明らかなように転送要求入力信号 (Send-in) と転送許可入力信号 (Ack-in) が同論理の時、転送要求出力信号 (Send-out) 及び転送許可出力信号 (Ack-out) が同時に遷移する構造となっている。ここでデータ転送をわかりやすくするために Muller C 素子における信号状態について意味的前提条件を示す。

- データラッチを起動する信号は転送要求出力信号 (Send-out) と同意である。よってデータのデータラッチへの入出力は転送要求信号 (Send) の入出力と同意と考えてよい。
- 転送要求信号 (Send) では、信号が 1 である時、転送要求状態であり、0 である時、転送待機状態である。
- 転送許可信号 (Ack) では、信号が 1 である時、転送許可状態であり、0 である時、転送禁止状態である。
- データ転送回路の種類によっては信号レベルの意味付けが上記の前提条件と異なる場合も存在するが、データ転送における信号の相対的關係は変わらない。

### 3.2 データ転送制御回路の機能的考察

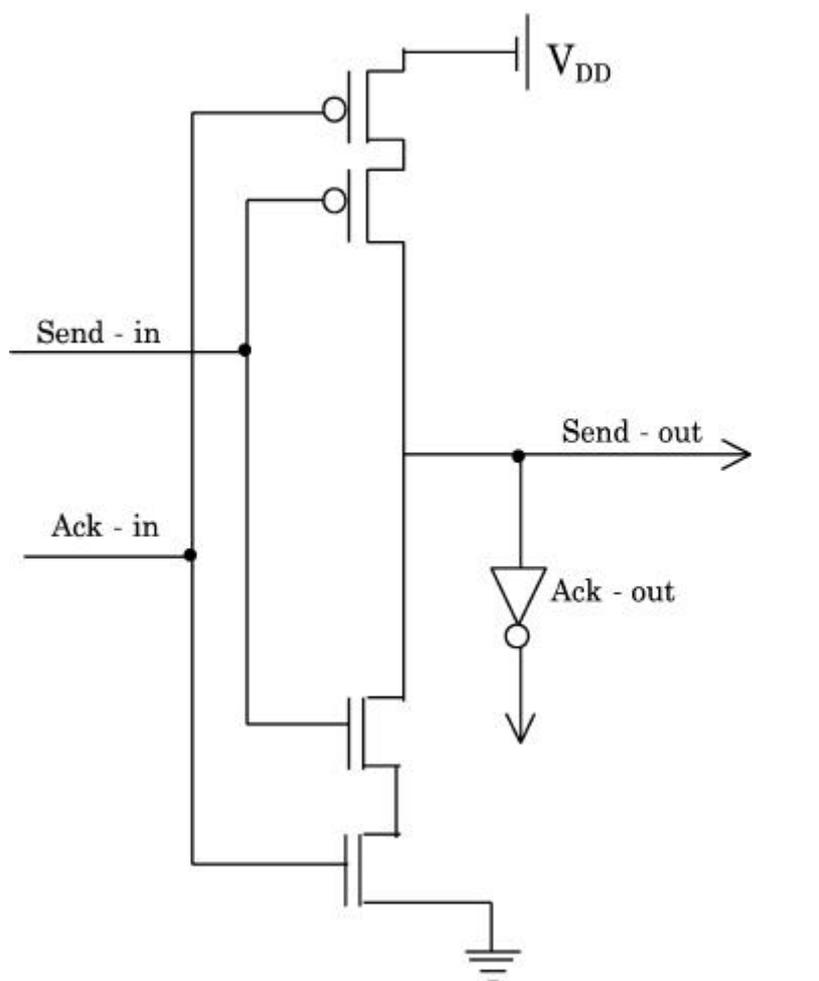


図 3.1 Muller C 素子

これにより Muller C 素子におけるデータ転送の状態は表 3.2 のように表す事ができる。  
続いて表に示す各状態について詳細に説明する。

データ転送制御回路はリセット時において接続されているデータラッチに有意なデータが保持されていない状態にならなければならない。よってリセット時には下記のような状態となる必要がある。

- データ転送要求入力信号 (Send-in) は要求待機状態である。(Muller C 素子では 0)
- データ転送要求出力信号 (Send-out) は要求待機状態である。(Muller C 素子では 0)
- データ転送許可入力信号 (Ack-in) は許可状態である。(Muller C 素子では 1)
- データ転送許可出力信号 (Ack-out) は許可状態である。(Muller C 素子では 1)

### 3.2 データ転送制御回路の機能的考察

初期状態ではデータの投入、すなわちデータ転送要求入力信号 (Send-in) の遷移を待っている状態となる (表 3.2 では状態番号 (1))。

状態番号	(1)	(2)	(3)	(4)
Send-in	0	0	1	1
Ack-in	1	0	0	1
Send-out	hold (リセット時 0)	0	hold	1
Ack-out	hold (リセット時 1)	1	hold	0
状態	初期状態 要求信号待ち	要求信号及び 許可信号待ち	許可信号待ち	データ転送状態
出力	前出力を保持	許可信号及び 要求待機信号を発信	前出力を保持	禁止信号及び 要求信号を発信

表 3.2 Muller C 素子のデータ転送状態表

・初期状態からデータがデータラッチに投入される事を考える。この時データの投入と同時にデータ転送要求入力信号が要求状態に遷移する (Muller C 素子では 0 1)。これを受けてデータ転送要求出力信号 (Send-out) が要求状態に遷移 (前段のデータラッチにデータを投入) し、データ転送許可出力信号 (Ack-out) が禁止状態に遷移する (表 3.2 では状態番号 (4))。この状態遷移によってデータの転送が行われる。

・データがデータラッチに投入された時にデータ転送許可入力信号 (Ack-in) が禁止状態であった場合を考える。この時、データ転送要求入力信号 (Send-in) が要求状態に遷移するが、2 出力は前状態を保持し遷移しない (表 3.2 では状態番号 (3))。つまりデータの投入を待機しており、この後データ転送許可入力信号 (Ack-in) が許可状態になったと同時にデータを投入する。

・データを前段に投入した後、データ転送許可入力信号 (Ack-in) が禁止状態となりデータ転送要求入力信号 (Send-in) が待機状態となると、データ転送許可出力信号 (Ack-out) が

## 3.2 データ転送制御回路の機能的考察

許可状態に復帰しデータ転送要求出力信号 (Send-out) が待機状態となる (表 3.2 では状態番号 (2))。その後データ転送許可出力信号 (Ack-out) が許可状態に復帰すると初期状態となる。

データ転送制御回路の最も基本的なデータ転送の流れは、上記の状態遷移より OR のサイクルによって行われる。

### 3.2.3 実用化における Muller C 素子の問題点

3.2.2 に示したように Muller C 素子はデータ転送制御回路の基本理念に基づいた機能を有しているため、データ転送制御回路の動作が非常に分かりやすく、データ転送制御回路の基礎を理解するには最適である。しかし、次のような理由により、自己タイミング型パイプライン機構を実用化するには、致命的な問題点を有している。

2.2 の図 2.2 の右側に示したように自己タイミングパイプライン機構では、前段のデータラッチにデータが保持されている間データの転送を待機しなければならない。そのためには次のような 2 つの要件がデータ転送制御回路に求められる。

1. データ転送許可入力信号 (Ack-in) が禁止状態の時データ転送要求入力信号 (Send-out) は転送待機状態でなければならない。
2. データ転送要求入力信号 (Send-in) が要求状態の時データ転送許可出力信号は禁止状態でなければならない。

1 の要件は前段のデータラッチにデータが保持されている時データ転送を待機するということであり、2 の要件は自段のデータラッチにデータが保持されている時は後段のデータラッチに対してデータ転送禁止の信号を与えるということである。

Muller C 素子では、1 の要件は満たしているが、2 の要件は部分的に満たしているに過ぎない。3.2.2 の表で説明すると自段のデータラッチにデータが保持されている状態は状態番号 (3) と (4) である。(4) の場合にはデータ転送許可出力信号 (Ack-out) は禁止となっているため要件を満たしているが、(3) は前状態と同じ出力状態になっているためデータ転送許

### 3.2 データ転送制御回路の機能的考察

可出力信号 (Ack-out) は前状態に依存する。つまり、前状態が (4) ならば問題はないが、前状態が (2) であると、自段にデータを保持しているにも関わらずデータ転送許可出力信号が許可状態となってしまう。

つまり、想定される状況としては、自己タイミング型パイプライン機構において、データラッチに挟まれた各データ処理回路の遅延時間に格差があった場合、データがデータラッチに順に詰められる状況が起こり得る。この時、Muller C 素子では、前段にデータが保持されており、かつ、自段にデータが保持されていても後段へのデータ転送許可出力信号が許可となっているのでデータが投入され続ける。しかし、自段のデータラッチにはデータがすでに保持されているため、結局、データが消失することになる。

このことより、Muller C 素子が安定に動作するのは、完全に安定したデータ流量が保証されている時のみ、ということになる。これは、データラッチ間の各処理回路がまったく同等の遅延時間でなければならない事を示し、かつ、パイプライン中のデータ流に対して操作を加える事ができない事を示す。実際にはこのようなシステムは存在しないので実用化が非常に困難である。この問題を解決し、データ転送制御回路を実用化できるレベルまで改良するには、入出力の前状態によって、1 種類の入力状態に対して 2 種類の出力状態を持つような状態遷移をするシステムが必要となる。このようなシステムは順序回路であり、記憶素子が必要であることが即座に想像できる。

#### 3.2.4 実用化レベルのデータ転送制御回路の 1 例

実用化レベルのデータ転送制御回路は、最低 3.2.3 で示した問題を解決されてなければならない。つまり、2.2 の図 2.2 で示した 2 つの動作を完全に実現できる必要がある。図 3.2 に示すのは実用化レベルに改良されたデータ転送制御回路の一例である。このデータ転送制御回路は NAND ゲートのクロス配線によって構成された SR フリップフロップと単独の 2 入力 NAND ゲートによって構成されている。このデータ転送制御回路の動作は次の様なものであるが、注意しなければならないのは、Muller の C 素子とは、データ転送要求信号 (Send) の論理が逆になっている所である。すなわち、0 で要求状態、1 で要求待機状態である。

### 3.2 データ転送制御回路の機能的考察

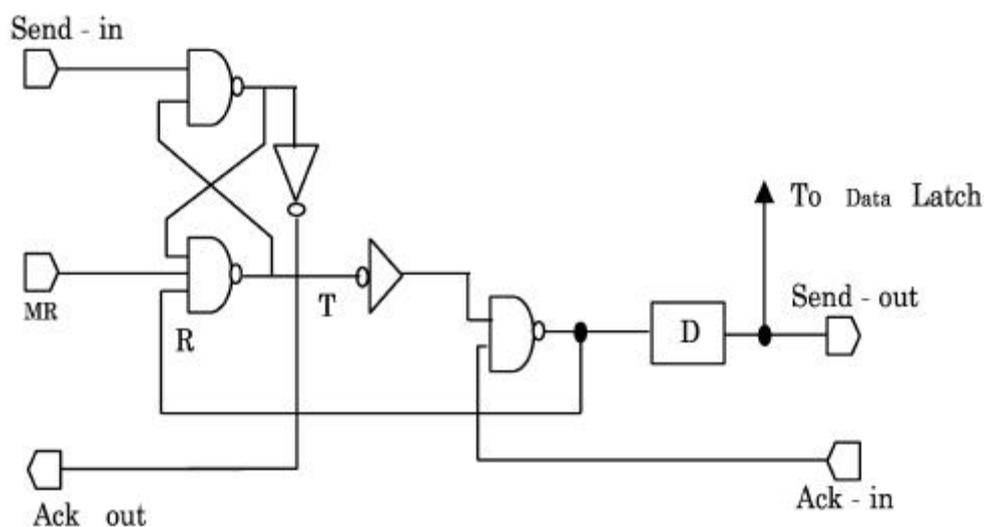


図 3.2 実用レベルデータ転送制御回路の 1 例

1. 初期状態では Muller C 素子と同じ意味的状态となっている。データ転送要求信号 (Send) は待機状態でデータ転送許可信号 (Ack) は許可状態である。
2. 初期状態からデータ転送要求入力信号 (Send-in) が要求状態になると、2 入力 NAND の入力が (1,1) となり、データ転送要求出力信号 (Send-out) が要求状態となる。2 入力 NAND の出力は SR フリップフロップの入力 R にフィードバックされているので、一定のゲート遅延後、データ転送要求出力信号 (Send-out) は自動的に要求待機状態に戻る。一方データ転送許可出力 (Ack-out) はデータ転送要求入力信号 (Send-in) が要求状態になると同時に禁止状態となり後段のデータ転送を禁止する。その後、データ転送要求入力信号 (Send-in) が、自動的に要求待機状態になると、許可状態となり後段のデータ転送を禁止する。
3. 前段のデータラッチにデータが保持されていて自段にデータが保持されていない場合、つまり、データ転送要求入力信号 (Send-in) は要求待機状態であり、データ転送許可出力信号 (Ack-in) が禁止状態であるような場合である。この時、データ転送許可出力 (Ack-out) は許可状態なので後段からデータが投入される可能性がある。このような状況の時、データ転送要求入力信号 (Send-in) が要求状態になると、2 入力 NAND の出

### 3.2 データ転送制御回路の機能的考察

力は変わらないのでデータ転送要求出力信号 (Send-out) は待機状態のままである。一方、データ転送許可出力信号 (Ack-out) は禁止状態となる。つまり、自段にデータを保持した後、後段に禁止信号を発信している。

1 は初期状態の説明である。2 は通常 of データ転送の様子 of 説明である。3 は 3.2.3 で取りあげた、Muller C 素子 of 実用化 of 問題点を解決している事 of 説明である。

図 3.3 は図 3.2 に示したデータ転送制御回路 of 入力と出力 of 関係を示している。

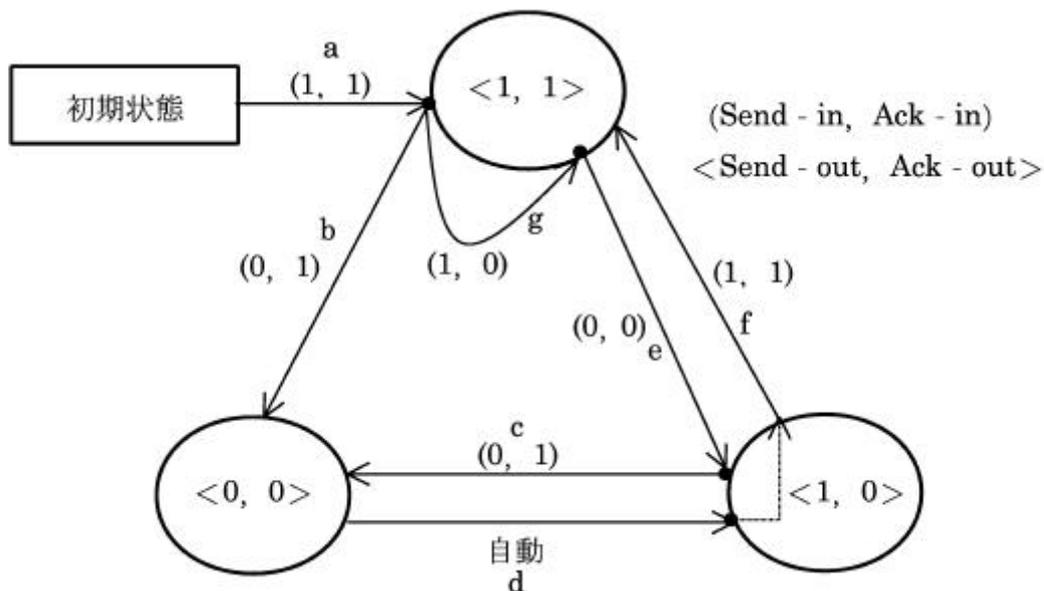


図 3.3 実用レベルデータ転送制御回路の入出力状態遷移図

図 3.3 は入力に対して出力がどう変化するかを示している。通常 of データ転送は b d f のサイクルで行われ、データが順に詰めていく時は e の変化が後段に順に伝播していき、先頭 of データ転送制御回路に c の変化がおこるとデータが順に流れ出すシステムである。このデータ転送制御回路では出力状態 (0,1) はデータを保持している間データ転送許可出力信号が許可状態となる事を示しており、これはデータ転送制御回路 of 基本理念に反するため、存在しないように回路構成されている。よってこの回路は自己タイミングパイプライン機構が要求する機能を完全に満たしている事になる。

## 3.2 データ転送制御回路の機能的考察

しかし、システムの仕様によってはデータ転送要求入力信号 (Send-in) やデータ転送許可信号が様々なタイミングで到着することが考えられる。それを踏まえて、図 3.2 の回路を検証すると、構成されているゲートの性質から 2 入力 NAND が誤作動を起こすタイミングの範囲で到着する事が考えられる。図 3.2 を使用して具体的に説明すると次の 2 つとなる。

1. データ転送は 2 入力 NAND の出力によって決定されている。この回路ではデータ転送中に一定時間 2 入力 NAND の入力が 1 に揃う。この間にデータ転送許可入力信号 (Ack-in) が禁止状態 (信号レベル 0) になるとデータ転送要求信号 (Send) のパルス幅が短くなって誤作動を起こす可能性がある。
2. SR フリップフロップの 2 入力である R と Send-in が両方信号レベル 0 になると SR フリップフロップが禁止状態となり、出力に発振 (連続的にパルスが発生する事) が起こり、その事によって誤動作が起きる。具体的にはデータ転送中の R が信号レベル 0 になっている間に次のデータ転送要求入力信号 (Send-in) が要求状態になる、等が考えられる。

図 3.2 の回路は、理論上は自己タイミングパイプライン機構の機能を完全に満たしているが、非常に複雑なデータ到着間隔に対しては誤作動を起こすタイミングの領域が存在する。よって、データの分岐や合流といった複雑なタイミング、つまりはデータ流を要求されるようなシステムには使用できない。したがって現在実際のシステムには採用されていない。しかし、逆の発想をすれば、データ流量が比較的安定であるようなシステムでは応用が可能である、というのが今回の論文の主張するところであるがそれについては、4 章、5 章において詳しく述べる。

### 3.2.5 DDMP 用データ転送制御回路

現在、実際にデータ駆動型マルチプロセッサ DDMP に採用されているデータ転送制御回路を図 3.4 に示す。3.2.4 で述べたように複雑なタイミングを要求されるシステムではどのようなタイミングでも正常に動作する自己転送制御回路が要求される。DDMP の内部では

### 3.2 データ転送制御回路の機能的考察

データの分岐や合流が頻繁に行われるため、データ転送制御回路に要求される機能は非常に高度なものである。そのため図 3.4 のデータ転送制御回路は複雑な入力のタイミングに柔軟に対応できる構成となっている。

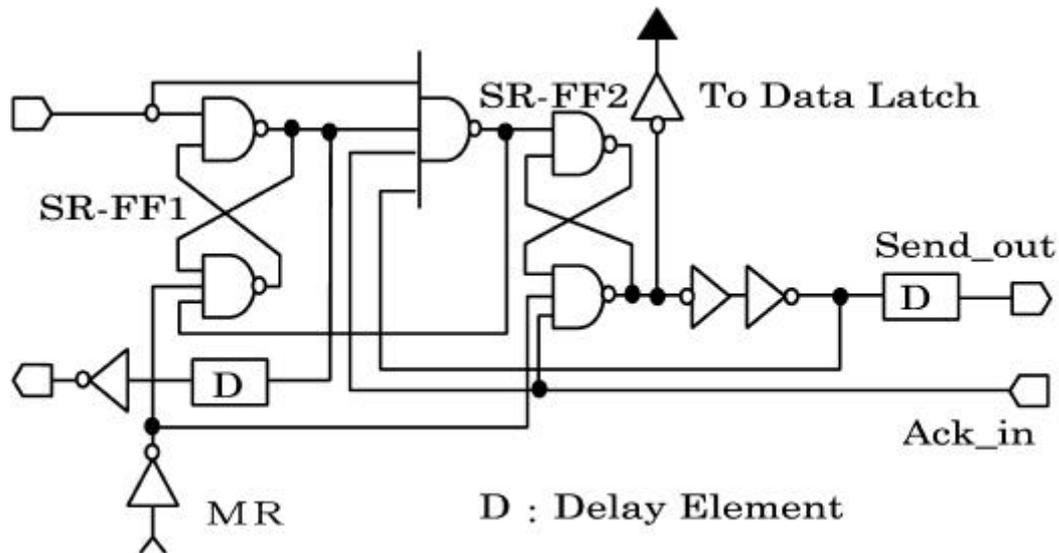


図 3.4 DDMP 用データ転送制御回路

DDMP 用データ転送制御回路は、これまで述べてきたような自己タイミング型パイプライン機構に必要な機能は完全に有している。また 2 つのフリップフロップ SR-FF1,SR-FF2 によって、データ転送要求入力信号 (Send-in) とデータ転送許可入力信号 (Ack-in) の到着タイミングのずれによって起こる誤動作を完全に押え込んでいる。このことから、DDMP 用データ転送制御回路はあらゆるシステムに対して適用可能であり、機能的には完成されたデータ転送制御回路である。

図 3.5 に示したのは、データ転送要求信号の要求、待機をそれぞれ、0,1 とし、データ転送許可信号の許可、禁止をそれぞれ、1,0 とした時の入力 (Send-in,Ack-in) と出力 < Send-out,Ack-out > の状態遷移を表したものである。この図によれば即座に DDMP 用データ転送制御回路の具体的な信号遷移が理解できるであろう。

本研究の最終目標は、データ転送制御回路としての機能を完成させた DDMP 用データ転送制御回路に注目し、この回路に比して、省電力で同等の機能を有しかつ、トランジスタ数

### 3.3 各データ転送制御回路の比較

が少なく、高速に動作するデータ転送制御回路を開発することである。しかし、トランジスタを削減すると機能が保証できなくなるという困難な問題を含んでいるため、今回の論文では、そこまでの研究成果は報告できない。しかし、以後、引き続き研究を行う予定である。

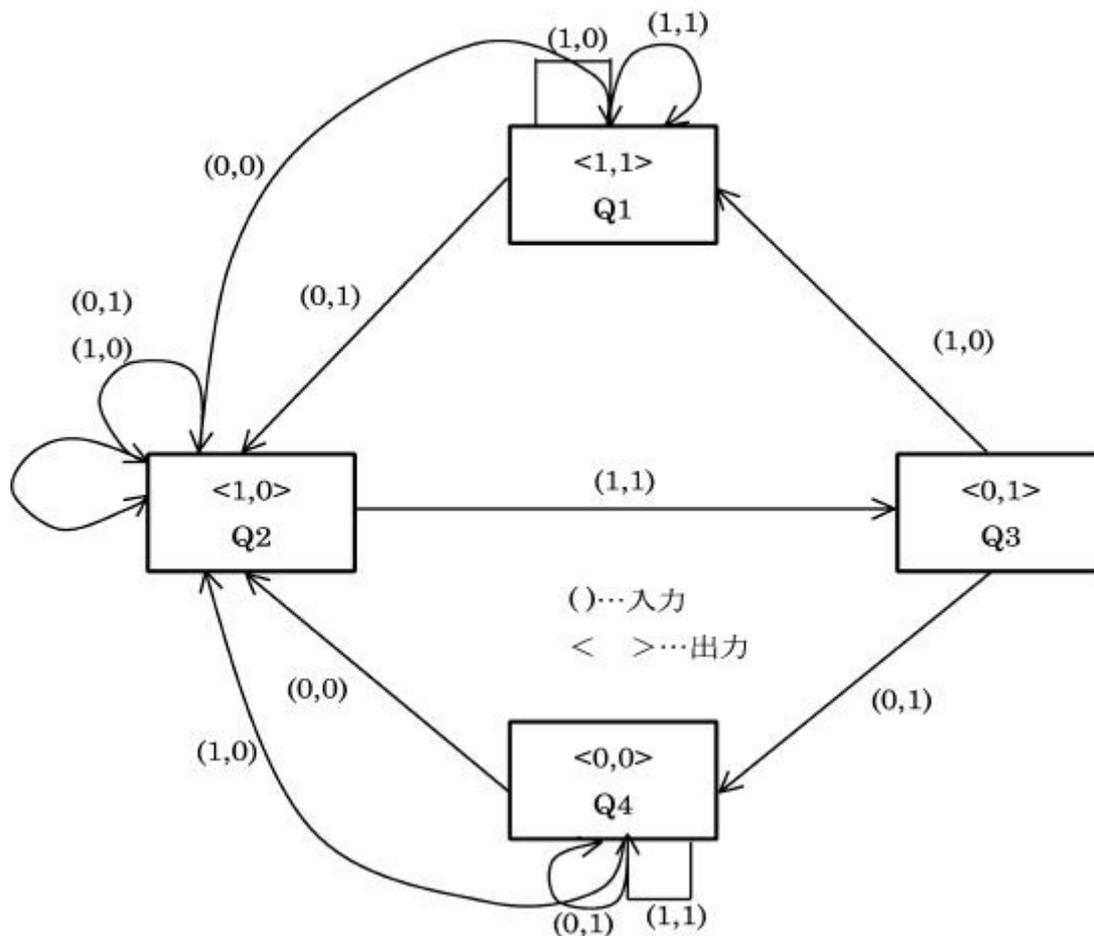


図 3.5 DDMP 用データ転送制御回路の入出力状態遷移図

### 3.3 各データ転送制御回路の比較

これまで、自己タイミング型パイプライン機構におけるデータ転送制御回路の機能について、Muller C 素子、実用化レベルデータ転送制御回路の 1 例、DDMP 用データ転送制御回路のそれぞれ 3 種類の回路を例に述べてきた。この節では大局的な観点から 3 種類のデータ転送制御回路を比較する。

### 3.3 各データ転送制御回路の比較

まず、実用化の観点から比較すると、Muller C 素子はデータをデータラッチに順に詰めておく事ができないので、実用化することは非常に困難である。実用化レベルデータ転送制御回路の 1 例は誤動作を起こす入力タイミングが存在するため複雑なシステムへの適用は難しい。しかし、データ流量が比較的安定なシステムには適用可能と考えられ、そのような要求仕様のシステムでは実用可能である。DDMP 用データ転送制御回路は機能的に完成しており、どのようなシステムでも実用可能である。

次に、消費電力はトランジスタ数に依存するため、それぞれを比較すると、Muller C 素子では極小、実用化レベルデータ転送制御回路の 1 例では中程度、DDMP 用データ転送制御回路は大となる。

次に、データ転送回路自体の性能は回路の素子遅延に依存するため、それぞれを比較すると、Muller C 素子では高速、実用化レベルデータ転送制御回路の 1 例では中速、DDMP 用データ転送制御回路は低速となる。

次に、製造コストであるが、これもトランジスタ数に依存するため、それぞれを比較すると、Muller C 素子では低、実用化レベルデータ転送制御回路の 1 例では中、DDMP 用データ転送制御回路は高となる。

これらの比較を表に示す。

	Muller C 素子	実用化レベルデータ転送制御回路の 1 例	DDMP 用データ転送制御回路
実用性	×		
消費電力	低	中	高
回路性能	高	中	低
製造コスト	小	中	大

表 3.3 3 種類のデータ転送制御回路の比較

この事から、実用化の面を除けば、トランジスタ数が少ない事は他の全ての面において非常に大きなメリットとなることがわかる。

## 3.4 結言

### 3.4 結言

本章では、3種類のデータ転送制御回路について検証を加えた。その事により、Muller C素子は実用化の面であまりにも不完全であり使用できないが、実用化レベルデータ転送制御回路の1例はデータ流量が安定なシステムでは、上手く活用できる可能性があり、上手く活用できればDDMP用データ転送制御回路よりも高性能を実現できるであろう事が判明した。次章において本論文の提案内容でもあるデータ流量が比較的安定なシステムにおいての最適なデータ転送制御回路の適用について述べる。

## 第 4 章

# 高速化データ転送回路とその適応 領域

### 4.1 緒言

近年、光ファイバー通信等、超高速通信が行われるようになってきた。しかし光ファイバー自体の通信速度は非常に高速であるが、データ処理システムとのインタフェース部分の処理速度が低速であるため光ファイバーの性能を十分に反映できない事態が起こっている。このインタフェース部分に自己タイミング型パイプライン機構を基にしたシステムを使用したと仮定すると、光ファイバー通信のインタフェース部分での要求仕様から、次のような事がいえる。

1. 光ファイバーから流れてくるデータは 1 ビットシリアルであるため、データ処理システムのインタフェース部分では、データラッチ間のデータ処理時間よりも、むしろデータ転送制御回路の回路遅延が処理性能を決定するような場合が想定される。
2. 流れてくるデータ流量は、ほぼ一定であるため、複雑なタイミング仕様をデータ転送制御回路に設ける必要がない。

この事から 3 章で示した、実用化レベルデータ転送回路の 1 例のようなデータ転送制御回路が適用可能であり、DDMP 用データ転送制御回路と比較しても格段に性能の優位性を認める事ができるはずである。

## 4.2 提案回路

本章では、上記のような前提条件の基、DDMP用データ転送制御回路よりもトランジスタ数が少なく高速転送が可能な2つの回路を提案し、その回路構成及び、動作、加えてデータ流量に対する回路の適応領域について述べる。

## 4.2 提案回路

1つめの提案回路は3章において、実用レベルデータ転送制御回路として取り扱った回路である。この回路は、DDMP用データ転送制御回路の改良前の回路である。以下この回路をType1とする。この回路の詳しい動作については、すでに3章において綿密に述べてある。もう一つの回路との比較のために図4.1に改めて示す。Type1についての動作はすでに

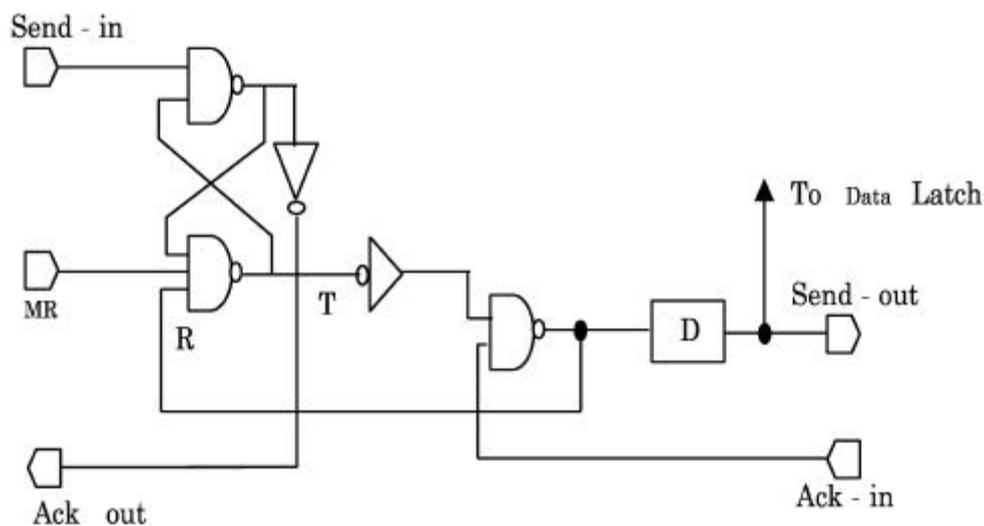


図 4.1 データ転送制御回路 (Type1)

3章において述べたので、この回路が適応できるデータ流量について述べる。

ここで、データ流量とは、データ転送制御回路のデータ転送要求入力信号 (Send-in) が要求状態になってから次の要求状態になるまでの時間によって決まると定義する。

データ転送要求入力信号 (Send-in) が要求状態から待機状態になるまでの時間は十分短いとすると、誤動作が起こるタイミングは3章で述べた2つの場合のみであり、これ以外のタ

## 4.2 提案回路

イミングでデータが到着した場合は正常に動作する事が分かった。

図 4.2 は今回の提案用に、Type1 の回路にデータ転送許可入力信号 (Ack-in) のタイミングのずれを吸収する配線を追加した新たなデータ転送制御回路である。以下 Type2 とする。Type2 の回路は配線を追加した事によって、回路の適応領域を拡大したものである。加えて、フリップフロップの 2 入力状態が禁止 (0,0) になったとしても、出力が不安定にはなるが、Type1 の回路のように発振現象は起こさない。このため回路としての安全性が増しているのは明らかである。どのように適応領域が広がっているのかは 5 章において詳しく述べる。

Type1 との回路の動作の変更点は、以下の点である。

1. Type1 がデータ転送要求入力信号の要求信号の入力で前段へのデータ投入を駆動するのに対して、Type2 は待機信号の入力でデータ投入を駆動する。
2. Type1 が必ずデータ投入後に後段への許可信号を発信するのに対して、Type2 はデータ投入中に許可信号を発信することができる。

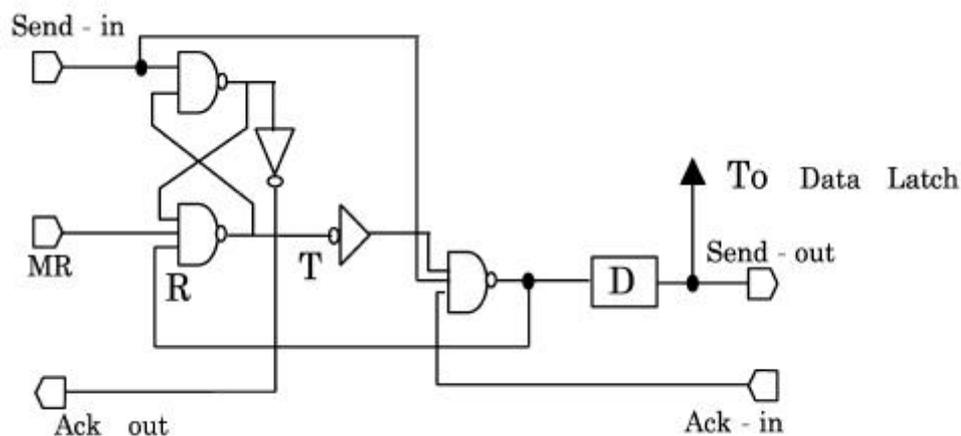


図 4.2 データ転送制御回路 (Type2)

Type1 ではデータ転送要求入力信号 (Send-in) の要求状態と要求待機状態の間の時間が十分短くないと正常に動作しなかったが、1 の要件によって、Type2 にはその制約がない。し

### 4.3 結言

たがって Type2 では  $\mathbb{T}$  に遅延を挿入し自由にパルス幅を調整できる利点がある。しかし、今回は非常に高速に投入されるデータを前提にしているため、本論文では  $\mathbb{T}$  の遅延は考えず、最小のパルス幅によって回路の適応領域および性能について分析する。

2の要件は、遅延素子の適応を最適に行う事によって、性能を高めることができることを示している。Type2 の入出力状態遷移を図 4.3 示す。

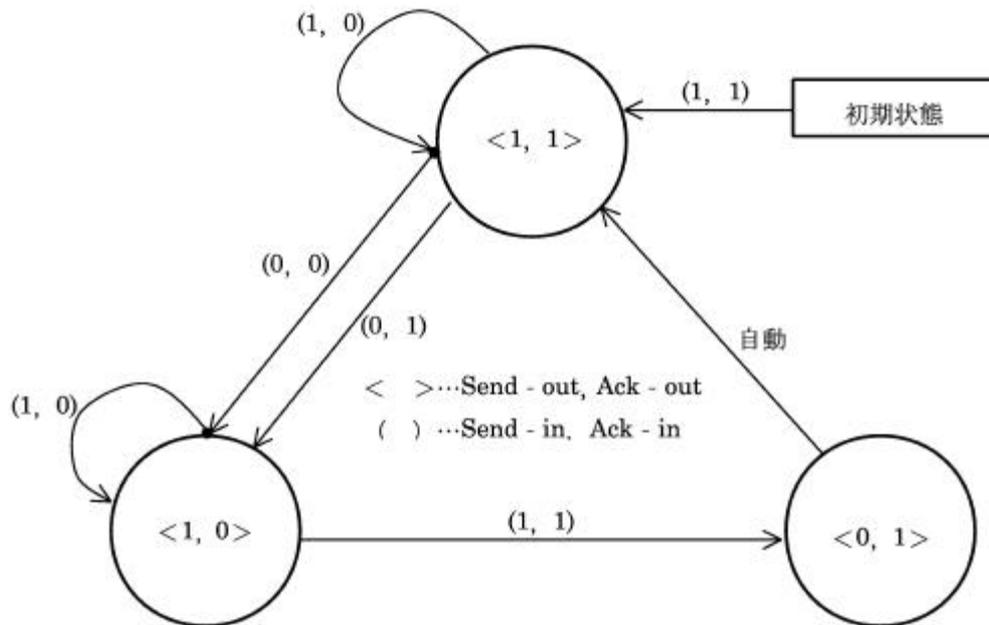


図 4.3 データ転送制御回路 (Type2) の入出力状態遷移図

ここで、Type2 が誤動作を起こす原因は Type1 とまったく同じである。つまり、フリップフロップへの禁止入力による誤動作と Ack-in の入力タイミングによるパルス幅の変化である。

### 4.3 結言

本章では、次世代の高速通信等に対応すべく、データ流量が安定ならば前節で示した 2 つの回路が DDMP 用データ転送制御回路に比して性能、コスト、電力について遥かに優位性を示す事を主張するものである。この事を前提に 5 章において性能評価、および、回路の適応領域について分析する。

## 第 5 章

# 適応領域の検証と性能評価

### 5.1 緒言

本章では 4 章において提案した 2 つの回路に関してその適応領域とデータ転送制御回路自体の潜在性能について分析した結果を示す。潜在性能においては DDMP 用データ転送制御回路を比較の対象とする。

準備として、NOT の素子遅延時間を  $t_{NOT}$ 、2 入力 NAND の素子遅延時間を  $t_{NAND2}$ 、3 入力 NAND の素子遅延時間を  $t_{NAND3}$ 、4 入力 NAND の素子遅延時間を  $t_{NAND4}$  とする。

明らかに、これらの素子遅延時間の間には  $t_{NOT} < t_{NAND2} < t_{NAND3} < t_{NAND4}$  の関係が成立する。

### 5.2 提案回路の適応領域

#### 5.2.1 Type1 における適応領域

本節では、緒言で定義した素子遅延時間を用いてデータ転送制御回路 Type1 の適応領域について分析する。

ここで、適応領域とは回路が誤動作を起こさないデータ投入間隔であると定義する。

上記に基づき、誤動作を起こし得る状況を次のように定義する。

1. フリップフロップにおける 2 入力  $(0,0)$  状態となる。
2. 2 入力 NAND の入力  $(1,1)$  のときデータ転送許可入力信号 (Ack-in) の禁止信号 (0) が入力される。

## 5.2 提案回路の適応領域

ここでデータ投入間隔とはデータ転送要求入力信号の要求 (0) 待機 (1) 要求 (0) 間の信号遷移時間の事である。Type1 の回路においては要求 (0) 待機 (1) 間の信号遷移時間は、回路のフィードバック遅延によって決定する。よって定数  $t_1 + t_2$  である。待機 (1) 要求 (0) 間の信号遷移時間はシステムによって変化する時間なので、これを変数  $K$  とおくと、データ投入間隔  $T$  は、

$$T = t_1 + t_2 + K$$

となる。

次にフリップフロップの 2 入力 (0,0) にならない様なデータ投入間隔について分析する。あるデータが投入されてからそのデータの影響によって図 4.1 の R が 0 になっている時間はデータ投入から考えて、 $t_1 + 2t_2$  から  $2t_1 + 3t_2 + 2t_3$  の間である。つまりこの時間間隔の間には次のデータを投入する事ができない。よって条件

$$T > 2t_1 + 3t_2 + 2t_3$$

が成立する時上記定義 (1) の誤動作は抑制される。

次に上記定義 (2) の誤動作が起こらないデータ投入間隔について考える。データ投入から考えて、そのデータの影響によって、データ転送入力信号が禁止になるまでの時間は Delay 変数時間 (図 4.1 の D の遅延で任意に設定可能) を  $D$  と置くと  $2t_1 + 3t_2 + D$  である。一方、データ投入から考えて、2 入力 NAND の入力が (1,1) となっている時間間隔は  $t_1 + t_2$  から  $2t_1 + 2t_2 + 2t_3$  までである。このことから、Delay 条件

$$D > (t_1 - t_2)$$

を得る事ができる。ここで  $D$  の時間が十分に長く次のデータ投入の影響で誤動作が起きる場合を考える。次のデータの影響によって、2 入力 NAND の入力が (1,1) となっている時間間隔はデータ投入間隔  $T$  を使うと  $T = t_1 + t_2 + K$  なので  $2t_1 + 2t_2 + 2t_3 + K$  から  $3t_1 + 3t_2 + 3t_3 + K$  の間である。この時間領域と  $2t_1 + 3t_2 + D$  が交わると誤動作を起こす事になる。よって

$$2t_1 + 2t_2 + 2t_3 + K < 2t_1 + 3t_2 + D < 3t_1 + 3t_2 + 3t_3 + K$$

## 5.2 提案回路の適応領域

したがって

$$D - 2 < K < D +$$

これより

$$D + < T < D + 2$$

となり、D と T の間にこの関係がある時誤動作を起こす。結論としては、データ投入間隔 T が

$$T > 2 + 3 + 2$$

であり、かつ D と T の間に

$$D + < T < D + 2$$

の関係が成立しない時正常に動作する。

### 5.2.2 Type2 における適応領域

Type2 においても Type1 とまったく同様の前提条件、手法で適応領域を示すため、詳細な導出仮定は省く。

結論として、Type2 では、データ投入間隔 T が

$$T > + 5$$

であり、かつ D と T の間に

$$D + < T < D + + +$$

の関係が成立しない時正常に動作する。

### 5.2.3 結果の考察

Type1、Type2 共に導出された式はデータ投入間隔と任意に設定できる遅延素子との関係を表している。2つの回路をシステムに適用させるには、システムのデータ投入間隔の平均値に対して導出された式を基に遅延素子を設定すればよく、データ流量が安定であれば、安全に動作させることができる。

## 5.3 性能評価

本節では Type1, Type2, DDMP 用データ転送制御回路について回路のもつ潜在性能について比較検討する。ここでの性能とは、スループット性能、パイプライン効率、トランジスタ数の事である。

スループット性能とは単位時間当たり幾つのデータを処理できるかを示すものであり、自己タイミング型パイプライン機構においてはデータ投入間隔の逆数となる。パイプライン効率とはデータがデータラッチに入ってから出ていくまでの時間と出ていってから入ってくるまでの時間の比率であり、これが高いほどパイプラインが効率良く機能していることになる。表 5.1 にそれぞれの性能を示す。この表からも明らかのように、Type1, Type2 は、ス

	Tr 数	スループット	稼働率
DDMP	32	$\frac{1}{+3 + 2 + 2}$	$< \frac{1}{2}$
Type1	20	$\frac{1}{2 + 4 + 2}$	$= \frac{1}{2}$
Type2	22	$\frac{1}{2 + 2 + 4}$	$> \frac{1}{2}$

表 5.1 性能比較表

ループット性能、パイプライン効率、トランジスタ数全てにおいて DDMP 用データ転送制御回路に比して高い潜在性能を持っているといえる。

## 5.4 結言

本章においては「比較的安定した、データ流量であれば、本論文が提案した2つの回路が DDMP 用データ転送制御回路に比して高性能である。」という主張の信頼性の高さを素子遅延時間をパラメタとして、パイプラインのスループット、稼働率を稼働率を導出することにより、定量的に明らかにした。

## 第 6 章

# 結論

半導体集積化技術の革新的発展により、プログラム処理ユニットだけでなく他の様々な機能システムも合わせて 1 チップ内に組み込むいわゆる複合化集積システムの実現が期待されており、この技術を応用できれば、多岐の機能を有し、非常に高速な処理を行うことのできる携帯機器等の実現が可能になる。

上記に示したような、高速処理を行うことができ、かつ携帯可能な機器を従来のノイマン型アーキテクチャを採用したシステムによって実現すると、以下のようなボトルネックにより効率良いシステム構築が非常に困難であると考えられる。

1. システムの駆動における消費電力が大きいため、それによる発熱を抑制する機器が別に必要となり、機器そのものの小型化を困難にする。
2. 消費電力が大きいため、携帯機器が実用的に使用可能な動作時間を保証するだけの電源を確保する事が困難である。

この問題を自己タイミング型パイプライン機構を採用したシステムが理想的に解決可能である事は、すでに序論で述べたとおりである。よって、自己タイミング型パイプライン機構を採用したシステムがより半導体集積化技術の成果を反映できるシステムであり、複合化集積システムとの親和性が非常に高いといえる。

これを受けて、本論文では、より一般的な複合化集積システムにおいて、自己タイミングパイプライン機構を採用する事を前提として、チップ内部の回路をより効果的に構築するために、データ転送制御回路の最適な適用法を考察した。つまり、携帯通信機器等において、外界との入出力インタフェース処理回路がプログラム処理ユニット等と合わせて 1 チップ

内に構成されるとすると、その入出力インタフェース処理回路に適用するデータ転送制御回路はプログラム処理ユニット等に適用するデータ転送制御とはまったく異なった要求仕様をもっている場合があり、その要求仕様毎に最適なデータ転送制御回路を適用する必要がある。

上記に述べたような観点から、実際に本論文が設定したシステム要求仕様は、データ流量は安定であるが非常に高速な処理が要求されるようなシステムについてであり、これに関して2つのデータ転送制御回路を提案し、それらの提案した回路が、設定したシステム要求仕様に対して現存の回路より遥かに優位性を示す事を述べ、本手法の信頼性の高さを素子遅延時間をパラメタとして、パイプラインのスループット、稼働率を導出することにより、定量的に明らかにした。

今後、通信処理機能モジュール等への応用を通して本手法の有効性を実証すると同時に、他のシステム要求仕様に対しても最適な手法を考案し、理想的なシステム構築を目指す。

さらに、将来的な研究テーマとして、次のようなものを予定している。

1. プログラム処理ユニットに使用されるデータ転送制御回路について、様々なアプローチによって最適化を試みる。具体的には、
  - (a) ゲートよりも更に抽象度の低いトランジスタレベルによって回路構築を試みる。。
  - (b) 複雑な機能を持ったデータ処理回路、データラッチ、データ転送制御回路の3つを大きな一つのモジュールととらえ、全体として最適な回路構築を試みる。等が挙げられる。
2. 複雑なデータの分岐、合流が起こるシステム要求について、より最適にデータ転送制御回路を適応することで効率の良い回路構成を目指す。具体的には、
  - (a) データ転送制御回路自体を今より多岐な判断ができるように改良し、複雑なシステム要求に対応可能なようにする。現在のデータ転送制御回路の入出力データを多ビットに拡張し幾つかの行き先をもつ用にすれば、複雑なデータ分岐を1つのデータ転送制御回路によって行える可能性があり、複雑なデータ分岐処理をより最適な

回路構成で行うことができる。

- (b) 最適化した幾つかのデータ転送制御回路を組み合わせて、複雑なデータ分岐、合流に適応できるようにする。この場合、組み合わせたデータ転送制御回路に新しく機能を追加できれば便利であるので、その事を考慮して1つのデータ転送制御回路を最適化する。

等が挙げられる。

# 謝辞

本研究に於いて懇切なる御指導、御鞭撻を賜った岩田 誠助教授に心より感謝の意を表します。

本研究を進めるに当たり、適切な御助言、御指導を賜った大森 洋一助手に深く感謝の意を表します。

日頃から温かい御支援、並びに御助言を頂いた大学院学生の細美 俊彦氏に感謝の意を表します。

日頃から御支援頂いた岩田研究室の方々、森川 大智氏、橋本 正和氏、古家 俊之氏、前田 庸亮氏、森安 亮氏、刈屋 文彦氏 に感謝の意を表します。

## 参考文献

- [1] H.Terada, S.Miyata, M.Iwata, "DDMP's: self-timed super-pipelined data-driven multimedia processors", Proc. of the IEEE, 87(2), pp.282-296 (1999).
- [2] 村松剛司, 畠山 耕一, 宮田 宗一,"自己同期型転送制御回路", 公開特許平 4-9518 (1992).
- [3] 岩田 誠, 宮田 宗一, 寺田 浩詔,"自己タイミングスーパーパイプライン型データ駆動型プロセッサ", 信学論 (D), Vol.j81-D,No.2,pp62-69 (1998).
- [4] Ivan E.Sutherland,"Micropipelines",CACM,Vol.32,NO.6,pp720-738 (1989).
- [5] M.JACOBS, W.BRODERSEN, "A Fully Asynchronous Digital Signal Processor Using Self-Timed Circuits", IEEE JOURNAL OF SOLID-STATE CIRCUITS,Vol.25,No.6,pp1526-1537 (1990).