

# 卒業研究報告

題目

硬貨判別装置の設計と実装

---

指導教員

原 央 教授

---

報告者

柏田 知志

---

平成 14 年 2 月 7 日

高知工科大学 電子・光システム工学科

# 目 次

1. 序 .....	3
2. デジタル回路基礎 .....	4
2.1 ラッチ回路	
2.2 CR 発振回路	
2.3 デコーダ回路	
2.3.1 デコーダ回路の設計	
3. 硬貨判別装置 .....	10
3.1 センサー入力回路 .....	11
3.1.1 フォト・インタラプタ	
3.1.2 D・FF 部 (保持回路)	
3.1.3 デコーダ回路	
3.2 プログラマブル・パルス発生回路 .....	18
3.2.1 10 進カウンタ	
3.2.2 ラッチ回路	
3.2.3 5 進 / 10 進切換部	
3.2.4 スタート・パルス立ち上がり検出回路	
3.2.5 システム・クロック	
3.3 7 セグメント表示回路 .....	26
3.3.1 7 セグメント数字表示器	
3.3.2 7 セグメント・デコーダ	
3.3.3 10 進カウンタ	
3.3.4 リセット回路	
4. 評 価 .....	31
4.1 センサー入力回路の評価	
4.2 プログラマブル・パルス発生回路の評価	
4.3 7 セグメント表示回路	
4.4 硬貨判別回路	
5. まとめ .....	39

6. 謝辭 .....	40
7. 參考文獻 .....	41

## 1. 序

今日、日常のさまざまなところにデジタル回路は使われている。パソコン、テレビ、時計など、今の社会では欠かすことのできない製品に使われている。デジタル回路について大学の授業では、初歩的な勉強はしたが、実際に設計、実装した経験がなかった。そこでこの卒業研究で体験することで、設計から実装、測定への流れについて勉強し、これらに関連する実際的な知識を習得したいと考えた。

具体的にはどこにでも見かけられる自動販売機などに使用しているコイン（硬貨）判別装置を取り上げ、その仕組みについて勉強し、この装置に関する回路やセンサーをまとめることを試みた。

まず、基礎知識として、デジタル回路の基礎である「ラッチ回路」、「CR 発振回路」、「デコーダ回路」などについて勉強した。これらは大学の授業で、一度学習した内容であるが、再び復習することで改めて新しい知識を得ることができた。デジタル回路の基礎を勉強した後、「硬貨判別装置」を手掛けた。ここでは、硬貨判別装置は大きく 3 つのブロック（センサー入力回路、プログラマブル・パルス回路、7 セグメント表示回路）に分けて設計、製作し、それぞれのブロックを測定し、動作確認後にブロックを組み合わせて全体を評価した。

## 2. デジタル回路基礎

今回の硬貨判別回路に使われているラッチ回路、CR 発振回路、デコーダ回路は、回路設計の際、必ず知っておくべき基礎的な事柄である。それに関して以下にまとめた。

### 2.1 ラッチ回路

ラッチ回路には SR ラッチ、D ラッチ、JK ラッチなどがあり、回路設計では有名な回路の 1 つである。今回はその中でもっとも基本的な SR ラッチを取り上げた。ラッチとは止め具という意味があり、入力したデータを記憶して保持する働きがある。下の表 2.1 に SR ラッチの真理値表と代表的な SR ラッチの回路図を示した。

表 2.1 SR ラッチの真理値表

SET	RESET	$Q_{n+1}$
0	0	禁止
0	1	1
1	0	0
1	1	$Q_n$

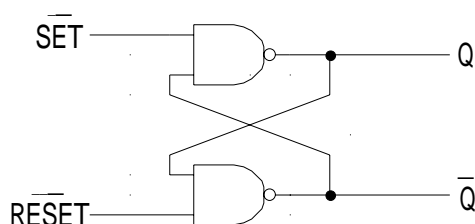


図 2.1 SR ラッチ回路

SR ラッチ回路は、前の表のように入力  $\overline{\text{SET}}$ 、 $\overline{\text{RESET}}$  によって出力が変化する。また、 $\overline{\text{SET}}$ 、 $\overline{\text{RESET}}$  がともに '0' の場合に  $Q$  は禁止と記述している参考書が多い。しかし、図 2.2 の点線で囲まれたように  $\overline{\text{SET}}$ 、 $\overline{\text{RESET}}$  のどちらかが少しでも遅れて入ると、最後に残っているデータに影響される。

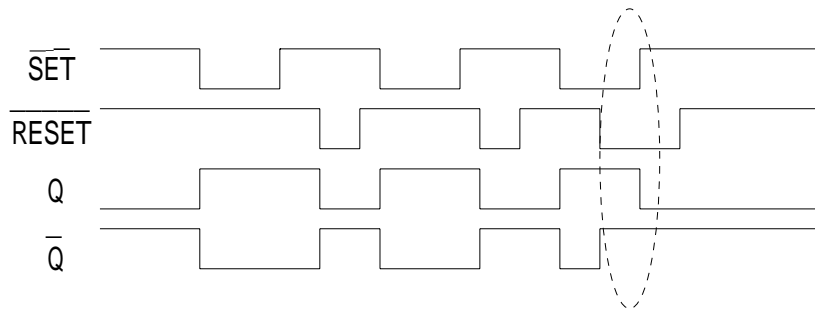


図 2.2 SR ラッチのタイムチャート

## 2.2 CR 発振回路

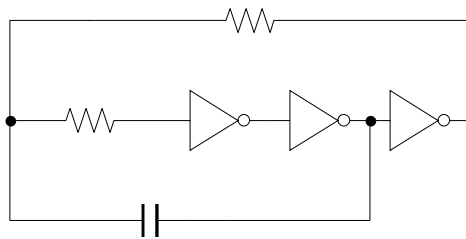


図 2.3 CR 発振回路

CR 発振回路を用いることで、所望の周波数のパルスを発振させることができる。 $R_1$ と  $C$  の値よりこの回路のパルスの周波数が決まる。 $R_2$ は保護抵抗である。

$R_1$ を  $1M$ 、 $C$ を  $0.1\mu F$  とする。この場合の周期は大まかに計算することができる。

$$1.0 \times 10^6 \text{ [ } \Omega \text{ ]} \times 0.1 \times 10^{-6} \text{ [F]} = 0.1 \text{ [s]}$$

となる。よって周期は約  $0.1s$  が期待できる。しかしこれは大まかな数値であり、正確な周波数が必要な場合は他の方法（水晶振動子など）で発振回路を作るべきである。

## 2.3 デコーダ回路

デコーダ回路はコード変換回路であり、‘0’、‘1’の組み合わせで作られたデータ列を、決められた規則にしたがって出力するための回路であり、図 2.4 のブロック図のように、ある入力条件の場合のみデータを出力する回路である。

ここでは以下のブロック図に示すように、入力信号 A、B、C、D の BCD コードに対して  $Q_0$ 、 $Q_1$ 、 $Q_2$ 、 $Q_3$ 、 $Q_4$ 、 $Q_5$ 、 $Q_6$ 、 $Q_7$ 、 $Q_8$ 、 $Q_9$  の 10 進を出力するデコーダ回路を設計する。

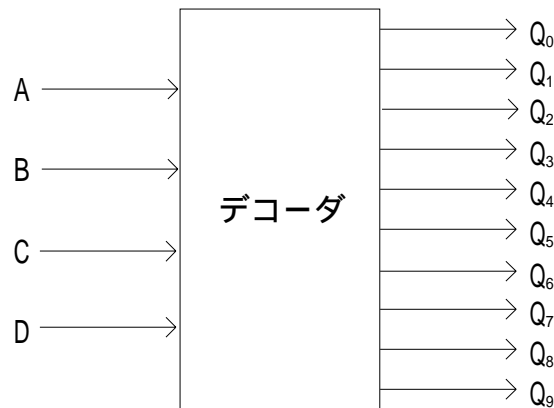


図 2.4 デコーダのブロック図

### 2.3.1 デコーダ回路の設計

表 2.2 は BCD コードから 10 進データへの変換動作を示している。表 2.2 から以下のような論理式が書ける。

$$\begin{array}{lll} Q_0 = \bar{A} \bar{B} \bar{C} \bar{D} & Q_1 = A \bar{B} \bar{C} \bar{D} & Q_2 = \bar{A} B \bar{C} \bar{D} \\ Q_3 = A B \bar{C} \bar{D} & Q_4 = \bar{A} \bar{B} C \bar{D} & Q_5 = A \bar{B} C \bar{D} \\ Q_6 = \bar{A} B C \bar{D} & Q_7 = A B C \bar{D} & Q_8 = \bar{A} \bar{B} C D \\ Q_9 = A \bar{B} \bar{C} D & & \end{array}$$

表 2.2 デコーダの変換動作

入力				出力									
A	B	C	D	Q <sub>0</sub>	Q <sub>1</sub>	Q <sub>2</sub>	Q <sub>3</sub>	Q <sub>4</sub>	Q <sub>5</sub>	Q <sub>6</sub>	Q <sub>7</sub>	Q <sub>8</sub>	Q <sub>9</sub>
0	0	0	0	1	0	0	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0	0	0	0	0	0	0
0	1	0	0	0	0	1	0	0	0	0	0	0	0
1	1	0	0	0	0	0	1	0	0	0	0	0	0
0	0	1	0	0	0	0	0	1	0	0	0	0	0
1	0	1	0	0	0	0	0	0	1	0	0	0	0
0	1	1	0	0	0	0	0	0	0	1	0	0	0
1	1	1	0	0	0	0	0	0	0	0	1	0	0
0	0	0	1	0	0	0	0	0	0	0	0	1	0
1	0	0	1	0	0	0	0	0	0	0	0	0	1

この論理式を簡単化するために、カルノー図を用いて簡単化する。出力データはすべて残さないといけないので、2つが重なることのないように考えると図 2.5 のように描かれる。よって、簡単化された論理式は、

$$\begin{aligned}
 Q_0 &= \bar{A} \bar{B} \bar{C} \bar{D} & Q_1 &= A \bar{B} \bar{C} \bar{D} & Q_2 &= \bar{A} B \bar{C} \\
 Q_3 &= A B \bar{C} & Q_4 &= \bar{A} B C & Q_5 &= A \bar{B} C \\
 Q_6 &= \bar{A} B C & Q_7 &= A B C & Q_8 &= \bar{A} D \\
 Q_9 &= A D
 \end{aligned}$$

となる。これより NAND と NOT を用いて回路図を描く。



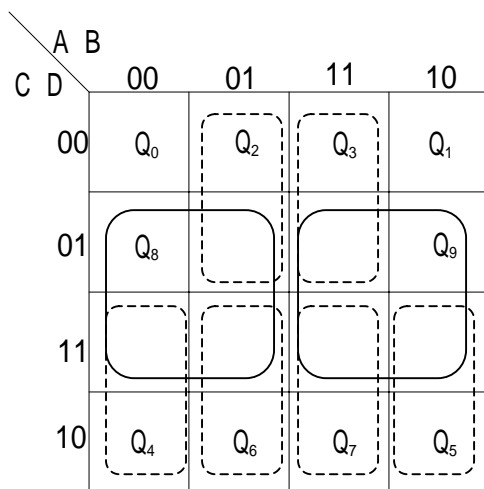


図 2.5 カルノー図

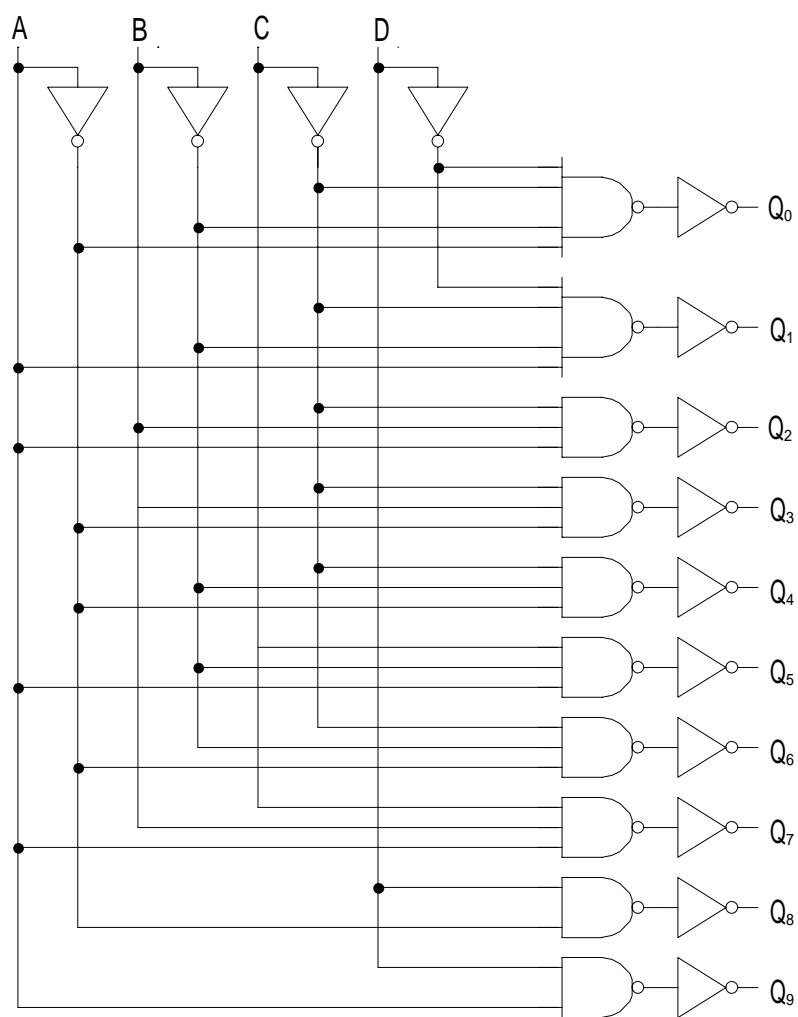


図 2.6 デコーダ回路

これらの条件より図 2.6 のような回路になる。実際に回路でデコーダを設計する際は、できるだけ少ないゲートで、なるべく NAND や NOT 中心の回路が望ましい。

### 3. 硬貨判別装置

今回の硬貨判別装置は 1 円から 500 円までの日本硬貨を自動販売機のように投入すると、合計が 99,999 円まで加算表示できるように考えた。また、デジタル貯金箱としても利用できる。硬貨判別装置は、硬貨が入ったことを知るセンサーが必要である。また、センサーで検知された硬貨が何なのかを知るためには硬貨を区別する回路が必要である。そして、検出された硬貨の価格を加算し、表示する回路が必要である。

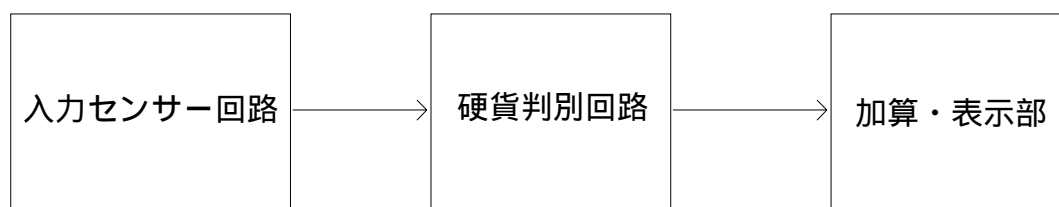


図 3.1 硬貨判別装置のブロック図 1

図 3.1 に概略のブロック図を示した。加算・表示部は時計などにも使われる 7 セグメント表示回路を使うことにした。入力センサー回路、硬貨判別回路の仕組みを参考書などで調べた結果、大きさ（硬貨の直径）で硬貨の種類を判別する回路を参考にした。図 3.1 の概略をさらに詳しく書いたブロック図を図 3.2 に示す。

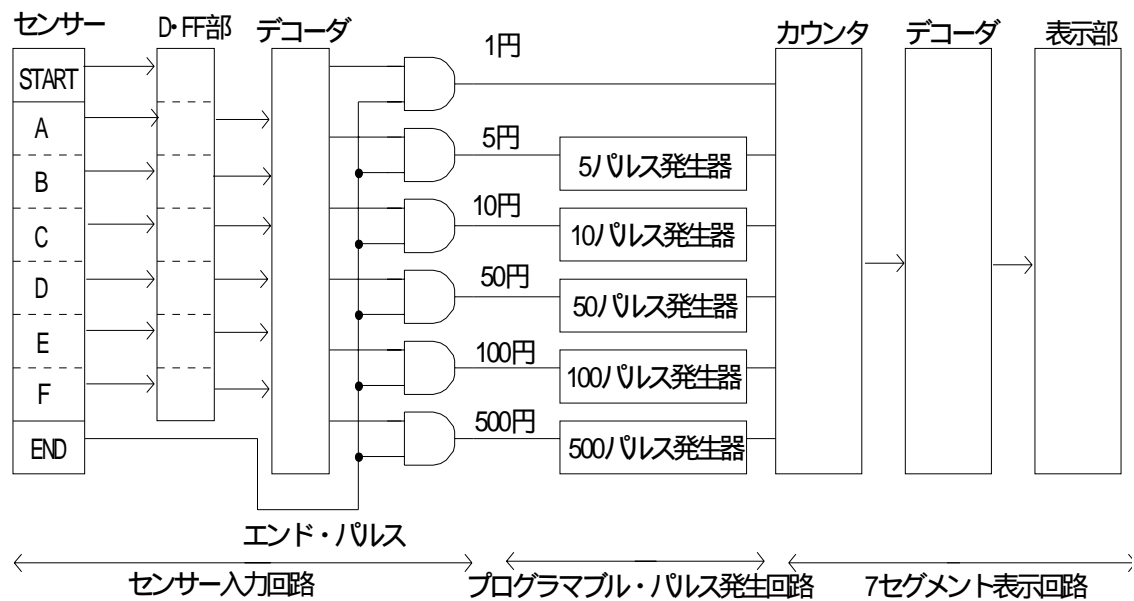


図 3.2 硬貨判別装置のブロック図 2

このブロック図より硬貨判別装置を入力センサー回路、プログラマブル・パルス発生回路、7セグメント表示回路の3つのブロックに分け、別々に設計・実装・評価し、最後に3つのブロックを接続して全体をまとめることにした。

### 3.1 センサー入力回路

センサーを調べたところ、フォト・インタラプタという発光ダイオードとフォト・トランジスタを用いたセンサーがあった。硬貨の判別は前述したように大きさ（直径）で判別する。また、フォト・インタラプタで検知された信号をD・FFを使うことで入力信号を保持することができる。フォト・インタラプタはスタート信号からエンド信号まで使うので8個必要となる。D・FFで保持された信号を2.3で述べたデコーダ回路を用いて識別する。

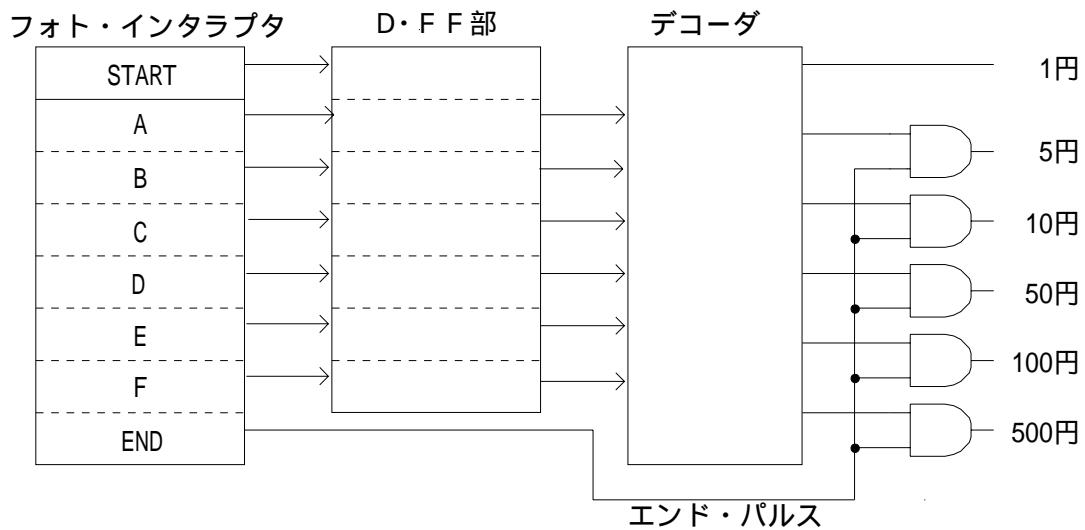


図 3.3 センサー回路のブロック図

上のブロック図のように START から END までのフォト・インタラプタを硬貨が通ると、まずスタート・パルスが D・FF 部を一度リセットする。そして A から B で検知したパルスを D・FF が記憶する。次の硬貨が START を通過するまで、D・FF 部には前のデータが保持され続けるので、デコーダからの出力も出力され続ける。ここで、エンド・パルスと出力を AND で出力することで、1 パルスとして出力することができる。

以下ではフォト・インタラプタ部、D・FF 部、デコーダ回路に分けて詳しく説明する。

### 3.1.1 フォト・インタラプタ

図 3.4 の点線内がフォト・インタラプタで、TOSHIBA の TLP800A を使った。R<sub>1</sub> は LED の保護抵抗で大きな電流が流れ LED が壊れるのを防ぐためにある。そこで、必ず直列に抵抗をつなぐ必要がある。LED に流れる電流を 15mA とするためには、

抵抗 R<sub>1</sub> にかかる電圧は

$$5V - 2V (LED) = 3V$$

抵抗に流れる電流と、LED に流れる電流は直列により等しいので

$$I_{R1} = 15\text{mA}$$

よって、 $R_1$ はオームの法則より

$$R_1 = 3\text{V} / 15\text{mA}$$

$$R_1 = 200$$

したがって、 $R_1$ は約 200 の抵抗を用いる。

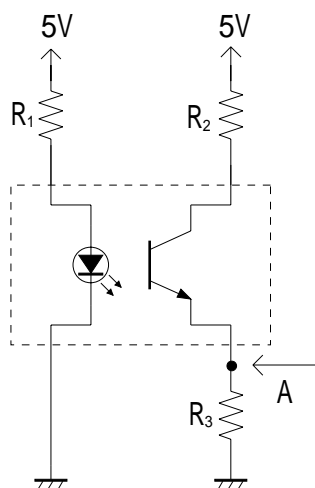


図 3.4 フォト・インタラプタ

フォト・インタラプタの出力（図 3.4 の A 点の電圧）は、電源が入ると発行ダイオードからの光（赤外線）をフォト・トランジスタが受けて、A のジャンクションは常に ‘H’ になっており、赤外 LED とフォト・トランジスタの間に硬貨が通ると光が遮られ、フォト・トランジスタに電流が流れなくなり ‘L’ になるので、硬貨を検知した時に ‘H’ の出力を望むなら図 3.4 の A のジャンクションに NOT を繋いで出力する。センサーの出力電圧はゆっくり変化するので、そのままデジタル回路へ入力するのは誤動作が起こる危険性がある。そこで A に繋げる NOT は入力特性がヒステリシスをもつシュミット・インバータ(74HC14)を使用する。

### 3.1.2 D・FF 部（ラッチ回路）

この回路は、各フォト・インタラプタの入力時間に差があり、デコードができなくなるので、フォト・インタラプタで検知された信号を一時的に記憶する部分であり、次の硬貨がフォト・インタラプタ（START）を通貨するまで記憶する。図 3.5 のように D と Preset を常に 'H' にして、フォト・インタラプタからの入力信号を Clock に入力すれば Clear が 'H' になるまで信号を記憶しておくことができる。また、Clear にスタート・パルスを入力すれば、スタート時に D・FF 部はすべて Clear される。

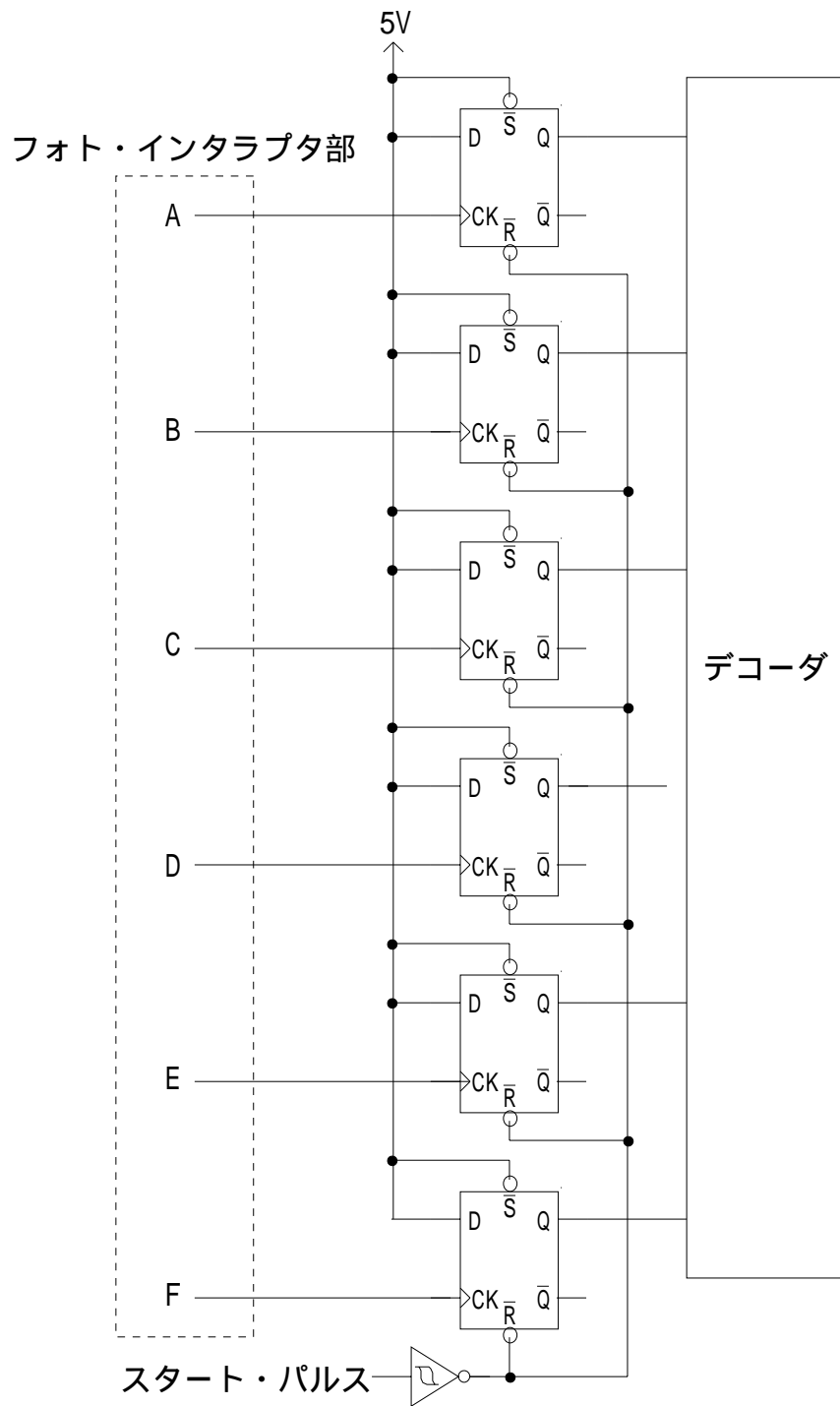


図 3.5 D・FF 部の回路



### 3.1.3 デコーダ回路

2.3 で述べたデコーダ回路の設計のように、ここでは、フォト・インタラプタで入力される信号を識別するための回路を設計する。また、スタート・パルス、エンド・パルスを用いた回路を作る。

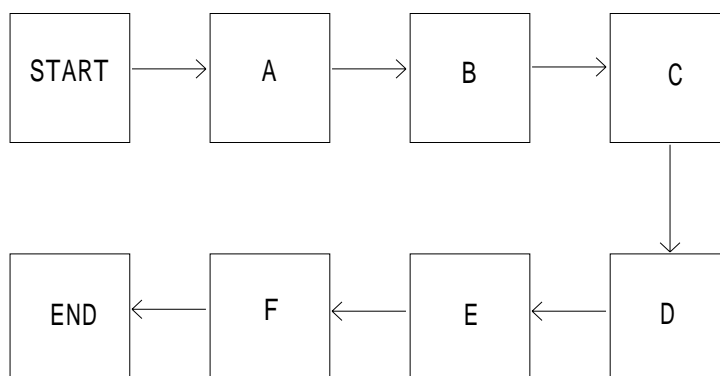


図 3.6 フォト・インタラプタの配置

表 3.1 デコーダ真理値表（硬貨識別回路用）

	A	B	C	D	E	F
1 円	H	L	L	L	L	L
50 円	H	H	L	L	L	L
5 円	H	H	H	L	L	L
100 円	H	H	H	H	L	L
10 円	H	H	H	H	H	L
500 円	H	H	H	H	H	H

図 3.6 に示すように、8 個のフォト・インタラプタに硬貨が通るように設計する。硬貨の直径が一番小さいのが 1 円、一番大きいのは 500 円である。表 3.1 は硬貨の直径の小さい順に並べており、フォト・インタラプタ部からの出力は常時 'L' と設計するので、フォト・インタラプタ部から F の配置を工夫することにより、上の表の真理値表が得られる。また、スタート・パルスとエンド・パルスは 1 枚の硬貨が通る度に 'H' を出力するようにする。この真理値表から、

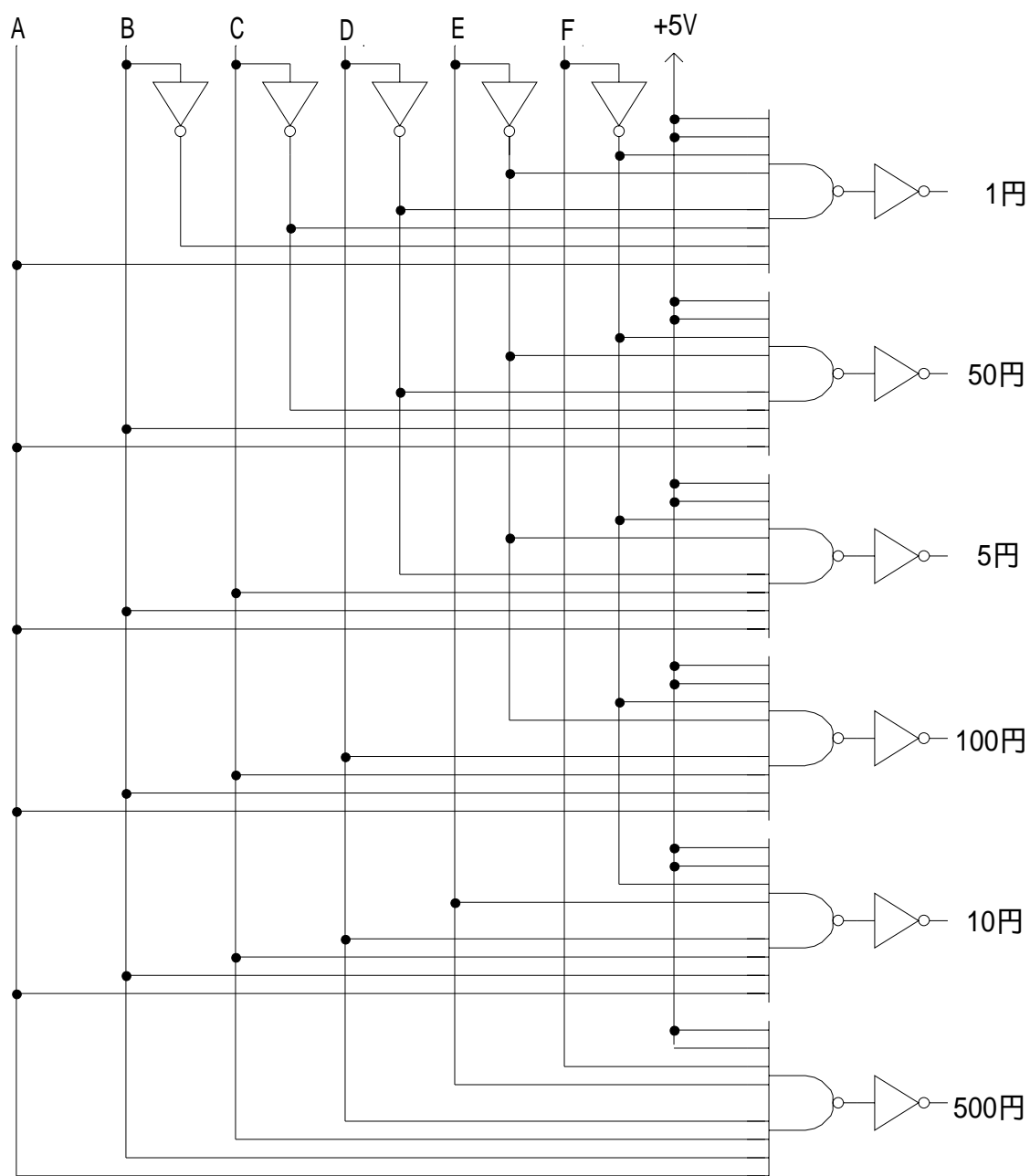


図 3.7 デコーダ (硬貨判別装置用)

このような回路構成になる。デコーダは設計する人によってさまざまな方法があるので、これが最善の方法であるとは限らない。

このデコーダの後に、図 3.3 のブロック図のように、エンド・パルスとの AND でセンサー入力回路から 1 つのパルスを出力する。エンド・パルスを最後に使うのは、以前に説明したように D・FF で保持されているため、デコーダの出力は常に出力される状態だからである。

### 3.2 プログラマブル・パルス発生回路

図 3.2 のブロック図に示すように、5 つのパルス発生器が必要である。プログラマブル・パルス発生回路は、この 5 つの機能を 1 つにまとめた回路である。1 つのパルスで硬貨（1 円、5 円、10 円、50 円、100 円、500 円）を表示するため、1、5、10、50、100、500 個のパルス列を出力する回路を作成する。

最初に multiSIM を用いてパルス発生回路全体をシミュレーションしてみた。しかし、成功しなかった。原因として考えられるのは、ゲート数が多すぎてシミュレーションに非常に時間がかかる、multiSIM の細かな設定にミスがある、あるいは、ソフト自体が対応できないなど何らかの理由が考えられる。このことから、パルス発生回路を細かく分けてシミュレーションすることにした。そして一度、仮に実装して評価することにした。

1 円の場合の 1 パルスは、そのパルスでそのまま 7 セグメント表示回路に入力すればカウントするので、プログラマブル・パルス発生回路を通す必要はない。パルス発生回路から出力すべきパルスのパターンは残り 5 つの場合になる。5 円、10 円、50 円、100 円、500 円のパルスを 7 セグメント表示させるために 5、10、50、100、500 個のパルス列を出力させる必要がある。最低 5 パルスから最大 500 パルス出力させるためには 10 進カウンタが 3 個必要になる。

次に 5 つ（5 円、10 円、50 円、100 円、500 円）の入力信号から 10 進カウンタを LOAD するための回路が必要である。ここで 2 つのフリップ・フロップ回路を用いて入力されたパルスの立ち上がりを検出する。ここで先ほど述べた 74HC163 で作成された 10 進カウンタが Load され、システム・クロックと同期したパルスによってパルス数を制御する。3 個の 10 進カウンタはそれぞれ常に動作している。そして、必要なときだけ使用するように 5 つの入力信号を利用して制御する。

5 つの入力信号にラッチ回路を用いて 10 進カウンタを制御する。実際に出力されるパルスはシステム・クロックである。同期している 3 つの 10 進カウンタと R<sub>3</sub>によってパルスの数を制御する仕組みになっている。以下に、「10 進カウンタ」「ラッチ回路」「5 進 / 10 進切換部」「スタート・パルス立ち上がり検出回路」「システム・クロック」について詳しく説明する。

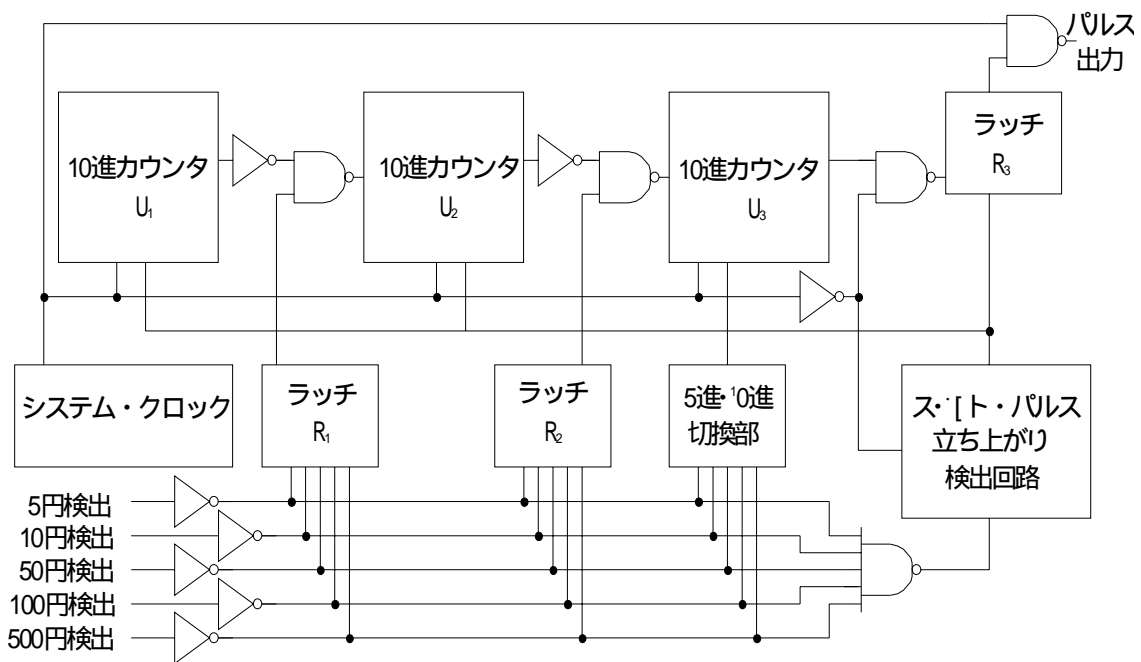


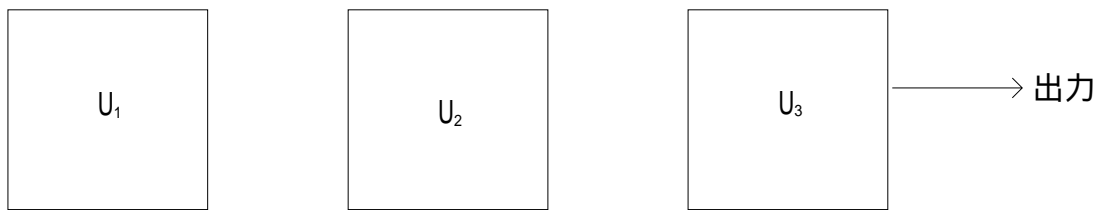
図 3.8 プログラマブル・パルス発生回路ブロック図

### 3.2.1 10 進カウンタ

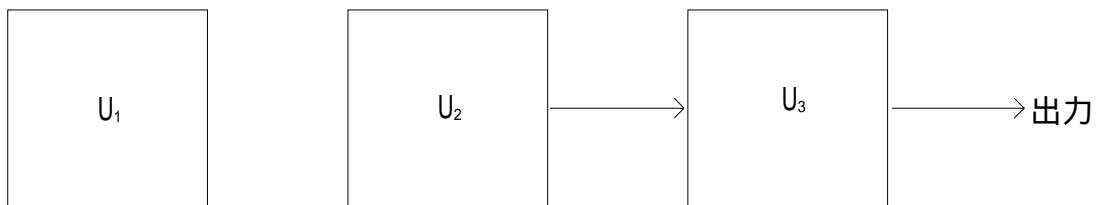
図 3.8 の 10 進カウンタ ( $U_1$ 、 $U_2$ 、 $U_3$ ) の一連の動作について、図 3.9 に簡単に示した。このように、前のカウンタの影響を受けることで、多くの数をカウントすることができる仕組みになっている。

図 3.9 では、16 進カウンタである 74HC163 を利用して 10 進カウンタとして用いた回路図である。これは、10 進カウンタである 74HC160 の Carry Out に微小のヒゲがあり、また現在は生産されていないことから、この方法を用いた。16 進カウンタを 10 進カウンタとして用いる方法はいくつかある。例えば、入力 A、B、C、D にデータ '0110' を入力し LOAD すれば 10 進カウントする。しかし、この方法では LOAD が入って 1 度しか 10 進をカウントせず、それ以降は 16 進カウンタに戻ってしまう。図 3.8 のように設計した場合、10 パルス以上出力しようとする、この方法では誤作動を起こしてしまうので、この方法は  $U_3$  だけに使用している。 $U_3$  は 5 進、10 進のどちらかを 1 度だけカウントすればよい回路である。残りの  $U_1$ 、 $U_2$  は、常時 10 進カウントすることが絶対条件となるので、図 3.10 のような回路法を使用することにした。

● 5、10 パルスカウントする場合



● 50、100 パルスカウントする場合



● 500 パルスカウントする場合

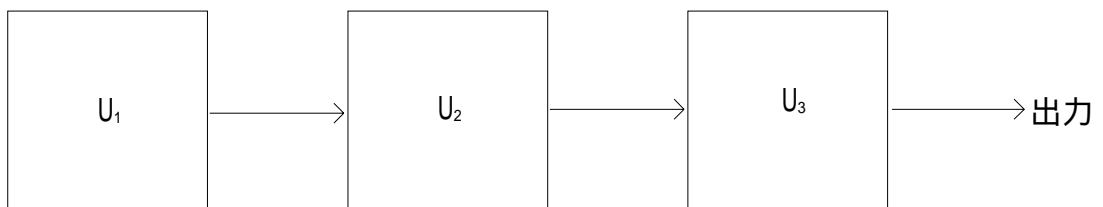


図 3.9 10 進カウンタの動作の流れ

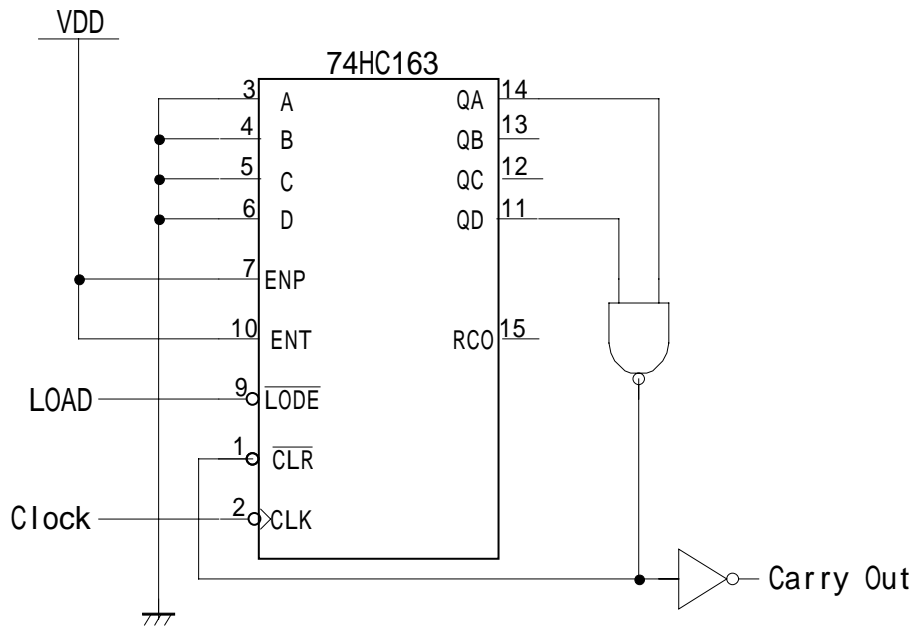


図 3.10 10 進カウンタ

表 3.2 16 進カウンタの真理値表

	A	B	C	D
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	0	0	1	0
5	1	0	1	0
6	0	1	1	0
7	1	1	1	0
8	0	0	0	1
9	1	0	0	1
10	0	1	0	1
11	1	1	0	1
12	0	0	1	1
13	1	0	1	1
14	0	1	1	1
15	1	1	1	1

表 3.2 の真理値表よりカウント '9' のとき、データは '1001' である。A、D とともに '1' になるのはこのときが最初である。この特性を活かし A、D の NAND を Clear に入力すれば常に 10 進をカウントする。また、NAND からの出力の反転が Carry Out として利用することができる。ただし、注意すべき点は電源が入れば永久に 10 進をカウントするという点である。また Clear を利用することができない。この回路は後に出てくる 7 セグメント表示回路にある 10 進カウンタでは使用することができない。詳しくは 3.3 で説明する。

### 3.2.2 ラッチ回路

図 3.8 に示している 3 つのラッチ回路はそれぞれ目的が違う。図 3.11 の R<sub>1</sub> は 500 パルス出力したいときに U<sub>1</sub> の影響を U<sub>2</sub>、U<sub>3</sub> に与えるための回路である。500 パルス検出に 'L' が入ると 'H' が出力される。'H' が出力された場合、図 3.8 のように 10 進カウンタの Carry Out との NAND を次のカウンタの ENP に入力する。図 3.10 の ENP を VDD から外して繋げることで ENP が 'H' のときだけカウントすることになる。よって R<sub>1</sub> が 'H' を出力すれば、U<sub>1</sub> の Carry Out の影響を U<sub>2</sub> が受けることになる。機能的には同じである図 3.12 の R<sub>2</sub> の場合 500 パルスはもちろん、50、100 パルスをカウントしたいときに 'H' を出力する。残りの 5 パルス、10 パルスは U<sub>3</sub> だけでカウントを出力できる。

図 3.13 の R<sub>3</sub> はプログラマブル・パルス発生回路から出力されるパルスを制御する回路である。入力される U<sub>3</sub> の Carry Out はすべての 3 つのカウンタがすべてカウントしたと同時に 'H' を出力し、システム・クロックと同期して R<sub>3</sub> に 'L' として入力される。この 'L' が入力されることで出力は LOAD がはいつて 'H' になっていた状態から 'L' になる。この出力の後に、システム・クロックの NAND で出力することで、システム・クロックを所望のパルスで出力することができる。

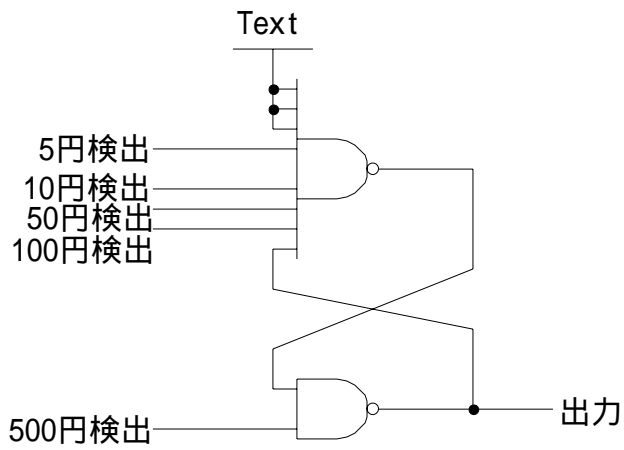


図 3.11 ラッチ回路 (R<sub>1</sub>)

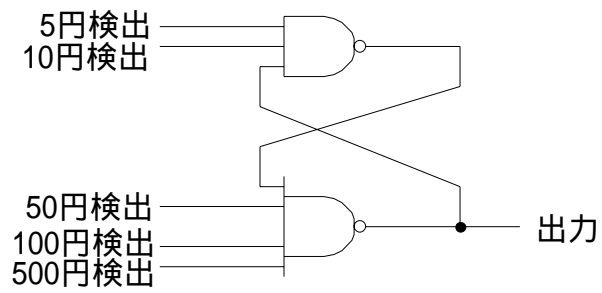


図 3.12 ラッチ回路 (R<sub>2</sub>)

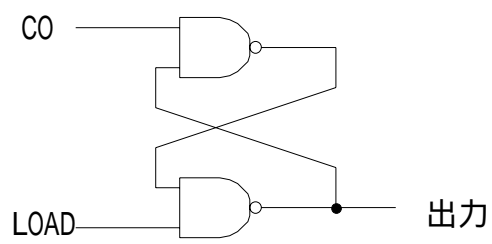


図 3.13 ラッチ回路 (R<sub>3</sub>)



### 3.2.3 5進 / 10進切換部

5つの入力信号によってU<sub>3</sub>の16進カウンタを5円、50円、500円の場合は5進カウンタに切り換え、10円、100円の場合は10進カウンタに切り換える。表3.2の真理値表よりカウント‘6’と‘11’を利用すれば10進、5進カウンタを作ることができる。カウント‘6’のデータ‘0110’とカウント‘11’のデータ‘1011’の共通なデータは‘C’で‘1’ある。よって16進カウンタ74HC163の入力‘C’は常に‘1’の状態(VDDに繋ぐ)にし、その他の入力は図3.14のような回路で接続する。

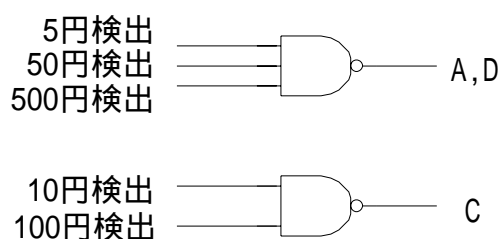


図 3.14 5進 / 10進回路

### 3.2.4 スタート・パルス立ち上がり検出回路

スタート・パルス立ち上がり検出回路はプログラマブル・パルス発生回路のカウンタとパルス出力をスタートさせる‘LOAD’信号を意味する。LOADは‘L’なので図3.15のように1つ目のD・FFのQと2つ目のD・FFの $\bar{Q}$ のNANDを出力すればスタート・パルスの立ち上がりを‘L’として出力することができる。図3.16にタイムチャートを示す。

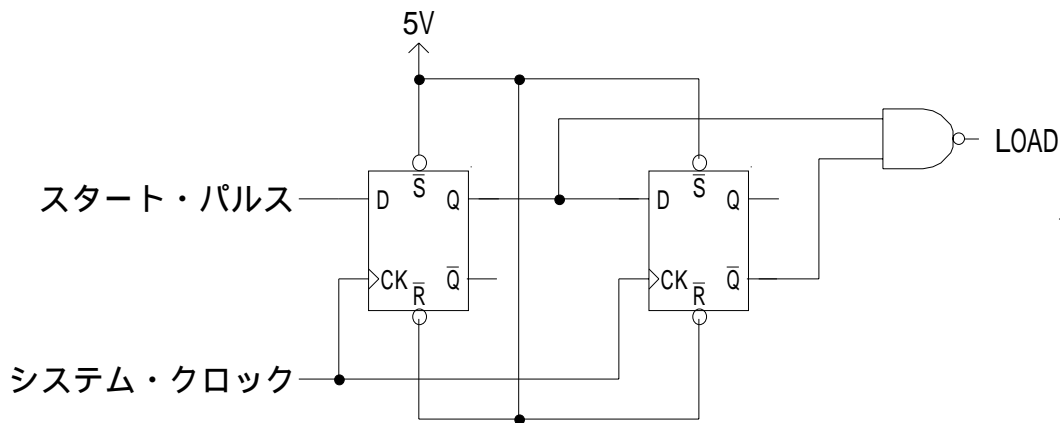


図 3.15 スタート・パルス立ち上がり検出回路

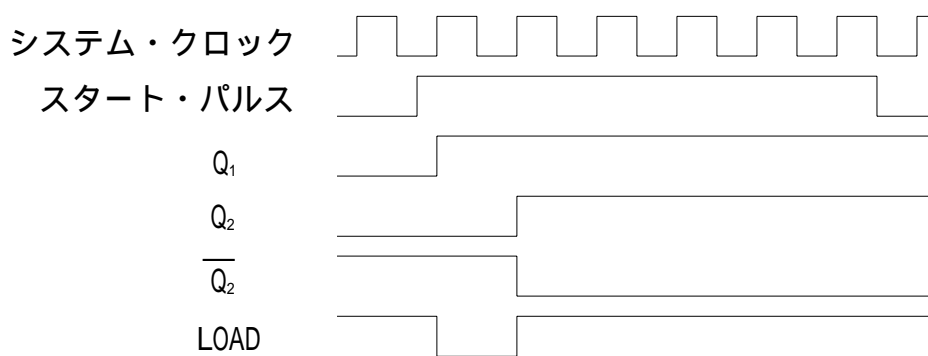


図 3.16 スタート・パルス立ち上がり検出回路のタイムチャート

### 3.2.5 システム・クロック

2.2CR 発振回路で述べたクロックの発振法を用いてシステム・クロックを作る。今回のシステム・クロックの周期はそれほど重要でないので、 $R_1$ は 100k、 $C$ は 1000pFを使った。また、保護抵抗である  $R_2$ は 10k 使用した。

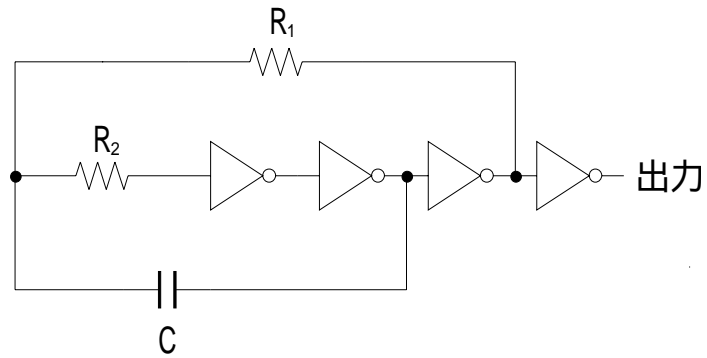


図 3.17 システム・クロック回路図

### 3.3 7 セグメント表示回路

7 セグメント表示回路には「7 セグメント数字表示器」、表示器用の「7 セグメント・デコーダ」、データを加算し、カウントする「10 進カウンタ」がある。また、リセット機能を付けるので「リセット回路」も付け加える。リセット回路は 10 進カウンタの Clear を利用することで可能となる。図 3.18 がブロック図である。以下にこの4つの回路について詳しく説明する。

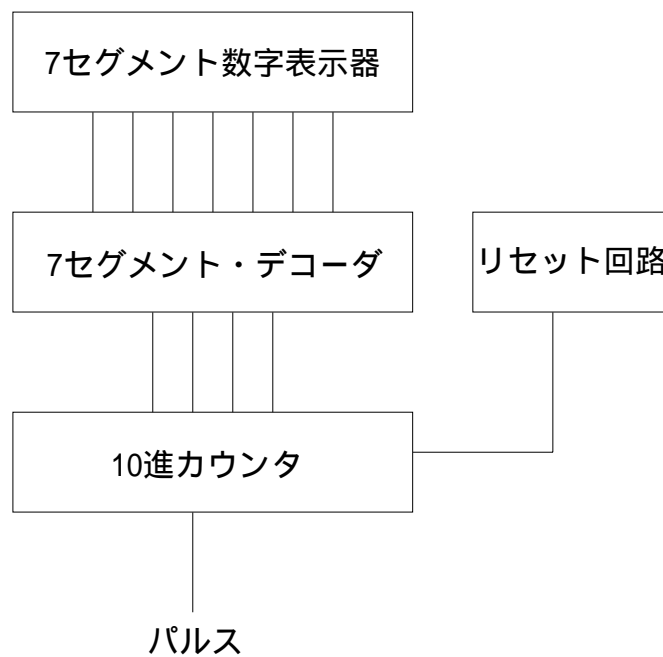


図 3.18 7 セグメント表示回路のブロック図

### 3.3.1 7セグメント数字表示器

7セグメント数字表示器を選ぶ際に注意することは「コモンカソード」、  
「コモンアノード」と2種類の特性を持っているところである。どちら  
かを選ぶことで、3.3.2の7セグメント・デコーダが決まってくる。また  
数字表示器はLEDなので直接入力することは避けなければならない。  
3.1.1のフォト・インタラプタでも説明したように、LEDの最大定格の特  
性を調べて直列に抵抗を繋げる。今回の表示器にはSHARPのGL8P03  
(コモンカソード)を使用した。電流を8mA程度流すことにしたので抵  
抗は470Ωを使用した。図3.19に回路図を示す。

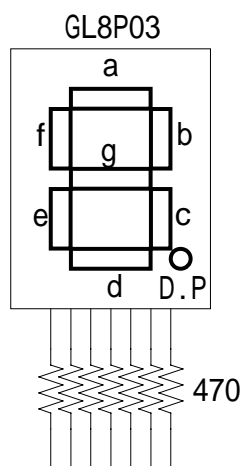


図 3.19 数字表示器

### 3.3.2 7セグメント・デコーダ

数字表示器がコモンカソード型であるから、7セグメント・デコーダも  
コモンカソード型を選ぶ必要がある。コモンカソード型は‘H’でLED  
が点灯する仕組みになっている。コモンアノード型は‘L’である。よっ  
て、数字表示器と7セグメント・デコーダの型が違うとうまく動作しな  
い。7セグメント・デコーダは表3.3の真理値表のようにそれぞれの入力  
パターンによって出力データが数字表示器を点灯するように考える。

今回は、コモンカソード型の74HC4511APを使用した

表 3.3 7セグメント・デコーダ真理値表

表示器	INPUT				OUTPUT						
	A	B	C	D	a	b	c	d	e	f	g
0	L	L	L	L	H	H	H	H	H	H	L
1	H	L	L	L	L	H	H	L	L	L	L
2	L	H	L	L	H	H	L	H	H	L	H
3	H	H	L	L	H	H	H	H	L	L	H
4	L	L	H	L	L	H	H	L	L	H	H
5	H	L	H	L	H	L	H	H	L	H	H
6	L	H	H	H	L	L	L	H	H	H	H
7	H	H	H	H	H	H	H	L	L	L	L
8	L	L	L	H	H	H	H	H	H	H	H
9	H	L	L	H	H	H	H	L	L	H	H

### 3.3.3 10進カウンタ

この回路で用いる 10 進カウンタは 3.2.1 で述べたように、16 進カウンタを使用して 10 進をカウントする方法では利用できないことが分かった。その理由として、この 7 セグメント表示回路にオプションとして付けるリセットができないからである。この問題に自分の力では解決することができなかつたため、在庫の 74HC160 を使用することにした。問題は Carry Out にでるヒゲなのだが、仮実装で問題なく動作したことで、この IC を使用することにした。また、このカウンタは Clear 信号が入るまでデータを保持するので、入力するデータを加算する役割もある。

図 3.20 に 7 セグメント表示器の中の 2 桁表示回路を示す。実際には数字表示器は 99,999 円まで表示したいので 5 個使用することになる。

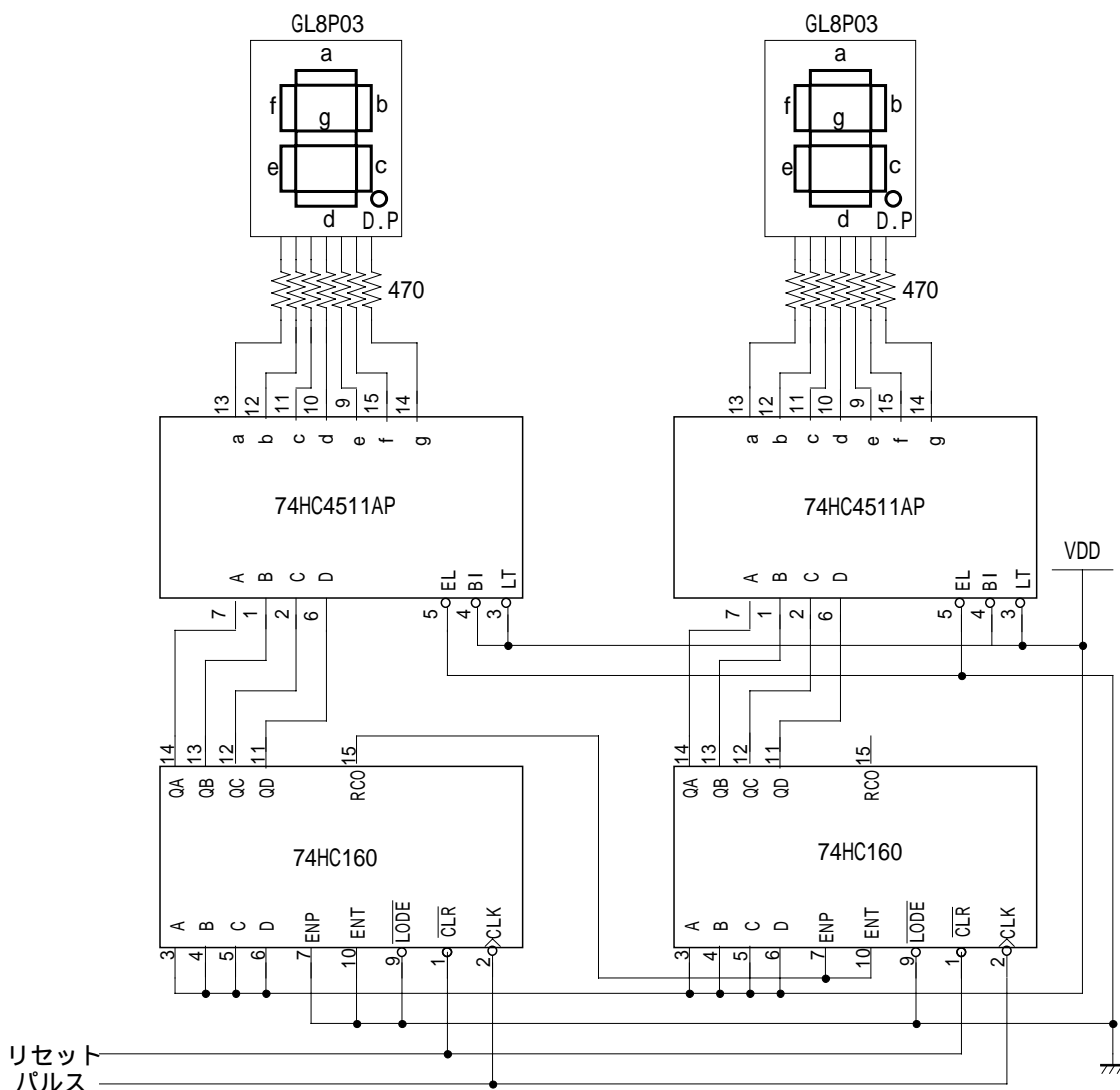


図 3.20 7セグメント表示回路

### 3.3.4 リセット回路

リセット回路は図 3.20 に示すが、すべての 10 進回路の Clear に信号を入力することで表示がすべて '0' になる仕組みである。リセット信号は常に 'H' の状態でスイッチを入れると 'L' になるようにする。スイッチは ON/OFF にするとき、どうしてもチャタリングによるノイズが発生してしまうので対策が必要である。ここでは抵抗とコンデンサを用いたシンプルな回路で構成する。図 3.21 に回路図を示した。抵抗には 33k、コンデンサには 0.01  $\mu$ C を使用した。また、ヒステリシスを持ったシュミット・インバータ(74HC14)を使用する。ヒステリシスとは 'L'

から 'H' と 'L' から 'H' に変化するときのスレッシュホールドレベルが異なる特性のことである。

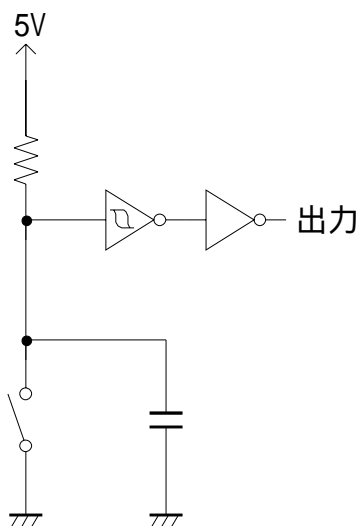


図 3.21 リセット回路

## 4 評価

硬貨判別装置を実際に実装して、測定をした結果を示す。前で述べた硬貨判別装置の 3 つのブロック「センサー入力回路」、「プログラマブル・パルス発生回路」、「7セグメント表示回路」を個別に評価した後、すべての回路を繋げて最終的な評価を行った。以下にこれらについて詳しく説明する。

### 4.1 センサー入力回路の評価

センサー入力回路を実装する場合に注意する点は、フォト・インタラプタをはんだ付けする際の時間と温度である。そして、センサー部分はアナログなので後の回路が誤動作をしないようにする。ここで使用しているデコーダが実際に動作することがこの回路の問題であったが、multiSIM によりシミュレーションした後実装したので、実際にセンサーに硬貨を感知させると間違いなく期待どおりのパルスを発生できた。図 4.1 は実装した回路である。

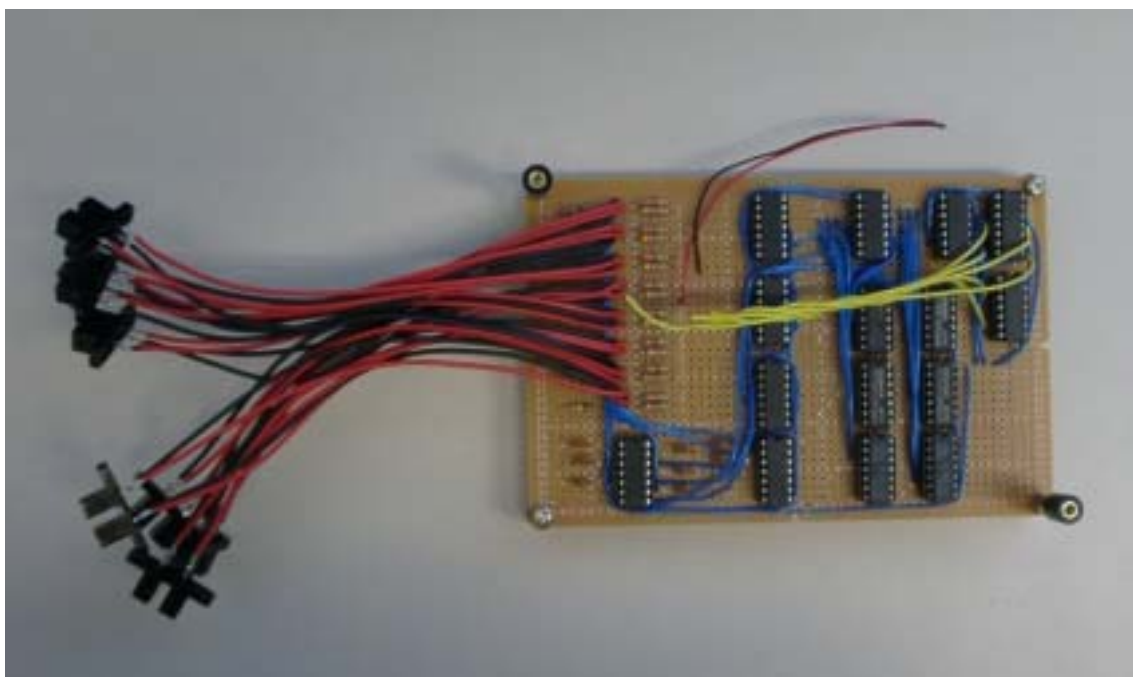


図 4.1 センサー入力回路

### 4.2 プログラマブル・パルス発生回路の評価



プログラマブル・パルス発生回路を評価するため、ここでの入力ファンクション・ジェネレータより 1Hz のパルスを使用し、オシロスコープで出力波形を見ることにした。3.2 で述べた方法で回路を実装したところ、10 パルス以上になると希望のパルス数より 10 パルスほど少ないパルスが出力されていた。この原因は図 3.8 のカウンタ  $U_3$  の Carry Out であることが分かった。3 つのカウンタがすべてカウントしたと同時に 'H' を出力する働きである。カウンタの Carry Out は次のカウンタの ENP へ入力されるので、最後の Carry Out は最初の Carry Out に比べて波形が大きくなるのである。波形を測定すると、図 4.2 に見られるように  $U_3$  の Carry Out ( $U_3$ ) がパルス出力の邪魔をしていることが分かった。そこで、全体の回路から考え、最後の Carry Out と各カウンタの ENP に入力される信号の AND をとることにした。これで最初のカウンタの Carry Out ( $U_1$ ) と同じ長さの波形が出力される。この方法を用いることでプログラマブル・パルス発生回路が正常に動くようになった。回路を変えてからの測定結果を図 4.3 に、その回路図と写真を図 4.4、図 4.5 に示す。

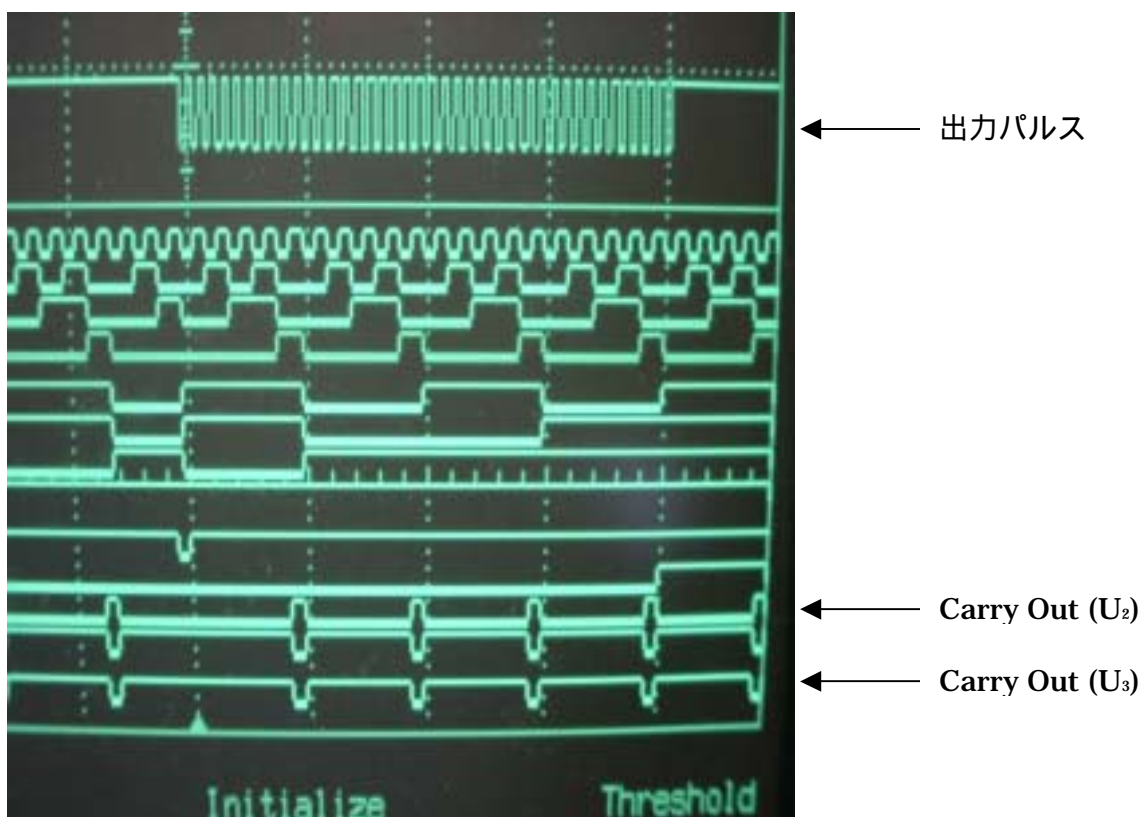


図 4.2 50 パルス測定時の結果

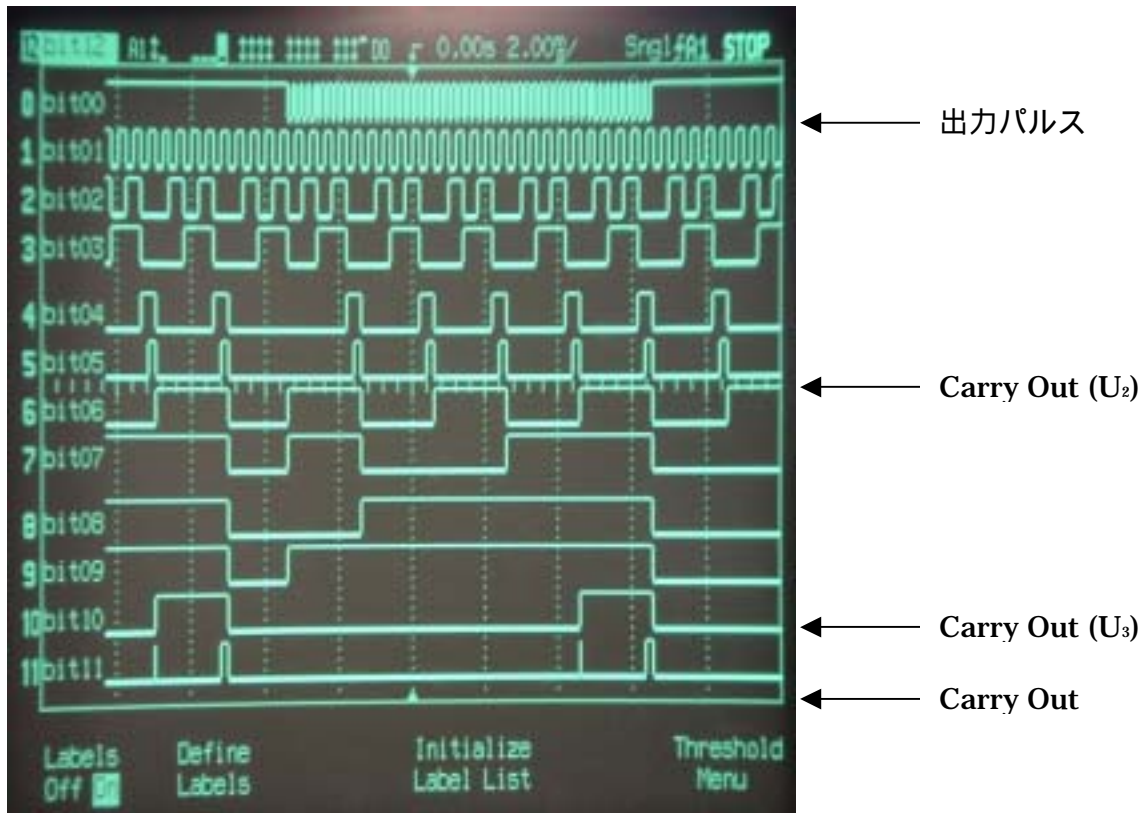


図 4.3 回路を変えた後の測定結果

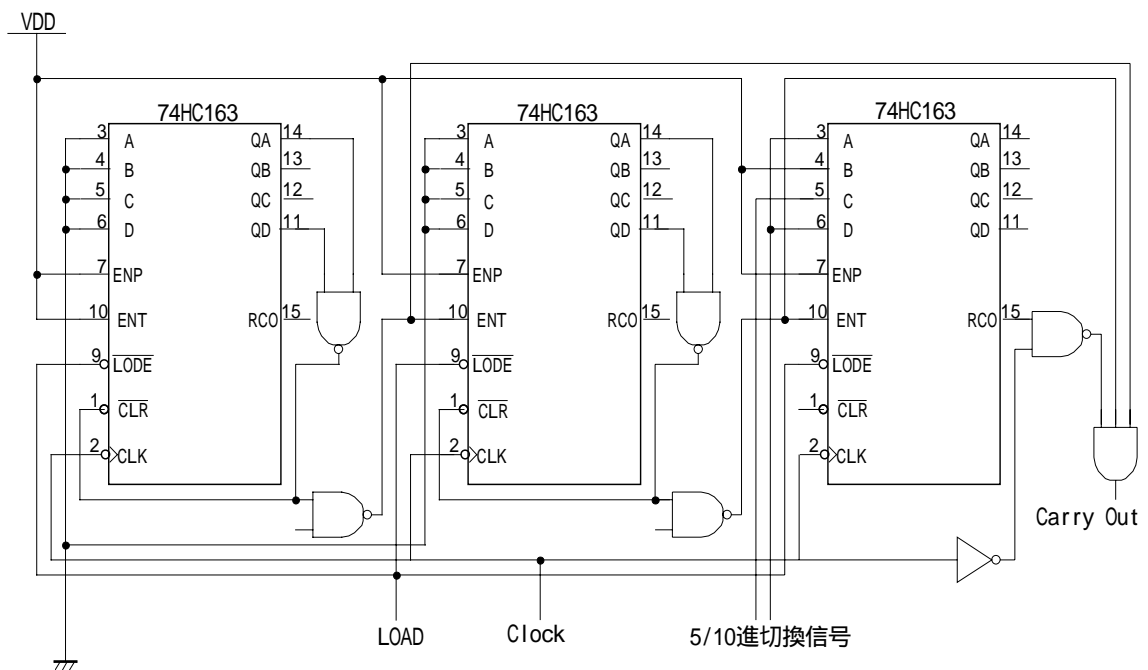


図 4.4 訂正後の回路図

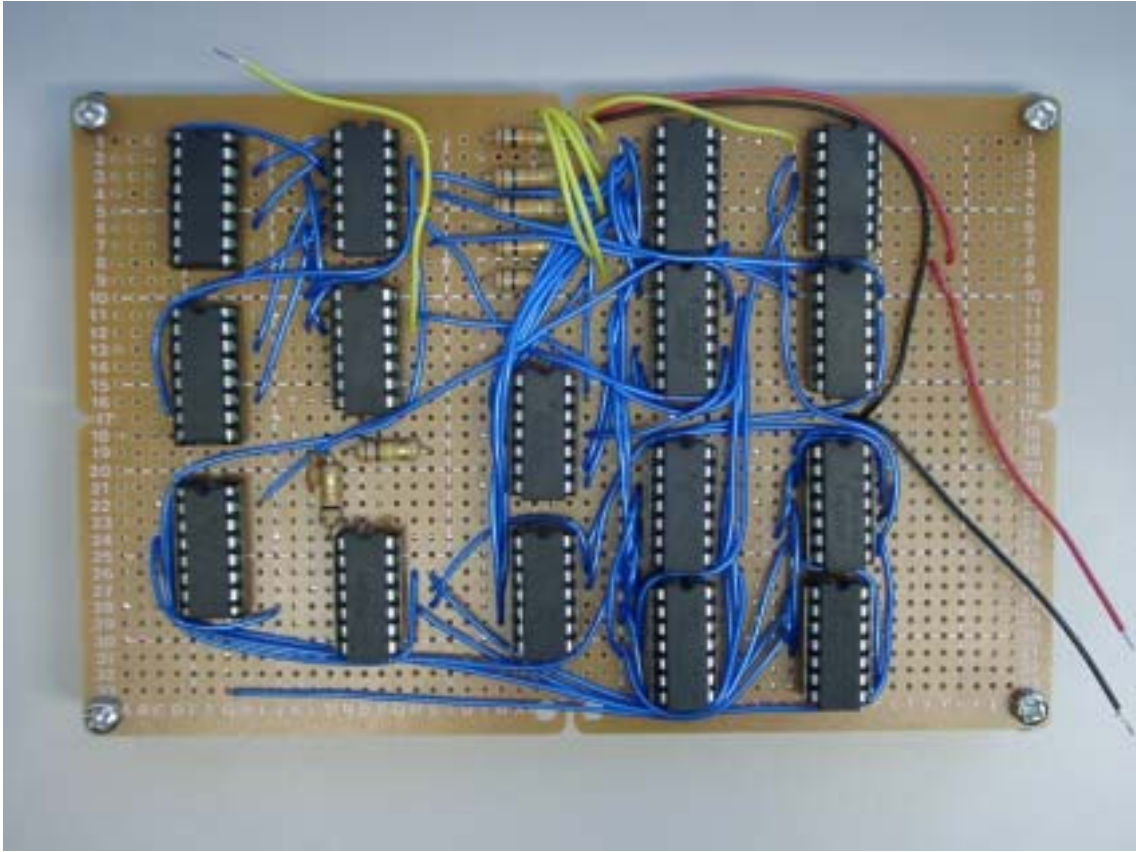


図 4.5 プログラマブル・パルス発生回路

### 4.3 7セグメント表示回路

7セグメント表示回路の入力はファンクション・ジェネレータを使用した。この回路は時計(秒)の表示器としても使えるので、1 Hz 入力して実際の時間と誤差がないか測定をし、リセットボタンが機能するか試した。実装した写真を図 4.6 に示す。

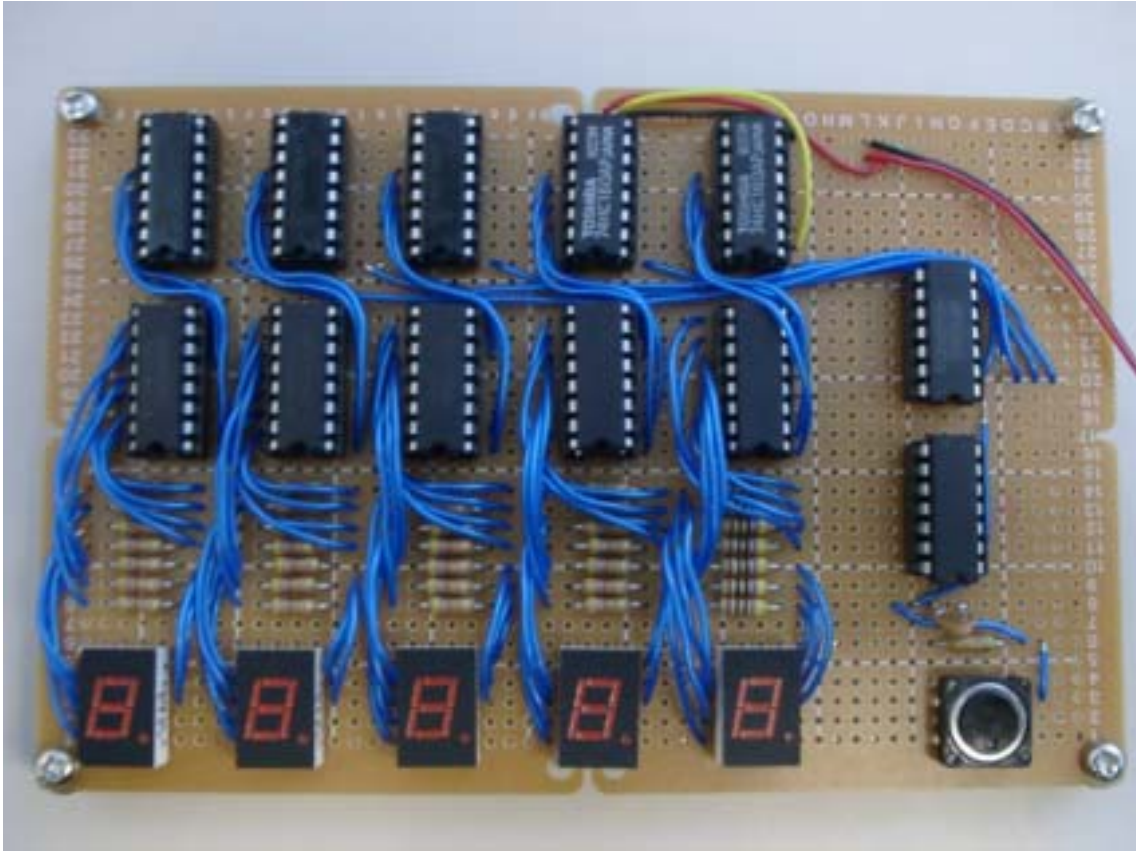


図 4.6 7セグメント表示回路

#### 4.4 硬貨判別回路

前に述べた 3 つの回路を実際に繋いで正しく動くか調べた。オシロスコープでは実際の正確な出力パルスは 50 パルスまでしか目測することができなかったので 100、500 パルスが実際に出力しているのかを測定した。結果、100 パルスは出力できたものの、500 パルスが 451 パルスしか出力されていないことが分かった。この原因はプログラブル・パルス発生回路のカウンタ部にあった。図 4.4 に示した回路のような Clear や ENP への接続では、2 つ以



上のカウンタを接続した場合、誤動作をすることが分かった。図 3.10 の 10 進カウンタはカウント '9' の出力を Clear に入力することで 10 進をカウントしていた。図 3.8 の  $U_2$  は  $U_1$  の Carry Out 時のみ動作する。図 4.7 のようにカウンタはすべて同期しており、Clock は Carry Out よりも周期が短い。カウント '9' がいった時、 $U_1$  が 10 カウントする前にカウントは '0' に戻ってしまう。これが原因となり実際より少ないパルスを発振していた。

そこで、図 4.8 のように  $U_1$ 、 $U_2$  で 100 カウントしたら  $U_2$  を Clear し、Carry Out を出力する回路へ訂正することにした。 $U_1$  の Carry Out ( $U_1$ ) と  $U_2$  の Carry Out ( $U_2$ ) を AND で出力することで 100 カウントしたことを表わすパルスを得ることができる。この信号を Clear、Carry Out の信号として使用すれば正常に動作することになる。この回路に訂正することで 3 つの回路は正常に動作した。図 4.9 に測定結果を示す。また、完成した回路を図 4.10 に示す。

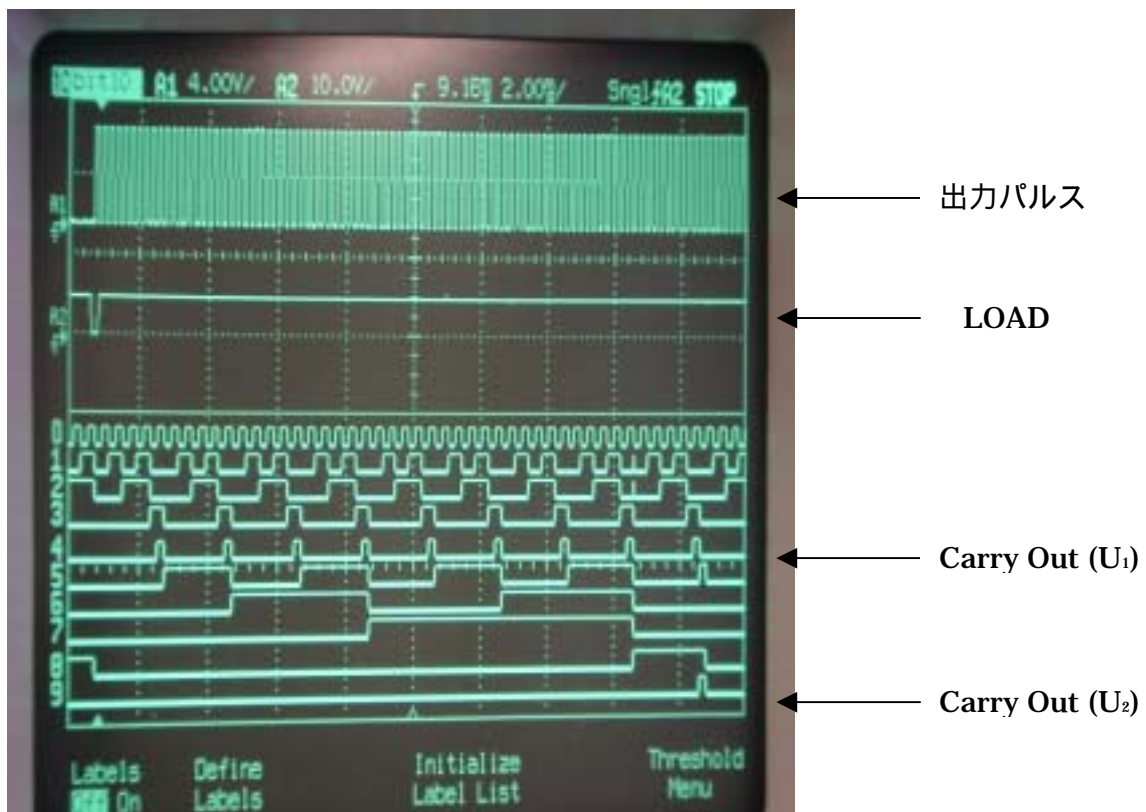


図 4.7 451 パルス出力測定

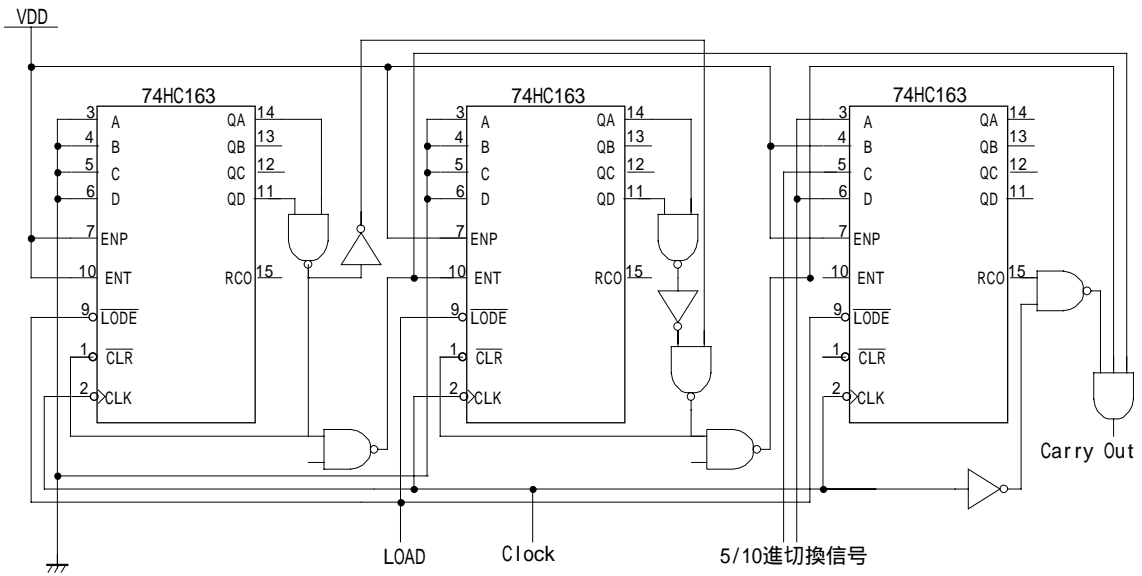


図 4.8 訂正後の回路 2

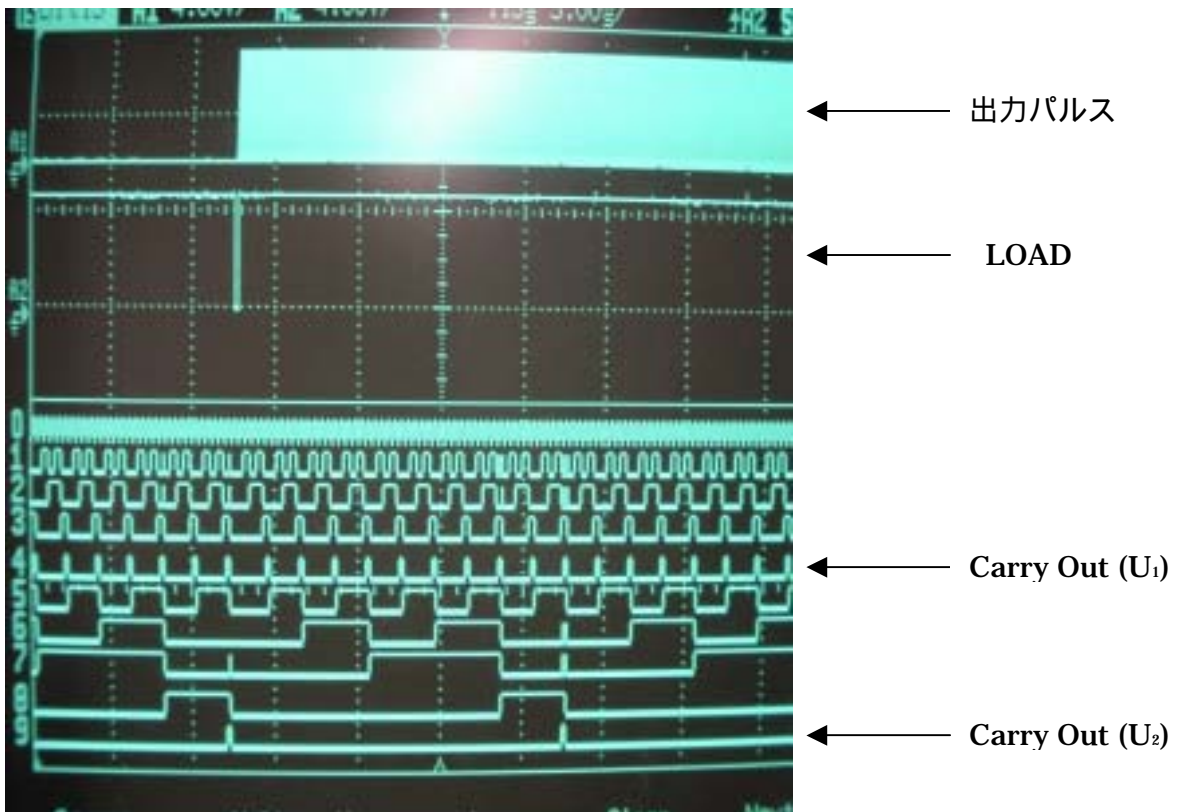


図 4.9 500 パルス測定

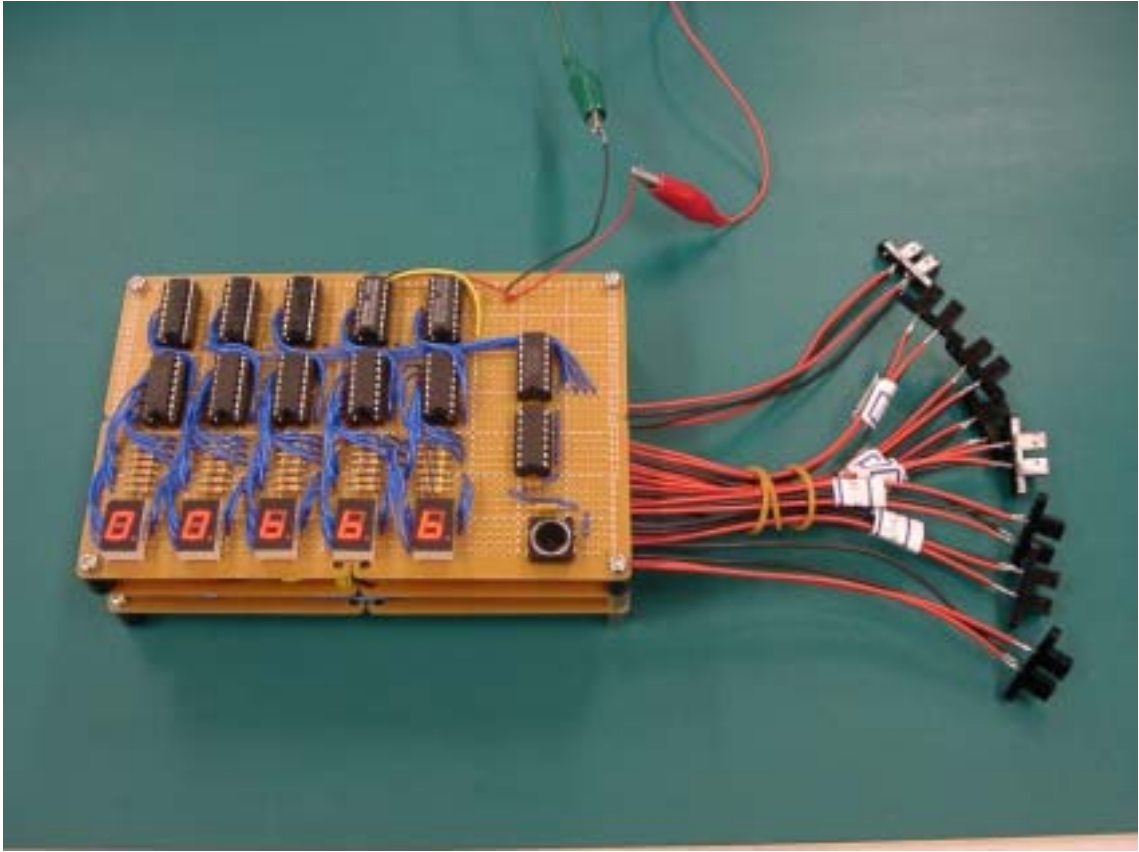


图 4.10 完成品

## 5 まとめ

今回の研究で苦労したのは、自分の考えたとおりに回路が動いてくれないことである。multiSIM による回路全体のシミュレーションが完璧なものではなく、仮実装と測定を繰り返したために余計な時間と苦労がかかってしまった。また、デジタル回路についての基礎知識が乏しいために簡単なミスを見逃すことも多々あり、回路設計の段階での確認を軽視していた。VHDL による設計をやるべきだったと反省している。現在のデジタル分野の業界では当然のように設計、実装、測定は個別に行われており、一人で一連の作業をするようなことはない。この経験は非常に重要で、今後の勉学に非常に役に立つことであると思う。次はより複雑な集積回路などの設計を試みたいと考えている。



## 6 謝辞

今回の卒業研究に対して、学科長というお忙しい立場でありながら多大なる指導をしてくださった原 央教授には厚く御礼を申し上げます。また、さまざまな助言を下された共同研究室の先生方および大学院生、4年生の皆さんに深く感謝します。

## 7 参考文献

湯山 俊夫著：デジタル回路の設計・製作 CQ 出版 (1999)

小林 芳直著：デジタル回路テイクオフ指南 CQ 出版 (1998)

中村 次男著：デジタル回路の基礎 日本理工出版会 (1998)

中村 次男著：デジタル回路設計法 日本理工出版会 (1990)