

# 卒業研究報告

## 題目

デジタル時計の設計・製作・評価

---

## 指導教員

原 央 教授

---

## 報告者

鈴江 健二

---

平成 14 年 2 月 7 日

高知工科大学 電子・光システム工学科

# 目次

1. はじめに	2
2. デジタル回路の基礎	3
2.1. 順序論理回路	3
2.1.1. 順序論理回路の仕組み	3
2.1.2. 状態遷移図と状態遷移表	4
2.2. フリップフロップ	5
2.2.1. フリップフロップの基礎	5
2.2.2. RS フリップフロップ	6
2.2.3. クロック制御 RS フリップフロップ	8
2.2.4. D フリップフロップ	9
2.2.5. T フリップフロップ	11
2.2.6. JK フリップフロップ	12
2.3. カウンタ	13
2.3.1. カウンタの基礎	13
2.3.2. 非同期式カウンタ	14
2.3.3. 同期式カウンタ	14
2.4. デコーダ	14
2.5. 分周回路	14
2.6. 水晶発振器	15
3. 汎用ロジック IC を用いたデジタル時計の設計・製作・評価	16
3.1. 目的	16
3.2. デジタル時計の概要	16
3.3. カウンタの設計	17
3.3.1. 60 進カウンタの設計	17
3.3.2. 24 進カウンタの設計	24
3.4. デコーダの設計	27
3.5. デジタル時計全体の設計	33
3.6. デジタル時計の製作	34
3.7. 評価	36
4. まとめ	38
5. 謝辞	39
6. 参考文献	40

## 1. はじめに

今日のエレクトロニクス技術はものすごい早さで発展し、コンピュータや携帯電話などに代表されるさまざまな電子機器や通信機器に使われ、また機能もインターネットなど非常に便利な機能をどこでも使えるようになってきている。さらに医療や福祉など非常に多くの分野で使用されている。最近ではロボット、情報家電製品、ゲーム機など応用されるものも多くある。今後はさらに便利なものを期待するユーザーの声に応えるためにも、新しい技術の開発に大きな期待がかかっている。

今日のエレクトロニクス技術の発展は半導体技術の発展によるものが大きく、その中でも半導体集積回路はSSI、MSI、LSI、VLSI、ULSI、と3年で4倍というムーアの法則通りにもものすごいスピードで集積度が上がり、小型化されている。この集積回路の発展により今日の私達の生活も大変便利なものになっている。集積回路は、ほとんどすべての電子機器に入っていてさまざまな機能を実現している。その集積回路の設計技術の基礎となるものにデジタル回路がある。今回、デジタル回路について知識を深めるために、具体例としてデジタル時計を取りあげて汎用ロジックIC(すべてSSI)を用いて、設計・製作・評価を行った。

## 2. デジタル回路の基礎

デジタル回路を設計するには、代表的な素子や回路であるフリップフロップ、カウンタや他の基本的な素子や回路を理解しデジタル回路がどのような仕組みで動作や演算などを行っているか基本的な動作原理について理解を深めることが必要である。以下に、デジタル回路の中でも、とくに大規模回路の場合に重要な順序論理回路をとりあげて学習したことをまとめる。

### 2.1. 順序論理回路 ( sequential logic circuits )

#### 2.1.1. 順序論理回路の仕組み

順序論理回路とは、何も入力に入力信号が与えられていない状態（初期状態）の時に、入力に入力信号を与えると出力は、その入力信号によって決定される。そして、その出力を記憶していて、その次に入力に入力信号を与えた時は、その入力信号だけが出力の出力信号を決めるのではなく、記憶されていた状態との2つによって決定される。記憶されている内部の状態を内部状態という。

順序論理回路には、Mealy 型と Moor 型の2つの種類がある。Mealy は出力が入力信号と内部状態によって決定される。Moor 型は出力が内部状態だけで決定される。

次に、順序論理回路の一般的なモデルを図 2.1. に示し、それを使って説明する。

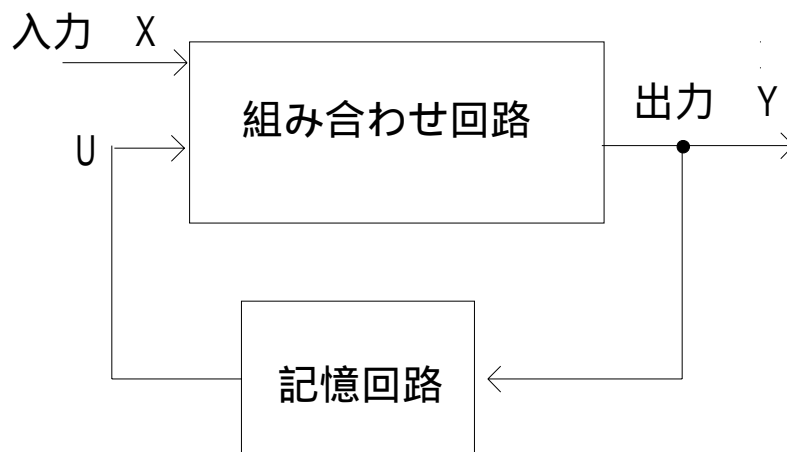


図 2.1. 順序回路の一般モデル

図 2.1. で組み合わせ回路に入力信号 X が与えられると、記憶回路に何も記憶されていないならば出力 Y は入力信号 X によって決定される。そして、出力信号 Y が記憶回路の入力信号となって Y が記憶される。そして、新しく入力信号 X が入力されると、出力 Y は、X と記憶回路からの入力信号 U とによって決定される。そして、記憶回路には出力 Y が記憶される。

### 2.1.2. 順序論理回路の動作

順序論理回路の動作を説明するには状態遷移図(state transition diagram)や状態遷移表(state transition table)が使われる。例として図 2.2. と表 2.1. に状態遷移図と状態遷移表を示す。

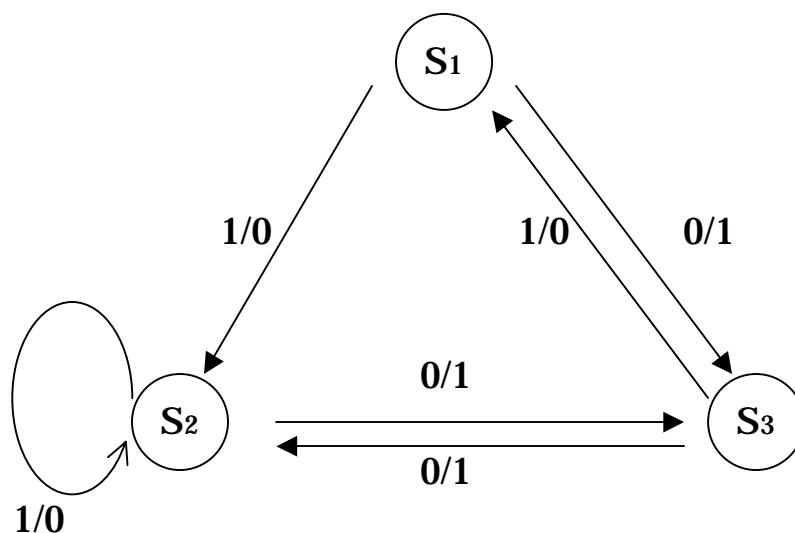


図 2.2. 状態遷移図

表 2.1. 状態遷移表

	入力 X			
	0	1	0	1
現在の状態	次の状態		出力 Z	
S <sub>1</sub>	S <sub>3</sub>	S <sub>2</sub>	1	0
S <sub>2</sub>	S <sub>3</sub>	S <sub>2</sub>	1	0
S <sub>3</sub>	S <sub>2</sub>	S <sub>1</sub>	1	0

まず、図 2.2.状態遷移図について説明する。状態遷移図では内部状態が で表され、その中に内部状態を表す記号が書かれている。入力による状態の変化は矢印で示され、横に入力とそれに対する出力が“ 入力/出力 ” の形で書かれている。

次に動作を説明する。

内部状態が状態 S1 の時に 0 が入力されると出力は 1 になり、内部状態が S3 に変わる。1 が入力されると出力は 0 になり、内部状態は S2 に変わる

内部状態が状態 S2 の時に 0 が入力されると出力は 1 になり、内部状態が S3 に変わり、1 が入力されると出力は 0 になり、内部状態は S2 のまま変わらない。

内部状態が状態 S3 の時に 0 が入力されると出力は 1 になり、内部状態が S2 に変わり、1 が入力されると出力は 0 になり、内部状態は S1 に変わる。

これらの動作に対応した表が表 2.1.の状態遷移表である。

## 2.2. フリップフロップ

### 2.2.1. フリップフロップの基礎

順序論理回路を作るためには記憶回路が必要である。最もよく使われている記憶回路がフリップフロップ (flip-flop) で、1 ビットの情報を記憶することができる。フリップフロップには、同期式と非同期式の 2 つの種類があり、クロックが加えられるものを同期式、クロックが加えられない形式を非同期式という。

クロックとは周期的に発生するパルスのこと、全ての回路を同期して動作させる制御信号であり、全ての回路はクロックが入力している時間のみ動作する。クロックの立ち上がり部分で動作する回路をポジティブ・エッジトリガ形といい、クロックの立下がり部分で動作する回路をネガティブ・エッジトリガ形という。クロックが論理値 1 の間をイネーブル、論理値 0 をディスエーブルと呼ぶ。

図 2.3.と図 2.4.にフリップフロップの原理図を示す。

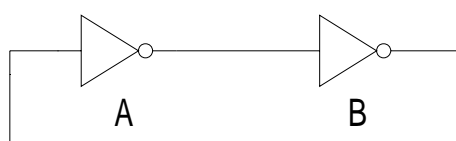


図 2.3. フリップフロップの原理図 1

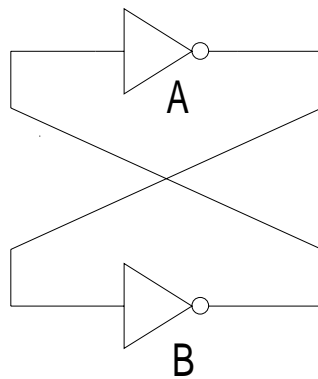


図 2.4. フリップフロップの原理図 2

図 2.3.と図 2.4.のようにフリップフロップは2つのインバータによって構成される。図 2.3.と図 2.4 は同じ回路で、図 2.3.はわかりやすく示したもので、図 2.4.のように書くこともできる。

インバータ A の出力が 0 の場合、インバータ B の出力は 1 となり、これがインバータ A の入力に入力され、状態は変化しないのでフリップフロップは安定状態となる。

インバータ A の出力が 1 の場合、インバータ B の出力は 0 となり、これがインバータ A の入力となるので、同じようにフリップフロップは安定状態である。

このように、フリップフロップは二つの安定状態をもつので、これを 0 または 1 の保持状態に対応させると記憶回路になる。

フリップフロップには、いくつかの種類があり、その動作、役割も異なっている。下にいくつかのフリップフロップの例を挙げる。

- ・RS フリップフロップ
- ・クロック制御 RS フリップフロップ
- ・D フリップフロップ
- ・T フリップフロップ
- ・JK フリップフロップ

ここに挙げたものについて、動作や回路構成などについて説明していく。

### 2.2.2. RS フリップフロップ

フリップフロップの中で、最も基本的なものがRSフリップフロップである。RSフリップフロップは、入力にセット入力Sとリセット入力Rの2つの入力を持ち、出力にセット出力Qとリセット出力 $\bar{Q}$ がある。図2.5.にRSフリップの論理記号を示す。

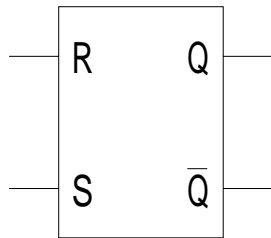


図 2.5. RS フリップフロップの論理記号

次に NAND ゲートと NOR ゲートによる RS フリップフロップの回路構成を図 2.6.と図 2.7.に示し、表 2.2.において動作の真理値表を示す。

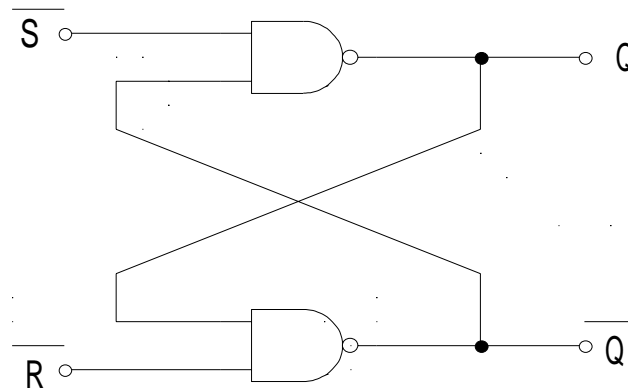


図 2.6. NAND ゲートによる RS フリップフロップの回路構成

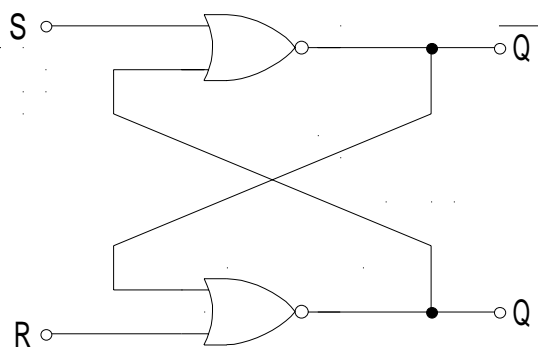




図 2.7. NOR ゲートによる RS フリップフロップの回路構成

表 2.2. RS フリップフロップの真理値表

R	S	$Q_{t+1}$
0	0	Q
0	1	1
1	0	0
1	1	禁止

次に RS フリップフロップの動作について説明する。

R = 0、S = 0 を入力した時は、内部状態が変化せず、出力は 1 回前に入力された入力信号と内部状態とにより決定された出力 Q をそのまま出力する。

R = 0、S = 1 を入力した時は、セットされて Q = 1 を出力する。

R = 1、S = 0 を入力した時は、リセットされて Q = 0 を出力する。

R = 1、S = 1 を入力した時は、 $Q = 1$ 、 $\bar{Q} = 1$  となり Q と  $\bar{Q}$  の論理に反し、内部状態も不定になるので禁止されている。

### 2.2.3. クロック制御 RS フリップフロップ

2.2.2.説明で説明した RS フリップフロップは入力が制御されていないので、記憶させた情報を自分で制御することができない。それを、制御できるようにしたものがクロック制御 RS フリップフロップである。RS フリップフロップにクロックを加えることにより、クロックを加えた時だけ RS フリップフロップが動作し、それ以外の時間は動作しない。

図 2.8.と図 2.9.に論理記号と NAND ゲートによる回路構成を示す。

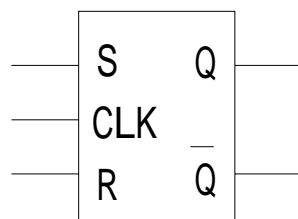


図 2.8. クロック制御 RS フリップフロップの論理記号

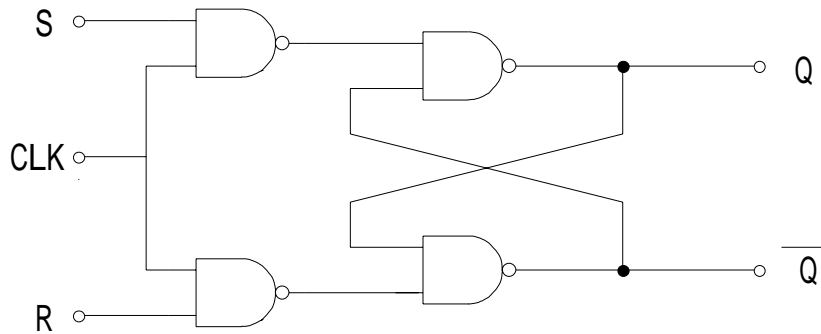


図 2.9. NAND ゲートによるクロック制御 RS フリップフロップの回路構成

次にクロック制御 RS フリップフロップの動作について説明する。

$R = 0$ 、 $S = 0$  を入力した時は、RS フリップフロップと同様に、クロックを入力しても内部状態が変化せず、出力は 1 回前に入力された入力信号と内部状態とにより決定された出力  $Q$  をそのまま出力する。

$R = 0$ 、 $S = 1$  を入力した時は、クロックが入力された時  $Q = 1$  となり、セット状態となる。この状態の時にさらにクロックが入力されても、 $Q = 1$  でセット状態のままである。

$R = 1$ 、 $S = 0$  を入力した時は、クロックが入力された時  $Q = 0$  となり、リセット状態となる。この状態の時にさらにクロックが入力されても、 $Q = 0$  でリセット状態のままである。

$S = 1$ 、 $R = 1$  の場合は、RS フリップフロップと同様に禁止されているので、クロックの入力は禁止されている。

#### 2.2.4. D フリップフロップ

D フリップフロップは、入力に入力  $D$  とクロック入力を持ち、出力は  $Q$  と  $\bar{Q}$  を持つ同期式のフリップフロップである。

図 2.10.と図 2.11.に D フリップフロップの論理記号と NAND ゲートによる回路構成を示し、表 2.3.に D フリップフロップの動作の真理値表を示す。

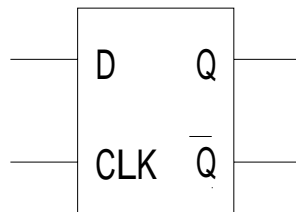


図 2.10. D フリップフロップの論理記号

表 2.3. D フリップフロップの真理値表

D	Q
0	0
1	1

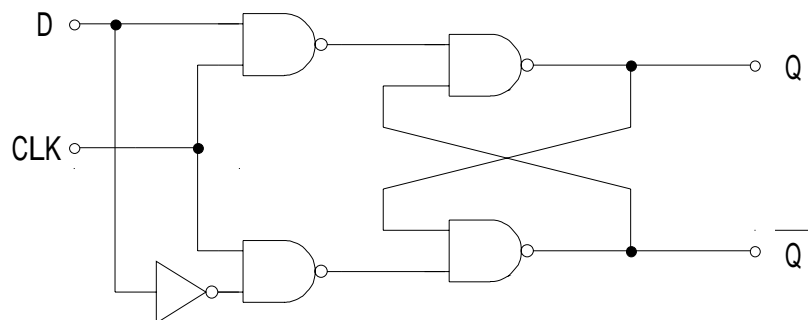


図 2.11. NAND ゲートによる D フリップフロップの回路構成

次に D フリップフロップの動作について説明する。

入力 D に入力信号が入力された時にクロックが入力されていなければ D フリップフロップはそのまま入力信号を記憶し続け、クロックが入力されると、出力 Q に入力信号をそのまま出力する。つまり、D フリップフロップは入力信号をクロックにより遅らせて出力させたい場合や、クロックを入力させなければ情報を記憶し続けるので、情報を記憶させておきたい場合に使う。

## 2.2.5. T フリップフロップ

T フリップフロップは、入力に T を持ち、出力に Q と  $\bar{Q}$  を持つフリップフロップである。図 2.12. に T フリップフロップの論理記号、図 2.13. に NAND ゲートによる T フリップフロップの回路構成を示す。表 2.4. に T フリップフロップの動作の真理値を示す。

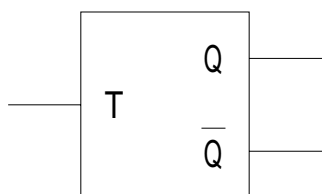


図 2.12. T フリップフロップの論理記号

表 2.4. T フリップフロップの真理値表

T	Q
0	Q
1	$\bar{Q}$

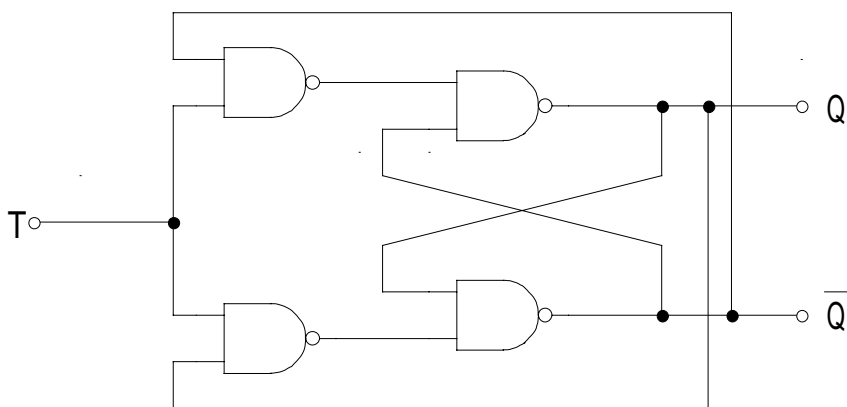


図 2.13. NAND ゲートによる T フリップフロップ回路構成

次に T フリップフロップの動作について説明する。

入力 T に 1 が入力された時に、出力 Q の値が反転動作をする。入力 T に 0 が入力された時は、内部状態は変化しないので出力 Q の値も変化しない。

## 2.2.6 JK フリップフロップ

JK フリップフロップは、入力に J と K とクロック入力を持ち、出力に Q と  $\bar{Q}$  を持つ同期式のフリップフロップである。機能としては、RS フリップフロップ、T フリップフロップ、D フリップフロップの機能をもち合わせている。入力 J が RS フリップフロップのセット入力 S に対応し、入力 K が RS フリップフロップのリセット入力 R に対応している。図 2.14. に JK フリップフロップの論理記号、図 2.15. に NAND ゲートによる JK フリップフロップの回路構成、表 2.5. に JK フリップフロップの真理値表を示す。

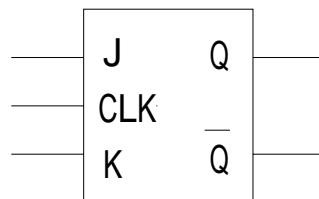


図 2.14. JK フリップフロップの論理記号

表 2.5. JK フリップフロップの真理値表

J	K	$Q_+$
0	0	Q
0	1	0
1	0	1
1	1	$\bar{Q}$

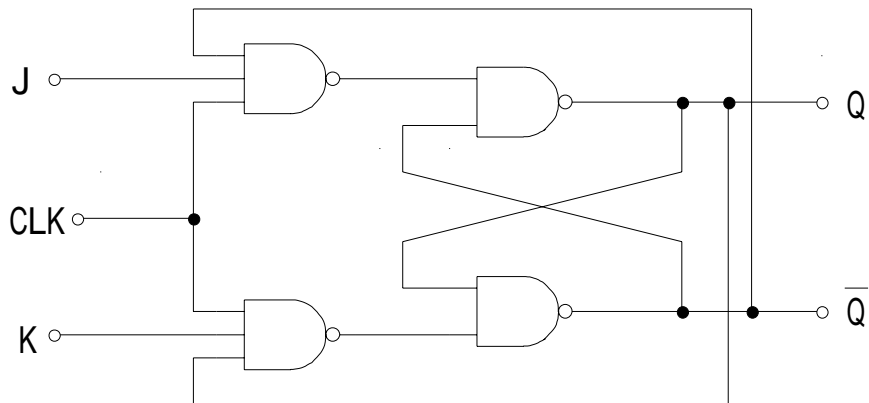


図 2.15. NAND ゲートによる JK フリップフロップの回路構成

次に JK フリップフロップの動作について説明する。

J = 0、K = 0 を入力した時は、クロックが入力されても状態が変化しないので出力は変化しない。

J = 1、K = 0 を入力した時は、クロックが入力されると Q = 1 となりセット状態となる。

J = 0、K = 1 を入力した時は、クロックが入力されると Q = 0 となりリセット状態となる。

J = 1、K = 1 の時は、出力はクロックが入力される度に出力 Q の値が反転する。

## 2.3. カウンタ

### 2.3.1. カウンタの基礎

カウンタは、入力されたパルスの個数を数える回路のことで計数回路とも呼ばれ、フリップフロップと論理ゲートによって構成される。フリップフロップ 1 個が 1 ビットに対応している。動作方法の違いから同期式と非同期式に分けられる。

### 2.3.2. 非同期式カウンタ

非同期式カウンタは、クロックパルスに同期しないで、前段のフリップフロップの出力が次段のフリップフロップのクロック入力に入力されて動作するので後段になればなるほど遅れが蓄積される。

### 2.2.3. 同期式カウンタ

同期式カウンタは、全てのフリップフロップのクロック入力に共通のクロックパルスを入力し、制御できるようにしたカウンタである。これにより、非同期式カウンタでは後段になれば遅れが生じていたが、フリップフロップの段数に関係なくフリップフロップ 1 個分の遅れだけですむ。

## 2.4. デコーダ

デコーダは、復号器ともよばれ、符号化された情報を解読する回路のことである。よく使われるデコーダとしては、電卓やデジタル時計などに使われている 7 セグメント LED (light emitting diode) を点灯させるのに使われる 7 セグメント復号器がある。この回路は、4 ビットの 2 進符号の入力に対して、7 セグメント内の適切なセグメントを点灯させるための組み合わせ回路が作り込まれている。その逆のことにする回路をエンコーダと呼ぶ。エンコーダは符号器とも呼ばれ、ある情報を符号にする回路のことである。10 進数を 2 進数にする回路などがある。

## 2.5. 分周回路

分周回路とは、ある周波数を自分が欲しい周波数に下げて使う回路のことである。簡単な回路として、T フリップフロップを使う回路がある。T フリップフロップ 1 個で周波数を  $1/2$  に分周してくれるので、T フリップフロップ  $n$  段つなぐと  $1/2^n$  に分周することができる。図 2.16. に 2 段構成の分周回路の例を示し、その結果を図 2.17. に示す。

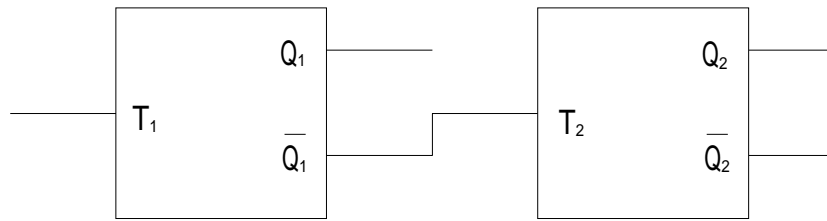


図 2.16. 分周回路の例

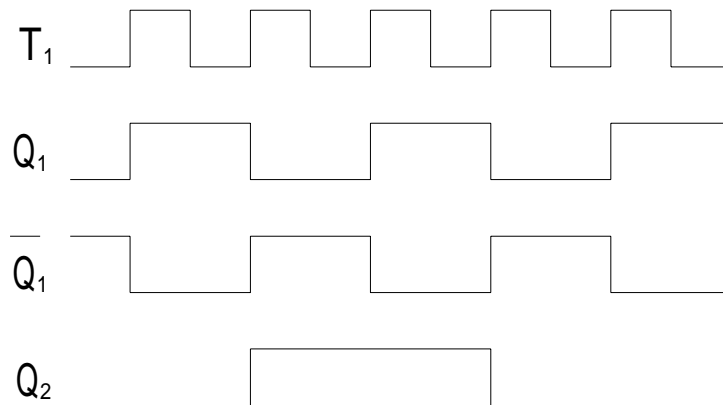


図 2.17. 分周回路の結果

図 2.16.と図 2.17.について説明する。T フリップフロップは、T 入力に入力信号が入る度に出力 Q の出力は立ち上がりで動作をするので、T1 に 2 つのパルスが入ると Q1 は 1 つのパルスを出力するので、1/2 に分周されたことになる。同じように、2 段目の T フリップフロップの出力 Q2 は T1 に 4 つのパルスが入ると、1 つのパルスを出力するので、1/4 に分周されたことになる。

## 2.6. 水晶発振器

水晶発振器とは、水晶から切り取った小さい水晶の結晶である水晶振動子を使って発振回路を作り、発振させるものである。水晶振動子の両面に、圧力を加えてやると+と-の電荷が発生する。このことを利用して、水晶振動子の両面に電極をつけ、交流電圧を加えると、圧力が水晶振動子の両面に交互に加わり水晶が伸びたり縮んだりする。これを共振現象と呼ぶ。そして、このような水晶振動子を回路に組み込むことにより、回路の中で共振し、発振する。

水晶振動子を用いた回路の発振は非常に安定で正確であるために、時計などに用いる場合は最適の振動子である。



### 3. 汎用ロジック IC を用いたデジタル時計の設計・製作・評価

#### 3.1. 目的

今まで回路の設計・製作・評価をほとんどしたことがなく、設計・製作・評価についての知識がなかったので、実際に自分でデジタル回路を設計・製作・評価することにより、設計方法や設計の時に注意すべきこと、設計とはどういうものかなど設計についての基本的な知識を得る。そして、実際に汎用ロジック IC を用いて製作することにより、IC の使い方や注意点や基礎知識を学び、また正しく動作しない場合の対処方法などの知識を得る。さらに、評価することにより測定器の使い方など測定技術の知識を得る。

#### 3.2. デジタル時計の概要

今回設計したデジタル時計は、時間は 0 から 23 までを表示し、分、秒ともに 0 から 59 までを表示できるようにした。時間を 0 から 23 まで数えるのに 24 進カウンタを使った。また、分と秒を 0 から 59 まで数えるのに 60 進カウンタを使った。そして、セグメント表示器に表示させるためにデコーダを使った。時間と分と秒はそれぞれ桁上げ信号により秒の 60 進カウンタがパルスを 60 個数えれば分の 60 進カウンタが動作し、分の 60 進カウンタがパルスを 60 個数えれば時間の 24 進カウンタが動作するようにした。クロックは水晶発振器からのパルスを 1Hz に分周したものを使った。設計したデジタル時計の概要図を図 3.1.1 に示す。

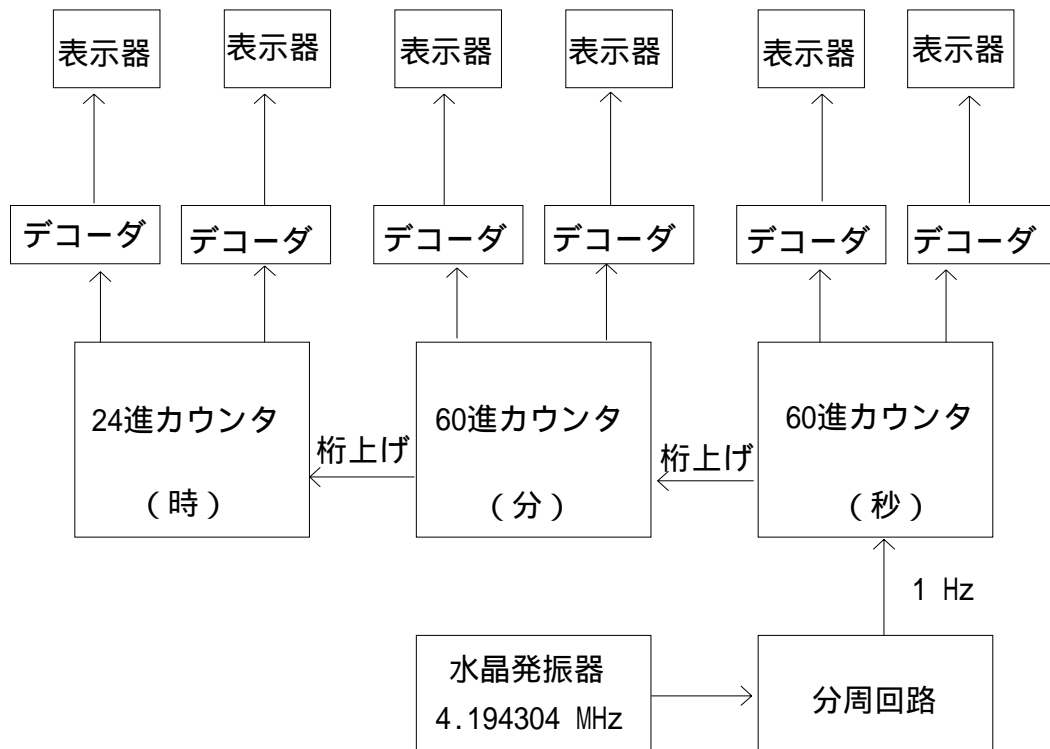


図 3.1. デジタル時計の概要図

### 3.3. カウンタの設計

#### 3.3.1. 60 進カウンタ

デジタル時計の分と秒を 0 から 60 まで数えるのに使われる 60 進カウンタを設計する。60 進カウンタは 10 進カウンタと 6 進カウンタの 2 つを設計し、1 の位を 10 進カウンタで数え、10 の位を 6 進カウンタで数えるようにした。10 進カウンタが 9 になったら桁上げ信号を 6 進カウンタに出すようにした。まず、状態遷移表（真理値表）を作成し、論理式を導き、カルノー図によって論理式を簡単化した。次に、論理式に従ってカウンタを作成した。表 3.1. に 10 進カウンタの真理値表を示し、図 3.2. に 10 進カウンタのカルノー図を示す。

表 3.1. 10 進カウンタの真理値表

カウント	現在の状態 Q				次の状態 Q+			
	A	B	C	D	A+	B+	C+	D+
0	0	0	0	0	0	0	0	1
1	0	0	0	1	0	0	1	0
2	0	0	1	0	0	0	1	1
3	0	0	1	1	0	1	0	0
4	0	1	0	0	0	1	0	1
5	0	1	0	1	0	1	1	0
6	0	1	1	0	0	1	1	1
7	0	1	1	1	1	0	0	0
8	1	0	0	0	1	0	0	1
9	1	0	0	1	0	0	0	0

		AB			
		00	01	11	10
CD	00			X	1
	01			X	
	11		1	X	X
	10			X	X

$$A_+ = BCD + A\bar{D}$$

		AB			
		00	01	11	10
CD	00		1	X	
	01		1	X	
	11	1		X	X
	10		1	X	X

$$B_+ = \overline{B}CD + B\overline{C} + B\overline{D}$$

		AB			
		00	01	11	10
CD	00			X	
	01	1	1	X	
	11			X	X
	10	1	1	X	X

$$C_+ = \overline{A} \overline{C}D + C\overline{D}$$

		AB			
		00	01	11	10
CD	00	1	1	X	1
	01			X	
	11			X	X
	10	1	1	X	X

$$D_+ = \bar{D}$$

図 3.2. 10 進カウンタのカルノー図

これらの真理値表とカルノー図より設計した 10 進カウンタの回路図を図 3.3. に示す。

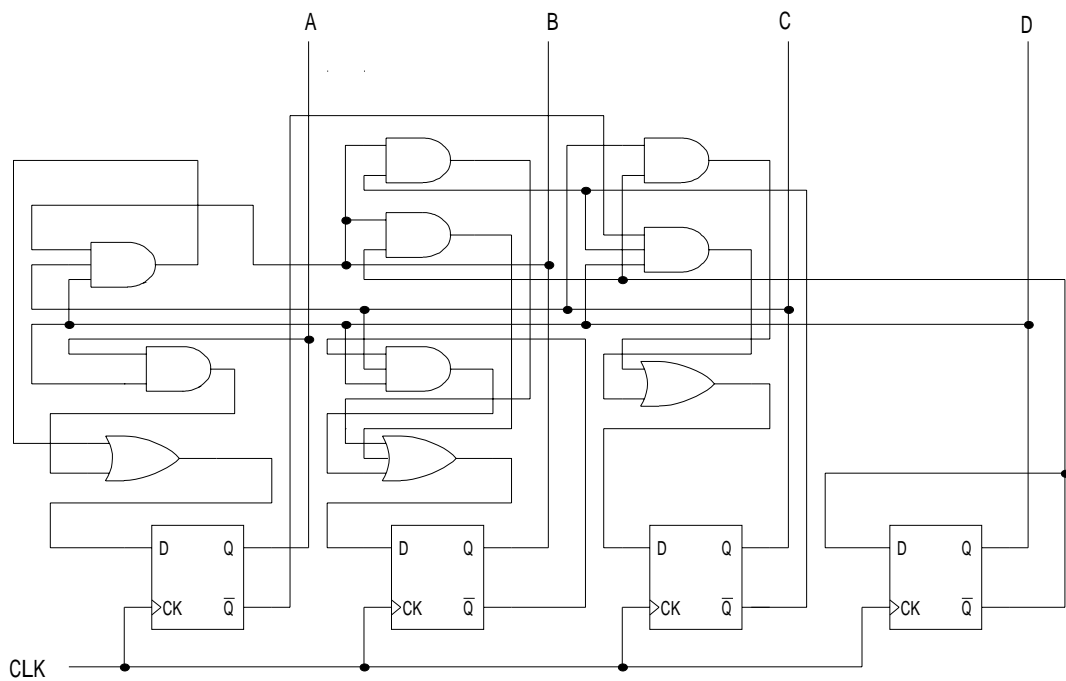


図 3.3. 10 進カウンタの回路図

次に 6 進カウンタの真理値表とカルノー図を表 3.2.と図 3.4.に示し、設計した回路図を図 3.5.に示す。

表 3.2. 6 進カウンタの真理値表

カウント	現在の状態 Q			次の状態 Q+		
	A	B	C	A+	B+	C+
0	0	0	0	0	0	1
1	0	0	1	0	1	0
2	0	1	0	0	1	1
3	0	1	1	1	0	0
4	1	0	0	1	0	1
5	1	0	1	0	0	0

		AB			
		00	01	11	10
C	0			X	1
	1		1	X	

$$A_+ = A\bar{C} + BC$$

		AB			
		00	01	11	10
C	0		1	X	
	1	1		X	

$$B_+ = \bar{A} \bar{B} C + B \bar{C}$$

		AB			
		00	01	11	10
C	0	1	1	X	1
	1			X	

$$C_+ = \bar{C}$$

図 3.4. 6進カウンタのカルノー図

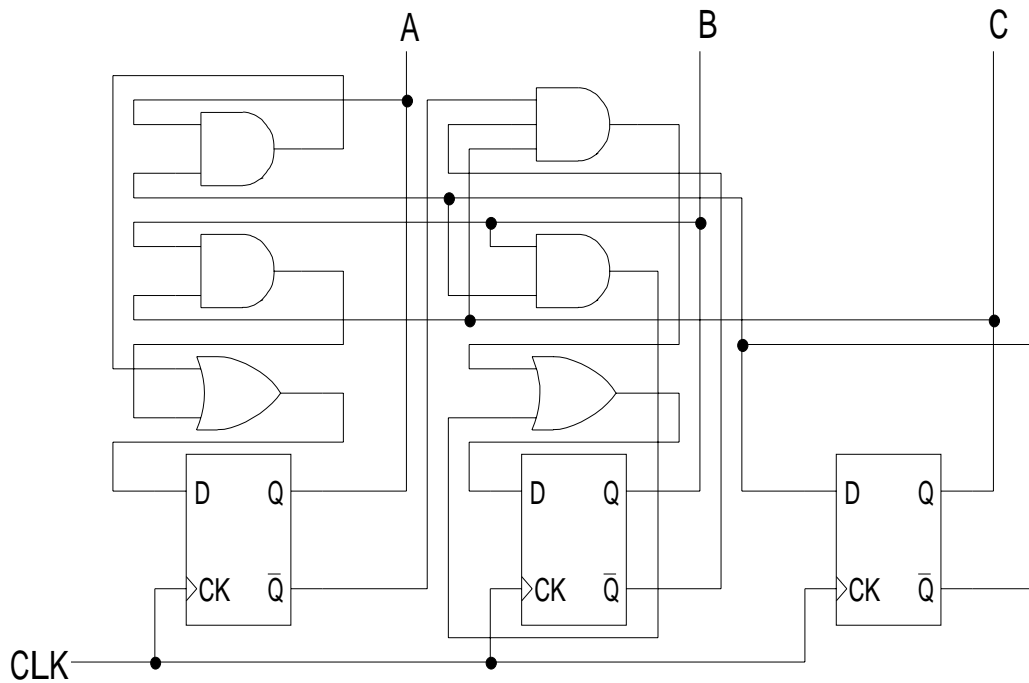


図 3.5. 6進カウンタの回路図

次に10進カウンタと6進カウンタを組み合わせ、60進カウンタを設計する。10進カウンタから6進カウンタへの桁上げ信号は10進カウンタが9になった時（最上位ビットと最下位ビットが1の時）の信号をデコードして、Dフリップフロップを使って1クロック分遅らせてやれば10進カウンタが0になった時に6進カウンタが動作を始めるので、きちんと桁上げができたことになる。図3.6.に60進カウンタの回路図を示す。



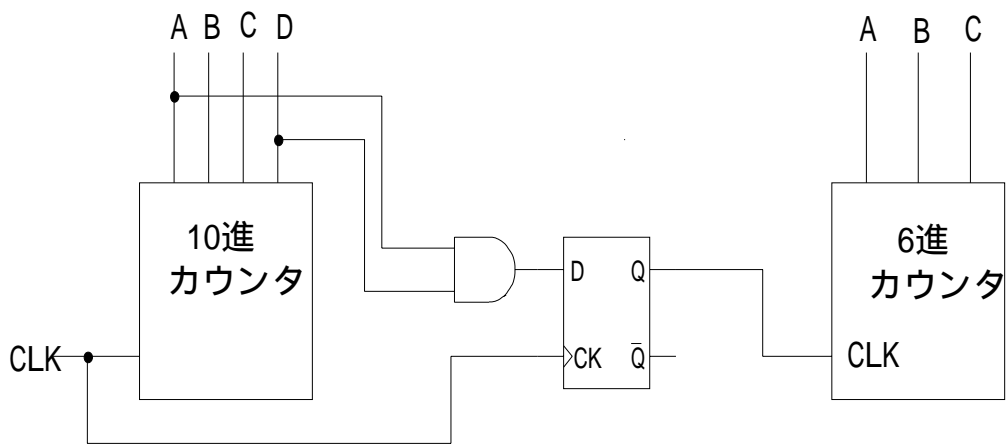


図 3.6. 60 進カウンタの回路図

### 3.3.2. 24 進カウンタ

デジタル時計の時間を数えるのに使われる 24 進カウンタは、10 進カウンタと 3 進カウンタの 2 つのカウンタを組み合わせで作る。10 進カウンタは分と秒の時に作った物と同じ物を使うことができる。表 3.3.と図 3.7.に 3 進カウンタの真理値表とカルノー図を示し、それらより設計した回路図を図 3.8.に示す。

表 3.3. 3 進カウンタの真理値表

カウント	現在の状態 Q		次の状態 Q+	
	A	B	A+	B+
0	0	0	0	1
1	0	1	1	0
2	1	0	0	0

		A	
		0	1
B	0		
	1	1	X

$$A_+ = B$$

		A	
		0	1
B	0	1	
	1		X

$$B_+ = \bar{A} \bar{B}$$

図 3.7. 3進カウンタのカルノー図

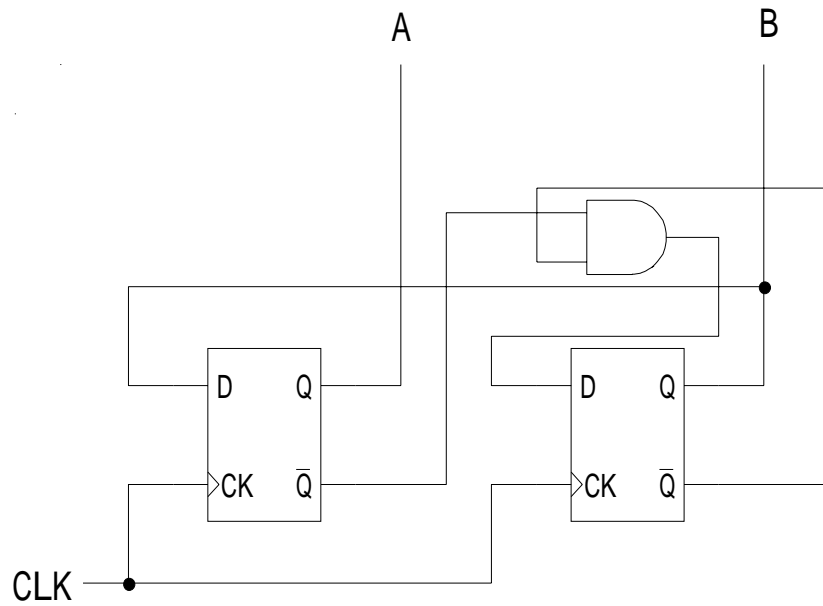


図 3.8. 3進カウンタの回路図

次に10進カウンタと3進カウンタを組み合わせることで24進カウンタを設計する。10進カウンタから3進カウンタへの桁上げ信号は60進カウンタの時と同じでよい。しかし、24進カウンタは0から23まで数えると0にならないといけな  
いので、3進カウンタが2の時と10進カウンタが3の時の信号をデコードして、  
その信号をDフリップフロップに入力して1クロック分遅らせて、クリア入力  
に入力してやればよい。このようにして設計した24進カウンタの回路図を図3.9.  
に示す。

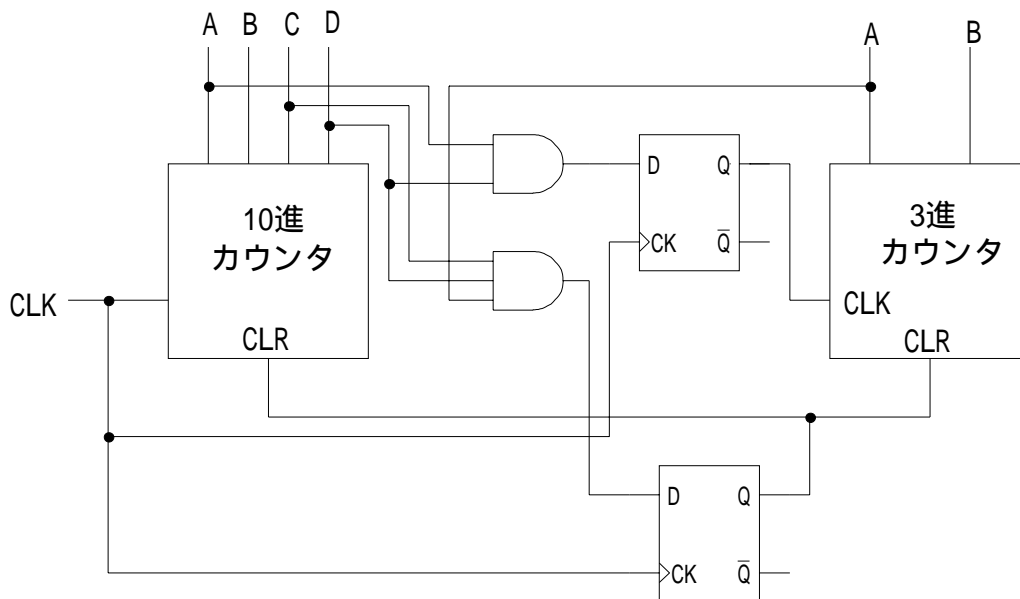


図 3.9. 24 進カウンタの回路図

### 3.4. デコーダの設計

7 セグメント LED を点灯させるためのデコーダを設計する。表 3.4. と図 3.10 と図 3.11. に真理値表と LED の図とカルノー図を示す。

表 3.4. 7 セグメント LED の真理値表

表示	入力				出力							
	A	B	C	D	a	b	c	d	e	f	g	
0	0	0	0	0	1	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1	1
3	0	0	1	1	1	1	1	1	0	0	1	1
4	0	1	0	0	0	1	1	0	0	1	1	1
5	0	1	0	1	1	0	1	1	0	1	1	1
6	0	1	1	0	1	0	1	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	1	0	0
8	1	0	0	0	1	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1	1

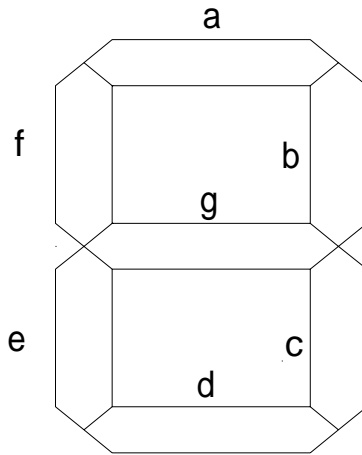


図 3.10. 7セグメントLEDの図

		AB			
		00	01	11	10
CD	00	1		X	1
	01		1	X	1
	11	1	1	X	X
	10	1	1	X	X

$$a = A + C + BD + \bar{B} \bar{D}$$

		AB			
		00	01	11	10
CD	00	1	1	X	1
	01	1		X	1
	11	1	1	X	X
	10	1		X	X

$$b = \bar{B} + CD + \bar{C} \bar{D}$$

		AB			
		00	01	11	10
CD	00	1	1	X	1
	01	1	1	X	1
	11	1	1	X	X
	10		1	X	X

$$c = A + B + \bar{C} + D$$

		AB			
		00	01	11	10
CD	00	1		X	1
	01		1	X	1
	11	1		X	X
	10	1	1	X	X

$$d = A + \bar{B} \bar{D} + CD + \bar{A} \bar{B} C + B \bar{C} D$$

		AB			
		00	01	11	10
CD	00	1		X	1
	01			X	
	11			X	X
	10	1	1	X	X

$$e = \bar{B} \bar{D} + CD$$

		AB			
		00	01	11	10
CD	00	1	1	X	1
	01		1	X	1
	11		1	X	X
	10		1	X	X

$$f = A + B + \bar{C} \bar{D}$$

		AB			
		00	01	11	10
CD	00		1	X	1
	01		1	X	1
	11	1		X	X
	10	1	1	X	X

$$g = A + B\bar{C} + C\bar{D} + \bar{A}\bar{B}C$$

図 3.11. 7セグメントLEDのカルノー図



次に設計した回路図を図 3.12.に示す。

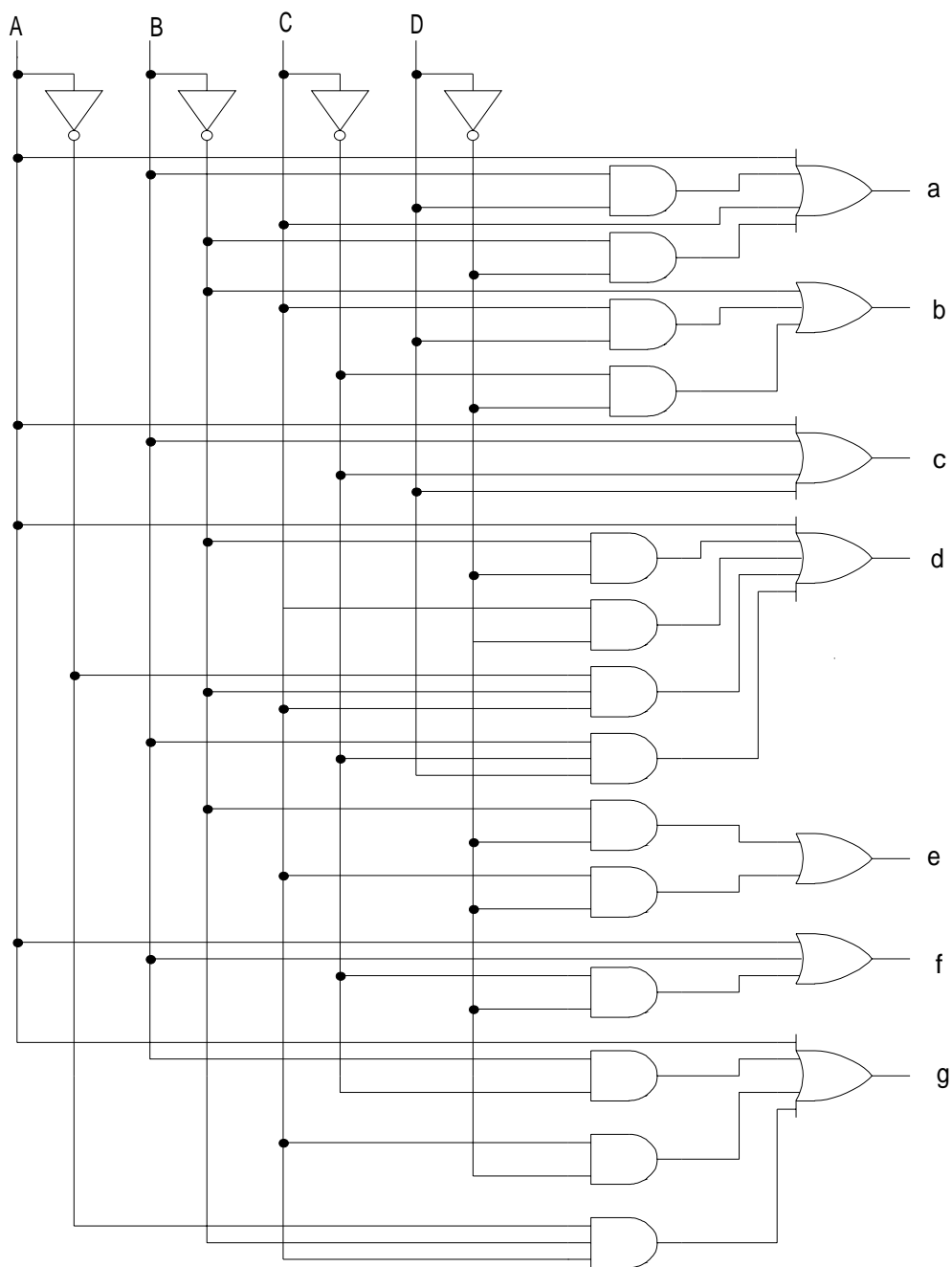


図 3.12. デコーダの回路図

### 3.5. デジタル時計全体の設計

今までに設計してきた 60 進カウンタと 24 進カウンタを組み合わせ、デジタル時計の全体を設計し、デコーダをつかって 7 セグメント LED に表示できるようにする。図 3.13. にデジタル時計全体の回路図を示す。

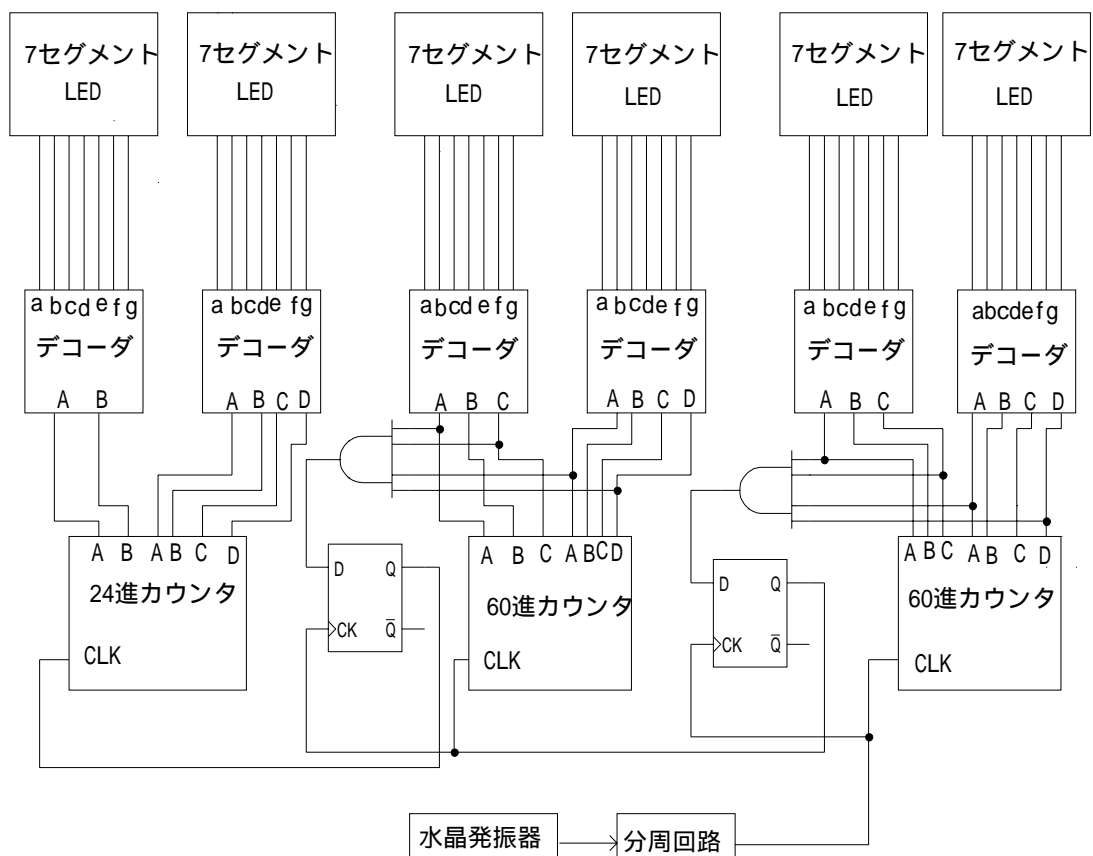


図 3.13. デジタル時計全体の回路図

図 3.13. について説明する。秒を数える 60 進カウンタから分を数える 60 進カウンタへの桁上げ信号は、秒が 59 になった時の信号をデコードし、D フリップフロップを使って、1 クロック遅らせて、分を数える 60 進カウンタのクロックに入力してやればよい。分を数える 60 進カウンタから時間を数える 24 進カウンタへの桁上げ信号は、秒から分への桁上げ信号と同じようにしてやればよい。

デコーダへの入力は、秒と分とも 1 の位を数える 10 進カウンタの出力、10 の位を数える 6 進カウンタの出力をそれぞれ入力してやればよい。時間は、1 の位を数える 10 進カウンタの出力、10 の位を数える 3 進カウンタの出力をそれぞれ入力してやればよい。7 セグメント LED の入力には、デコーダの出力をそのまま入力してやればよい。

### 3.6. デジタル時計の製作

今までに設計した回路を、すべて SSI の汎用ロジック IC を使って実際に作ってみた。使った部品を次に挙げる。

- ・ TC74HC04AP (インバータ 6 個) 6 個
  - ・ TC74HC08AP (2 入力 AND 4 個) 11 個
  - ・ TC74HC11AP (3 入力 AND 3 個) 5 個
  - ・ TC74HC32AP (2 入力 OR 4 個) 5 個
  - ・ TC74HC4511AP (デコーダ) 6 個
  - ・ TC74HC74AP (D フリップフロップ 2 個) 16 個
  - ・ TC74HC7292AP (分周器) 1 個
  - ・ TLR336S (7 セグメント LED) 6 個
  - ・ 水晶発振器 (4.194304MHz) 1 個
  - ・ プリント基板 9 枚
  - ・ 抵抗 (470 ) 42 本
- 汎用ロジック IC  
合計 50 個

図 3.14. に製作したデジタル時計を示す。

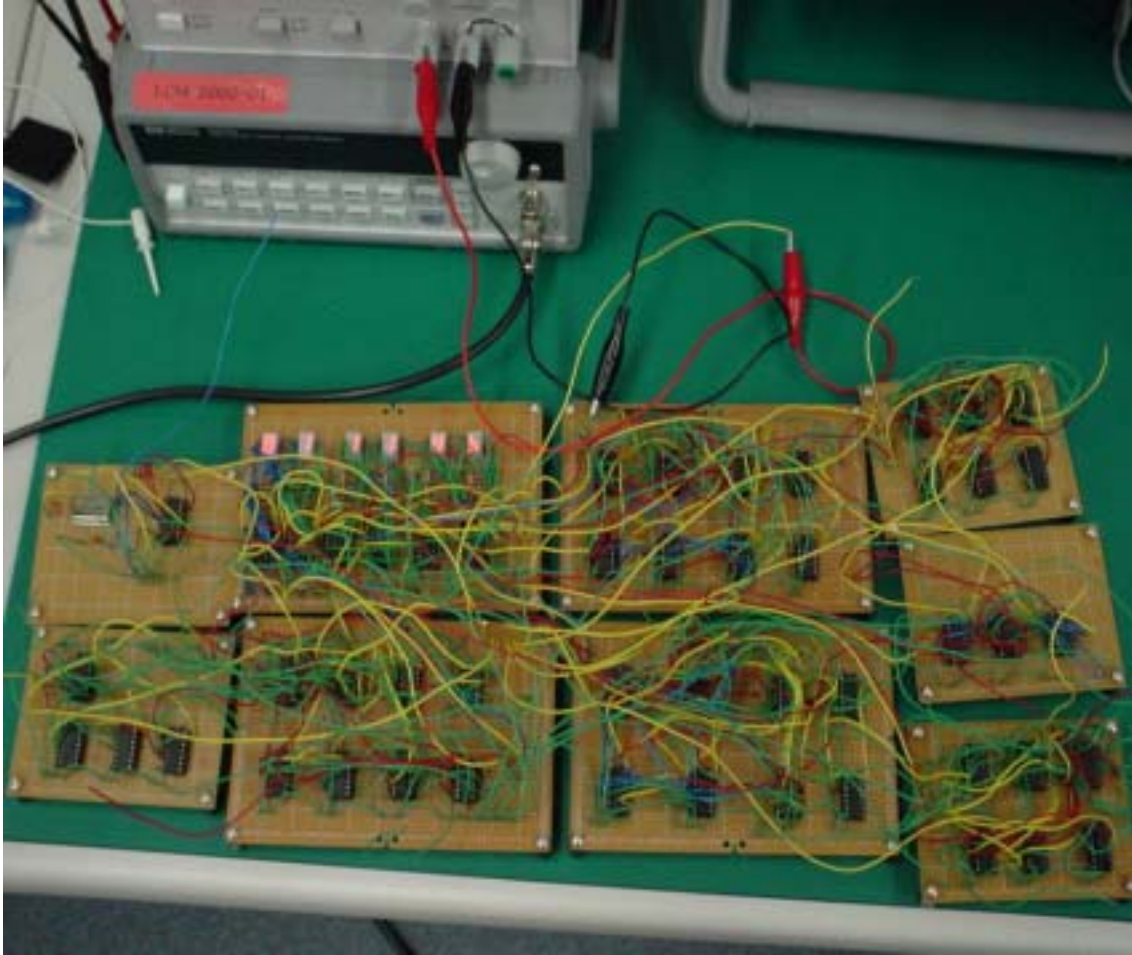


図 3.14. 製作したデジタル時計

### 3.7. 評価

今までに設計・製作した回路を測定器を使って正しく動作しているかどうかを確認した。図 3.15 と図 3.16.に 60 進カウンタと 24 進カウンタの測定結果を示す。

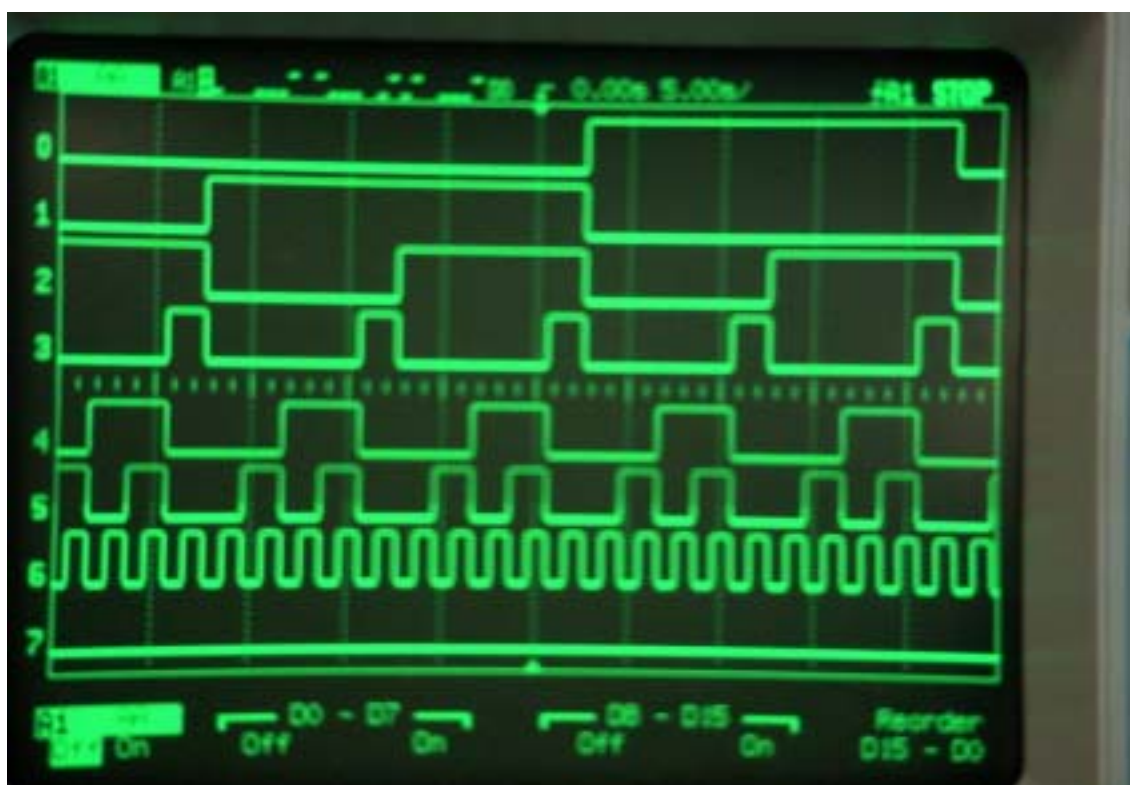


図 3.15. 60 進カウンタの測定結果

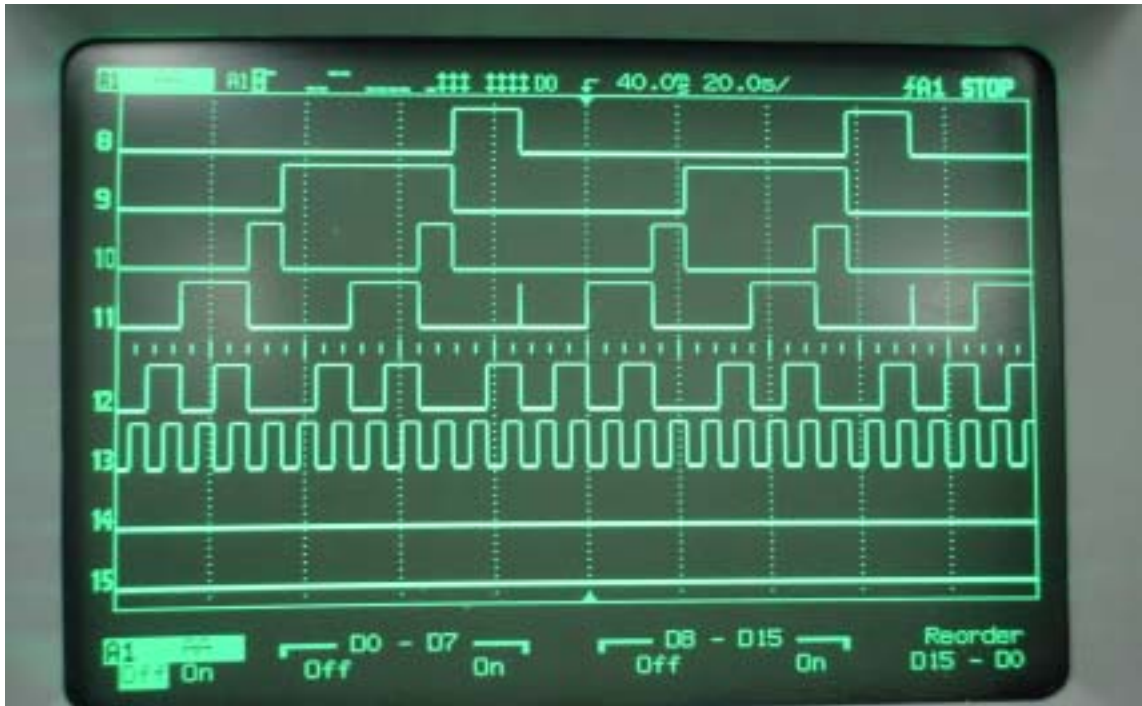


図 3.15. 24 進カウンタの測定結果

このように、測定結果は正しい波形を示しているので、カウンタは正しく動作している。すべての回路はきちんと正しく動作していることは確認できた。電源を入れた直後は、動作が不安定できちんと動作しないが、しばらく時間がたつと状態が安定する。

#### 4. まとめ

今回の卒業研究で、基礎的なデジタル回路の設計・製作・評価を行って、一通りの設計を経験することができ、多くの貴重な知識を得た。小型の汎用 IC だけを用いて試作したので大きな回路になり、この経験の中からはいろいろと考えさせられた。特に、設計ではうまく動作しても、製作をしてみると設計した通りに動作しないことがたくさんあり、製作の難しさがよく分かった。IC についても、間違っただけで壊れてしまい、直すのに苦労した。今、ふり返って考えてみると、実際にできたデジタル時計は、最初に考えていたものとはだいぶ異なってしまった。しかし自分の納得するものができたのでよかったと考えている。今後、設計や製作などの機会があれば、最初の設計段階のうちに、さまざまなことを十分に考えてから設計に入りたいと思う。

## 5. 謝辞

今回の卒業研究では、ご指導していただいた原央教授をはじめ、輪講では矢野政顕教授、橘昌良助教授にはたいへんお世話になり感謝しています。また、とても親切にご指導頂いた同じ研究室の大学院生である新妻研作さん、白木正章さんにはとても感謝しています。そして、同じ研究室の4年生のみなさんにもたいへんお世話になりとても感謝しています。



## 6. 参考文献

1. デジタル回路設計法、中村 次男 著、日本理工出版会
2. デジタル回路、高橋 寛 関根 好文 作田 幸憲 共著、コロナ社
3. 論理回路の基礎（改訂版）、田丸 啓吉 著、工学図書株式会社
4. 半導体・ICのすべて 菊地 正典 高山 洋一郎 鈴木 俊一 著  
電波新聞社
5. ハンディブック 電気、桂井 誠 監修、オーム社
6. テキストブック 無線通信機器、提坂 秀樹・大庭 英雄 共著  
日本理工出版会