平成 13 年度

修士論文

超 LSI 用微細 MOS トランジスタの

ゲート酸化膜破壊機構の解明

The study of gate oxide breakdown mechanism by MOS transistor for the VLSI

指導教官

河津哲 教授

工学研究科基板工学専攻

電子・光エレクトロニクスコース

学籍番号 1045017

大畠 旬平

<u>目次</u>

第一章 序論

第二章 原理・理論

- 2.1. MOS トランジスタ
 - 2.1.1. MOS 構造
 - 2.1.2. MOS トランジスタ基本特性
 - 2.1.3. ショートチャネル効果
 - 2.1.4. ゲート酸化膜中へのキャリア注入
 - 2.1.5. ゲート酸化膜中のトラップ
- 2.2. ショットキー電流
 - 2.2.1. 整流性接触
 - 2.2.2. 抵抗性接触

<u>第三章 測定システム</u>

- 3.1. 序論
- 3.2. 測定システム
- 3.3. 測定システム試験
- 3.4. 結論

第四章 ショットキー電流測定

4.1. 序論

4.2. 測定試料

- 4.2.1. LOCOS プロセス
- 4.2.2. プレナープロセス
- 4.2.3. 測定試料データ
- 4.3. ショットキー電流測定
 - 4.3.1 正電圧印加
 - 4.3.2 負電圧印加
- 4.3. 結論

第五章 ショットキー接合考察

5.1. アルミニウムと半導体の接触

5.2. 電流測定

5.2.1 順方向電流

5.2.2 逆方向漏れ電流

第六章 MOS トランジスタ電流測定

- 6.1. 序論
- 6.2. 測定試料
 - 6.2.1 構造

6.2.2 測定試料データ

- 6.3. ゲートしきい値電圧
 - 6.3.1 ゲートしきい値電圧測定
- 6.4. MOS トランジスタ各電流の関連性

6.5. ソース電流

- 6.5.1 ゲート電圧による影響
- 6.5.2 基板電圧による影響
- 6.5.3 ゲート長による影響

6.6. 基板電流

- 6.6.1 ゲート電圧による影響
- 6.6.2 基板電圧による影響
- 6.6.3 ゲート長による影響

6.7. ゲート電流

- 6.7.1 ゲート電圧による影響
- 6.7.2 基板電圧による影響
- 6.7.3 ゲート長による影響
- 6.8. 結論

第七章 MOS トランジスタ電流考察

- 7.1. ゲートしきい値電圧
- 7.2. MOS トランジスタ漏れ電流
 - 7.2.1 ソース電流
 - 7.2.2 基板電流
 - 7.2.3 ゲート電流

<u> 第八章 結論</u>

- 8.1. ショットキー電流
- 8.2. MOS トランジスタ電流特性

<u>謝辞</u>

<u>本論文に関する発表</u>

<u>参考文献</u>

<u>付録</u>

第一章 序論

1970年にDRAMが登場して以来、セル面積をひたすら小さくすることで、ビット単価を低減し、市場を広げてきた。この方式で、製造コストをほとんど変えずに記憶容量を拡大してきた。しかし、その結果内部のコンデンサ容量及び電圧が小さくなり1 セルあたりに記憶される電荷量は減少してきている。しかも、リフレッシュ時間が長くなることを要求されている。したがって、担体の発生量を抑えることが常に求められている。

また、携帯電話機やディジタル・スチル・カメラなどの普及に伴い不揮発性メモリとし てフラッシュ EEPROM の需要がここ数年で急拡大している。これは電荷が酸化膜を通過する ことを認め制御ゲートとシリコン基板の間にある浮遊ゲートに電荷の格納・排出をするこ とによって情報を記憶するメモリである。このフラッシュ EEPROM も DRAM と同様にセル面 積を小さくすることで記憶容量の拡大を行っている。しかし、フラッシュ EEPROM は酸化膜 に電荷を通過させるという方法を採用しているため酸化膜劣化により書き込み回数が DRAM に比べてまだまだ少ないのが現状である。また、動作時にセル内のトランジスタのソース

ドレイン間に大きな電圧をかけるため、本質的にはトランジスタのショートチャネル化 に弱いという特性がある。これらを解明し解決することがこれからの記憶容量拡大に向け て求められている。

こういった背景から担体の発生量・酸化膜通過電荷量を微少電流としてウェハ状態で測定し評価することが、それぞれのメモリが進歩していく中で必要である。本研究ではウェハ状態で 4×10⁻¹⁵[A]の測定が可能な微少電流評価システムを構築し、ショットキー接合における微少漏れ電流の測定、MOS トランジスタにおけるゲート酸化膜通過微少電流の測定を行った。そして、それぞれの微少電流によって引き起こされる破壊機構の解明を試みた。

第二章 原理・理論

2.1. MOS トランジスタ

この節ではまず、MOS トランジスタの基礎となる MOS 構造特性について触れ MOS トランジ スタの動作原理について述べる。また、ショートチャネル MOS トランジスタの動作原理に ついても述べる。

2.1.1. MOS 構造

半導体の表面に、薄い絶縁物の膜を挟んで金属電極を取り付けた構造を、一般に金属 (Metal) 絶縁物(Insulator) 半導体(Semiconductor)の頭文字をとって MIS 構造とよんで いる。この MIS 構造の中でも、半導体がシリコンの場合はシリコンの酸化物でつくられて いるので特に金属(Metal) 酸化物(Oxide) 半導体(Semiconductor)の頭文字をとって MOS 構造と呼んでいる。MOS トランジスタの原理・理論に入る前に、簡単な MOS 構造の原理・理 論について述べる。

理想的な p 形半導体の MOS 構造に電圧を印加しない場合におけるエネルギーバンド図を 図 2.1 に示す。印加電圧 V_A が 0[V]の場合、金属の仕事関数 q M と半導体の仕事関数 q s の差は 0[eV]である。

$$qV_0 \equiv \left(q\phi_M - q\phi_s\right) = q\phi_M - \left[q\chi + \frac{E_g}{2} + q\phi_f\right] = 0$$
(2.1)

ここで q は単位電荷量、 は半導体の電子親和力、そして _f はフェルミレベル E_f と真性フェルミレベル E_f のエネルギー差である。



図 2.1 理想 MOS 構造エネルギーバンド図

図 2.1 で示した V_A=0[V]においてバンドの曲がりが生じていない。このような状態をフラットバンド状態という。

次に、金属側に負($V_A>0$)の電圧を印加した場合、図 2.2(a)のように半導体中の多数キャ リアである正孔が表面のほうに引きつけられる。このとき、半導体表面近傍の正孔濃度は 半導体内部より高くなり、その結果、半導体のバンドはわずかに上向きに曲がる。理想的 な MOS 構造においては電圧を印加してもデバイスには電流が流れないから、半導体中のフ ェルミレベルは変化しない。すなわちエネルギーバンドが上向きに曲がるとエネルギー差 E_i-E_f は増加する。したがって、半導体中のキャリア密度 p_p は、このエネルギー差の E_i-E_f に指数関数的に依存するため次のような式で表される。

$$p_p = n_i e^{(E_i - E_f)/kT}$$
 (2.2)

ここで n_i は真性半導体の濃度、k はボルツマン定数、そして T は絶対温度である。

逆に、金属側が正(V_A<0)の電圧を印加すると、図 2.2 の(b)のように、まず半導体のバンドは曲げられ、表面に空乏層が発生する。この状態を空乏状態という。これは、金属にかけられた正電圧で多数キャリアの正孔が奥に押しやられたためである。この場合、半導体の単位面積あたりの空間電荷 Q_{sc}は空乏層領域の電荷で与えられる。

 $Q_{SC} = -qN_AW \tag{2.3}$

ここで N_Aはアクセプタ濃度、W は空乏層幅である。

そして、 V_A を大きくしていくと、バンドの曲がりも大きくなり、空乏層幅も増大する。さらに V_A を大きく印加すると、やがて図 2.2(c)のように、表面付近の伝導帯に電子が多量に発生するようになる。この状態で半導体表面近傍を見ると、もともと p 形半導体であったところが、フェルミレベル E_Fが価電子帯端 E_vより伝導体端 E_cにずっと近づき、その結果、正孔より電子の濃度が圧倒的に大きくなり、n 形半導体のような状況になる。この表面に誘導された電子の層を反転層と呼び、反転層が形成されるまでバンドが曲げられたこの状態を反転状態という。電子濃度 n_pは、エネルギー差 E_f - E_iに指数関数的に依存し、次式のように与えられる。

$$n_p = n_i e^{(E_f - E_i)/kT}$$
(2.4)



(a) 蓄積



図 2.2 MOS 構造電圧印加時のエネルギーバンド図

金属表面の単位面積当りに正の電荷 Q_Mがデルタ関数的に存在し、半導体側には(2.3)式に しめしたような負の電荷 Q_{SC}が空乏層内に一様に分布している。このとき、空乏層領域内で のポアソン方程式は次のようになる。

$$\frac{d^2\phi(x)}{dx^2} = \frac{qN_A}{\varepsilon_0\varepsilon_s}$$
(2.5)

ここで、図 2.3 に示すように、x 座標は半導体表面を x=0 として深さ方向に取り、 (x)は バンドの曲がりに対する電位で、半導体内部の中世領域で =0 である。また、 。は半導体 の比誘電率である。そして、空乏層の端で内部電界および電位がいずれもゼロとなる境界 条件で(2.5)式を解くと、空乏層内の電界および電位の分布がそれぞれ、

$$\phi_s(x) = \frac{qN_A}{2\varepsilon_0\varepsilon_s} (x - W)^2 \tag{2.6}$$

と求められる。

次に、絶縁物層の内部は一定電界 \vec{E}_{ox} が存在し、半導体との界面では電束密度が等しくなることを考慮すると

$$\vec{E}_{OX} = \frac{\varepsilon_s}{\varepsilon_{OX}} \vec{E}(0) = \frac{qN_A}{2\varepsilon_0 \varepsilon_s} W^2$$
(2.7)

であり、この結果、金属にかける印加電圧 V_Aは

$$V = \vec{E}_{OX} t_{OX} + \phi(0) = \vec{E}_{OX} t_{OX} + \phi_{sur}$$
(2.8)

の関係にある。ここで、 t_{0x} は絶縁物層の厚さ、 $_{0x}$ は絶縁物の比誘電率である。また、 (0)は半導体表面の電位であるので、これを特に $_{sur}$ と表すことにする。

また、いったん反転層ができると表面空乏層の幅はそれ以上増えない。なぜならそれ以 上はバンドの曲がりがわずかに増えても反転層の電荷 Q_nは非常に増大するから、印加電圧 の増加によって反転層の電荷が増加しても、空乏層幅が増加することはない。したがって 強い反転状態では半導体表面の単位面積あたりの電荷は次のように与えられる。

$$Q_S = Q_n + Q_{SC} \tag{2.9}$$

₩ は表面の空乏層幅の最大であり、次式で表される。

$$W_m = \sqrt{\frac{2\varepsilon_0 \varepsilon_s}{q N_A} \cdot 2\phi_f}$$
(2.10)

よって次式が与えられる。

$$Q_{SC} = -\sqrt{2q\varepsilon_0\varepsilon_s N_A 2\phi_f} \tag{2.11}$$

この様子を印加電圧 V_A と半導体表面電位 _{sur} との関係で考えると、空乏状態では V_A の増 大につれて _{sur} も増大するが、 _{sur} = 2 f の付近で反転層が生じ、これ以上は V_A が増大し ても _{sur} は一定となる。この反転層が形成されるとこの V_A の値を MOS ダイオードでは単に しきい値電圧、MOS トランジスタではゲートしきい値電圧という。このしきい値電圧 V_{th} は 次式で表される。

$$V_{th} = 2\phi_f + \frac{qN_AW_m}{C_{OX}} = 2\phi_f + \frac{\sqrt{2\varepsilon_s qN_A \cdot 2\phi_f}}{C_{OX}}$$
(2.12)

ここで Cox は単位面積あたりの絶縁物層の静電容量であり次式のように表される。

$$C_{OX} = \frac{\varepsilon_0 \varepsilon_{OX}}{t_{OX}}$$
(2.13)

MOS トランジスタでは、反転層がチャネルとなって電流の担い手になるので、最終的にはこの特性が重要となる。





図 2.3 MOS 構造空乏状態

図 2.2 の理想的な MOS 構造では、V_A=0 でフラットバンド状態になると考えたが、実際の MOS 構造では、これは一般に成り立たない。この主な原因は、 金属と半導体の仕事関数に 差がある、 絶縁体層の中に固定電荷が存在する、 半導体と絶縁体層の界面に界面準位 が存在するなどである。実用の MOS 構造では、 や の効果はデバイス特性を劣化させる ものでもあり、現在の技術ではほぼ問題のないレベルに抑えられている。これに対し、 は使う材料に応じて変化する無視できない効果である。

材料の仕事関数は、真空準位のフェルミレベルまでのエネルギーとして定義されている。 ここで、金属の仕事関数 _Mと半導体の仕事関数 _sが異なっている場合を述べる。この両者 を同電位に保ちながら接合すると考えると、両者のフェルミレベルが一致しなければなら ないので、結果的にバンドの湾曲が生じる。

ところで、このようなバンド曲がりが生じる MOS 構造に

$$V_0 = \phi_M - \phi_s \tag{2.14}$$

の電圧 V₀を金属側に印加すると、仕事関数差がキャンセルされて、フラットバンド状態を 得ることができる。このときの V₀は、フラットバンド電圧と呼ばれている。そして、MOS 構造の印加電圧に依存した状態の変化は、常時この V₀だけシフトさせれば、理想状態と全 く同様になる。したがって、(2.12)式は次のように書き換えられる。

$$V_{th} = 2\phi_f + \frac{qN_A W_m}{C_{OX}} + V_0 = 2\phi_f + \frac{\sqrt{2\varepsilon_s qN_A \cdot 2\phi_f}}{C_{OX}} + V_0$$
(2.15)

2.1.2. MOS トランジスタ基本特性

逆転層の電荷による伝送路はチャネルと呼ばれる。逆転層の電子によってチャネルが構成されるトランジスタをn チャネル形という。n チャネル形を例にすると、p 形基板内に作られた二つの n⁺領域間をチャネルによって連続させる。二つの n⁺領域はそれぞれソースおよびドレインという。

簡単な動作の様子をつかむため、チャネル内の電流の流れる方向(x方向)の電界が低い場合を考える。これに直角の方向(z方向)、すなわちゲートからの電界の変化に比べて十分に小さいと近似する。

図 2.4 はドレイン電圧が 3 つの場合について、チャネルの深さを強調して書いた MOS ト ランジスタの断面とチャネル内の電位変化を示す。図 2.4(a)はドレイン電圧 V_D (V_G - V_{th})の 場合である。 V_{th} は(2.15)式で示したしきい値電圧で、ゲート電圧がこの電圧となるとチャ ネルに誘導自由電荷が表れて電流が流れ始める電圧であり、(V_G - V_{th})が実効的なゲート電圧 とみることができる。 V_D が十分に小さいときチャネルは図 2.4(a)に示されるようにソース からドレインへ向かってほぼ均一であり、電荷密度も均一で導電率はほぼ(V_G - V_{th})に比例す る。

次に、ドレイン電圧をだんだんと増していって、図 2.4(b)に示すようにドレイン領域に 接するチャネルの右端のチャネル電流が 0 となった状態をピンチオフ状態と呼ぶ。このと きのドレイン電圧をピンチオフ電圧 V_Pという。

不純物を無視した簡単な考え方では、 V_p は(2.15)式の V_{th} を使って $V_{p=}V_{g}-V_{th}$ で表される。 すなわち、ドレイン電圧が($V_{g}-V_{th}$)となったときはドレインに接するチャネルの部分の電位 も($V_{g}-V_{th}$)であり、ゲート電圧が $V_{g}-V_{th}$ であるとき、この部分へはゲートの実行電位差は 0 となって、誘導電荷は 0 となるのである。

次に図 2.4(a)、(b)におけるドレイン電流 I_Dを求める。緩やかなチャネルの近似を用いて、 チャネル内の電荷密度、すなわち反転層電荷 Q_nは z 方向の電界のみで定まるとし、基板の 不純物を無視すれば

 $Q(x) = -C_{OX} \{ V_G - V_{th} - V(x) \}$ (2.16)

で表される。ここで V(x) はチャネル内の電位である。

ドレイン電流 I_Dはチャネル内でも連続であるから、チャネル内での電荷を Q(x)、移動度

 $を\mu、電界を<math>\vec{E}$ とすると

$$I_D = Z\mu Q(x)\vec{E}$$
(2.17)

ここで Z はゲート幅である。(2.17)式に(2.16)式を代入し、0 から L(ゲート長)まで積分 すると

$$\int_{0}^{L} I_{D} dx = \int_{0}^{L} Z \mu C_{OX} \{ V_{G} - V_{th} - V(x) \} \frac{dV}{dx} dx$$
(2.18)

$$I_{D}L = Z\mu C_{OX} \left\{ (V_{G} - V_{th}) V_{D} - \frac{1}{2} V_{D}^{2} \right\}$$
(2.19)

$$I_{D} = \frac{Z\mu C_{OX}}{2L} \left\{ (V_{G} - V_{th})^{2} - (V_{G} - V_{th} - V_{D}^{2}) \right\}$$
(2.20)

となる。すなわちドレイン電流 I_{D} は V_{D} とともに増加し、 $V_{D}=(V_{G}-V_{th})$ において最大となる。 この最大のところがピンチオフのところである。

次に、ドレイン電圧を増して $V_D > (V_G - V_{th})$ となった場合を考える。この場合ソースは零電 位であるから、図 2.4(c)に示すようにソースからドレインまでのシリコン表面のどこかに $V(x) = V_G - V_{th}$ の電位のところがあり、図 2.5 に示すように、その右側においてはゲートから の酸化膜内の電界は左側とは逆転して、ゲートからの電界によって表面電荷は誘導されず、 むしろドレインからの空乏層の中を通ってゲートに向かう電界が主となる。すなわち、こ こでは緩やかなチャネルの近似は満たされず、ゲート電圧による誘導電荷もないから、 (2.20)式の V_D 依存特性は使えないこととなる。この $V_D > V_G - V_{th}$ の領域の電流に対する最も簡 単な近似は(2.20)式において $V_D = V_G - V_{th}$ のドレイン電流の頂点となるところにおいても一定 で、ピンチオフ以降はほぼ一定の電流値に飽和するという近似で、チャネル長が比較的大 きい MOS トランジスタではよい近似である。この近似においてドレイン電流は(2.20)式か ら

$$I_{D} = \frac{Z\mu C_{OX}}{2L} (V_{G} - V_{th})^{2}$$

$$V_{D} \ge V_{G} - V_{th}$$
(2.21)

となる。



図 2.4 MOS トランジスタのチャネルとその電位のドレイン電圧による変化



図 2.5 酸化膜および空乏層内の電界

2.1.3. ショートチャネル効果

ショートチャネル効果は LSI の集積度を上がるために素子寸法を小さくしたことから起 こってきた効果である。素子寸法が小さくなるとチャネル領域における電界や電位に及ぼ すソースおよびドレインの影響が顕著になってくる。そのため、電界や電位の 1 次元近似 ができなくなり、本来の 2 次元あるいは 3 次元的な電界分布および電位分布を考える必要 がでてくる。ショートチャネル効果はこのような電界や電位の 2 次元分布の広がりから生 じてくる。

ショートチャネル効果の代表的なものはしきい値電圧 V_{th}の低下である。n チャネル、p チャネルともにチャネル長 L が短くなるに従って、 |V_{th}|が減少する。チャネル長が短く なるにつれて、チャネル領域の電荷がゲート電圧だけでなく、ソースおよびドレイン領域 の空乏層電荷や電界および電位分布の影響を大きく受けるようになるためである。しきい 値電圧の低下以外に、ソース ドレイン間耐圧の低下もショートチャネル化に伴う大きな 問題である。チャネル長が短くなるとドレイン空乏層がソースに近づいてきて、ドレイン 空乏層とソース空乏層がつながってしまう。この状態ではドレイン電界がソース側にまで 影響して、ソース近傍の拡散電位をさげる。このように、パンチスルーが起こり始めると 飽和領域でもドレイン電流は飽和しなくなり、ドレイン電圧の増加と共に急増する。

さらに、表面にチャネルが形成されている場合にはチャネル方向の電界が加速されたキャリアによりアバランシェが起こり、これによって発生したキャリアによってソース-基板-ドレインからなる横型バイポーラトランジスタが導通するため、ソース-ドレイン間耐圧がさらに低下し、あるゲート電圧のところで最小値をとるようになる。また、しきい値電圧の低下やパンチスルーに伴ってサブスレッショルド特性(しきい値電圧以下でのドレイン電流 ゲート電圧特性)が劣化することもショートチャネル化に伴う大きな問題である。 さらに、チャネル電界の増大に伴って発生するホットキャリアによる素子特性の劣化やチャネル内キャリアのドリフト速度の飽和などはショートチャネル MOS トランジスタの信頼性や性能に関係して重要な問題である。

ショートチャネル効果が生じている場合の MOS トランジスタの動作解析を行う近似解析

手法が二つある。一つはチャージシェアモデルによるもの、もう一つは擬 2 次元モデルに よるものである。チャージシェアモデルはゲート電圧が比較的低い領域で、また擬 2 次元 モデルはドレイン電圧の高い領域でよく用いられる。もう少し詳しくいうと擬 2 次元モデ ルは主に飽和領域の動作を比較的精度よく記述するモデルである。特に、ドレイン近傍の 電界を非常に簡単な形の解析式で表すことができるので衝突電離現象やホットキャリア注 入現象を記述するのに有力な手段となるので、ここではこの手法について述べていく。

擬2次元モデルでは図2.6に示すようにソース-ドレイン間をソース領域とドレイン領域 の2領域に分割する。そして、ソース領域ではグラジュアルチャネル近似や空乏近似が成 り立つとし、ドレイン領域にガウスの定理を適用してドレイン近傍の電界を導出する。



図 2.6 擬二次元モデルにおける領域分布

図 2.8 で , , , の 4 辺で囲まれた長方形がドレイン領域である。長方形の 4 辺 のうち はソース領域とドレイン領域を分割する境界線で表す。この境界線上ではソース 領域から求められた電位や電界を境界条件として用いる。 はゲート絶縁膜と半導体の界 面、 はドレイン拡散層端である。 は電位および電界が零になると仮定した境界線で界 面からの深さを X_1 とする。図に示すように、境界 , , , において境界線に垂直な 方向の電界をそれぞれ \vec{E}_1 , \vec{E}_x , \vec{E}_4 また、境界線 から y だけ離れ に平行な境界線に垂 直な電界を \vec{E}_y と定義する。仮定から $\vec{E}_4=0$ である。以上の仮定および定義の基にドレイン 領域に次式で表されるガウスの定理を適用する。

$$\oint_{S_{max}} \cdot dS = Q_{rec} \tag{2.22}$$

ガウスの定理を適用するにあたってはドレイン領域を紙面と垂直な方向に単位長さをも った直方体と考え、境界線 ~ に対応した直方体の側面に沿って面積分を行っている。 したがって、(2.22)式で S は直方体の側面の表面積、D は各側面に垂直な電束密度、Q_{rec}は 直方体内部の全電荷容量となる。(2.22)式に上述の仮定および定義を入れると

$$\oint_{S_{rec}} \cdot dS = \left[\int_{0}^{X_{1}} \left(\varepsilon_{s} \varepsilon_{o} \vec{E}_{y} - \varepsilon_{s} \varepsilon_{o} \vec{E}_{1} \right) dx - \int_{0}^{X_{1}} \left(\varepsilon_{s} \varepsilon_{o} \vec{E}_{s} \right) dx \right]$$
(2.23)

$$Q_{rec} = -q \int_0^y \int_0^{X_1} (N_A + n) dx dy$$
(2.24)

となる。ドレイン領域表面における電位を V 内部の電位を U で表し、U=V(1-x/X₁)²となる近 似を用いると、(2.23),(2.24)から

$$\frac{d}{dV} \left(\frac{dV}{dy}\right)^2 = \frac{6C_{OX}}{\varepsilon_s \varepsilon_0} \left(V - V_g\right) + \frac{6}{\varepsilon_s \varepsilon_0} \left(qN_A - \frac{Q_m}{X_1}\right)$$

$$Q_m = -q \int_0^{X_1} n dx$$

$$V_\sigma = V_G - V_0 - 2\phi_f$$
(2.25)

が導かれる。ここで、Q_mは界面における単位面積当りの可動電荷密度である。

上式を境界 から境界 (ドレイン拡散端)まで積分すると

$$\vec{E}_{SD}^{2} = A^{2}(V_{D} - V_{S1})^{2} + B(V_{D} - V_{S1}) + C \qquad (2.26)$$

$$A^{2} = \frac{3C_{OX}}{\varepsilon_{s}\varepsilon_{0}X_{1}}$$

$$B = \frac{6qN_{A}}{\varepsilon_{s}\varepsilon_{0}} - \frac{6C_{OX}}{\varepsilon_{s}\varepsilon_{0}X_{1}} (V_{g} - V_{S1}) - \frac{6}{\varepsilon_{s}\varepsilon_{0}X_{1}} \frac{\int_{S1}^{V_{D}} Q_{m} dv}{V_{D} - V_{S1}}$$

$$C = \vec{E}_{S1}^{2}$$

のようにドレイン電界 \vec{E}_{SD} が求められる。(2.26)式で \vec{E}_{S1} , V_{S1} は境界 における表面電界と 表面電位である。ドレイン領域が完全にピンチオフ状態で可動電荷の影響がないと仮定す ると B=0 となる。また、境界線 が界面に交わる点をピンチオフ点と近似すると、 $V_{S1} \approx V_P$, $\vec{E}_{S1} = \vec{E}_P$ (ピンチオフ電界)となるので(2.26)式は

$$\vec{E}_{SD}^{2} = A^{2} (V_{D} - V_{P})^{2} + \vec{E}_{P}^{2} = A^{2} (V_{DS} - V_{PS})^{2} + \vec{E}_{PS}^{2}$$
(2.27)
のように簡単になる。

以上のようにして、飽和領域におけるドレイン電界を簡単な解析式で記述できたので、 次にこのドレイン電界を用いてドレイン電流を求める。ドレイン電流がドリフト電流であ

次にこのドレイン電界を用いてドレイン電流を求める。ドレイン電流がドリフト電流であ るとすると一般的に次式で表される。

$$I_D = W \cdot Q_m \cdot \mu \vec{E}_y = -W \cdot Q_m \cdot \mu \frac{dV}{dy}$$
(2.28)

ソース領域では Q_m=Q_n(チャネル内電荷密度)となるので(2.28)式は

$$I_D = W \cdot Q_n \cdot \mu \vec{E}_y \tag{2.29}$$

となる。ドレイン領域では Q_mは非常に小さくなるが完全に零とはならない。このことは (2.27)式を導く際に可動電荷の影響を無視したことと矛盾するように感じるかもしれない

が、これは(2.26)式の B の式で電界に対する可動電荷の寄与分が他の項に比べて非常に小 さいと近似しただけであって、けっして Q_m=0 としたわけではない。ドレイン領域では電界 E_yが非常に大きいため、Q_mが小さくともソース領域と同じ一定のドレイン電流 I_Dを流すこ とができるのである。

以上の論議から、(2.28)式はソース領域でもドレイン領域でも成り立つ一般的な式であることが分かる。(2.28)式から

$$\frac{dI_D}{I_D} = \frac{dV}{L \cdot \left(-\vec{E}_{sy}\right)}$$
(2.30)

が得られるので、この式をドレイン領域にわたって積分するとドレイン電流は

$$I_D = I_1 \cdot \exp(\Delta L / L) \tag{2.31}$$

のように与えられる。ここで、 Lは

$$\Delta L = \int_{V_{S1}}^{V_D} \frac{dV}{(-\vec{E}_{sy})} = \int_{V_{PS}}^{V_{DS}} \frac{dV}{(-\vec{E}_{sy})}$$
(2.32)

で与えられる。

前述のように境界線 が界面と交わる点をピンチオフ点と近似できるので(2.31)式は $I_D = I_{Dsat} \cdot \exp(\Delta L/L)$ (2.33)

と書き表すことができる。ここで I_{Dsat} は飽和電流である。したがって、(2.32)と (2.27),(2.32)式からドレイン電流は

$$I_{D} = I_{Dsat} \left[\sqrt{\left\{ \frac{A}{\vec{E}_{PS}} \left(V_{DS} - V_{PS} \right) \right\}^{2} + 1} + \frac{A}{\vec{E}_{PS}} \left(V_{DS} - V_{PS} \right) \right]^{\frac{1}{LA}}$$
(2.34)

のように与えられる。なお、(2.33)式で L/L 1のときは

$$I_D = \frac{I_{Dsat}}{1 - \frac{\Delta L}{L}} = \frac{L}{L - \Delta L} I_{Dsat} = \frac{L}{L_{eff}} \cdot I_{Dsat}$$
(2.35)

となる。ここで L_{eff} は実行チャネル長である。また、(2.27)式の A はドレイン拡散層深さ x_i およびキャリア速度の飽和を取り入れると

$$A^{2} = \frac{C_{OX}}{\varepsilon_{s}\varepsilon_{0}X_{1}} \cdot \frac{X_{1}}{x_{j} + 0.001(V_{DS} - V_{PS})(X_{1} - x_{j})}$$
(2.36)
$$A^{2} = \sqrt{K_{0}(V_{PS} + V_{SUB} + 2\phi_{f})}$$

のように修正される。ここで V_{SUB} は基板電圧である。

2.1.4. ゲート酸化膜中へのキャリア注入

MOS デバイスではゲート酸化膜中のキャリアの挙動もデバイス特性に大きな影響を与える。特に、ゲート絶縁膜中に注入されたホットキャリアによる特性変動やゲート酸化膜の

絶縁破壊といったような素子の信頼度に関する現象にはゲート酸化膜中のキャリアが重要 な役割を持っている。ここではゲート酸化膜中へのキャリア注入の機構について述べる。

MOS デバイスでは半導体とゲート酸化膜の間に大きなエネルギーバリアがあるため半導体中のキャリアはこのエネルギーバンドに阻止されて容易にゲート酸化膜中には入れなかった。しかし、半導体表面のキャリアに何らかの方法でエネルギーバリアを越えられるエネルギーを与えてやるとキャリアはゲート酸化膜中に用意に注入される。また、キャリアのエネルギーがそれほど大きくなくても、ゲート絶縁膜中の電界を十分に強くするとキャリアはトンネル効果でゲート酸化膜中に注入される。

図 2.7 にゲート酸化膜中にキャリアを注入する方法として代表的な2つの方法を示す。 図 2.7(a)は半導体側に高電界がかかるようにしてこの電界によってキャリアを加速し、弱 いアバランシェ崩壊または衝突電離を起こして多量の高エネルギー状態のキャリア(ホッ トキャリア)を発生させ注入する方法である。



図 2.7 ゲート酸化膜中へのキャリア注入

MOS トランジスタでドレイン電圧を高いかショートチャネル MOS トランジスタにおいて発 生する。図 2.8 に示すようにドレイン電流によってアバランシェ崩壊が起こりそれによっ て発生した担体が基板電流となる。そしてこの基板電流がさらなるアバランシェ崩壊を引 き起こすことによってホットエレクトロンが発生する。このホットエレクトロンがゲート 酸化膜のエネルギーバリアを越え、それがゲート電流となる機構である。



図 2.8 衝突電離によるホットエレクトロン注入

アバランシェ注入によるゲート電流を求める。まず、弱いアバランシェ崩壊によって発生した電子による半導体側の電流密度 J_nはマックスウェル分布を用いて

$$J_n = \int_0^\infty qv(E, \vec{E}) Nc(E) \exp\left(-\frac{E - E_0}{kT_e(\vec{E})}\right) dE$$
(2.37)

のように表される。ここで、vは速度、N_cは半導体側伝導帯の状態密度、E₀は定数、T_eは電 子温度である。これは基板電流の電流密度でもある。今、半導体-絶縁膜界面に到達した電 子が絶縁膜中を注入される確立を P(E)とおくと、注入電流密度 J₀は

$$J_G = \int_0^\infty q P(E) v(E, \vec{E}) Nc(E) \exp\left(-\frac{E - E_0}{k T_e(\vec{E})}\right) dE$$
(2.38)

のようになる。ここでバリアハイト _bより大きなエネルギーを持つ電子のみが注入される として、E q _bで P(E)=P₀、E < q _bで P(E)=0 と仮定すると、(2.38)式は

$$J_{G} = P_{0}xp\left(-\frac{q\phi_{b}}{kT_{e}}\right)\int_{0}^{\infty}qv\left[(E+q\phi_{b}),\varepsilon\right]\cdot N_{c}\left(E,\vec{E}\right)Nc(E+q\phi_{b})\exp\left(-\frac{E-E_{0}}{kT_{e}}\right)dE$$

$$= J_{n}S_{ca}\exp\left(-\frac{q\phi_{b}}{kT_{e}}\right)$$
(2.39)

のようになる。ここで Sca は

$$S_{ca} = \frac{\int_{0}^{\infty} v \left[(E + q\phi_b), \vec{E} \right] Nc(E + q\phi_b) \exp\left(-\frac{E}{kT_e}\right) dE}{\int_{0}^{\infty} v \left(E, \vec{E}\right) Nc(E) \exp\left(-\frac{E}{kT_e}\right) dE}$$
(2.40)

であり、散乱因子とよばれる。(2.39)式から電子が電子温度 T_eの高い高エネルギー状態に なると急激に注入電流が増加することがわかる。また、(2.39)式から注入電流密度 J_eはバ リアハイト bによっても大きく変化することがわかる。そのため、図 2.9 に示すようにバ リアハイト bの値としては鏡像力による低下分 bを考慮したより正確な値を用いる必 要がある。鏡像力および電界効果によるポテンシャルエネルギーの低下はそれぞれ q²/(16

 $_{0 ox}$)、 $q\vec{E}ox$ で表されるので、これらを考慮した後の絶縁膜中のポテンシャルエネル ギーq $_{bi}(\mathbf{x})$ は

$$q\phi_{bi}(x) = q\phi_{b0} - \frac{q^2}{16\pi\varepsilon_0\varepsilon_{OX}x} - q\vec{E}_{OX}x$$
(2.41)

のうように表される。したがって bi(x)は

$$x_{m0} = \sqrt{\frac{q}{16\pi\varepsilon_0\varepsilon_{OX}\vec{E}oX}}$$
(2.42)

で最大となり、バリアハイトの低下分。。は

$$\Delta\phi_b = \sqrt{\frac{q\vec{E}_{OX}}{4\pi\varepsilon_0\varepsilon_{OX}}} \tag{2.43}$$

のように求められる。したがって、鏡像力を考慮したバリアハイト 。は

$$\phi_b = \phi_{b0} - \Delta \phi_b \tag{2.44}$$

で与えられる。



図 2.9 鏡像力によるバリアハイトの低下

図 2.8(b)はトンネル現象によってキャリアを注入する方法である。図の例では半導体側 から電子がトンネル場合であるが、電子のトンネルの仕方は2通り考えられる。1つは半導 体側の伝導帯からゲート電極まで電子が直接トンネルする場合 J_{DT} であり、もう1つは電子 が半導体側の伝導帯から絶縁膜の伝導帯にまずトンネルした後ドリフトによってゲート電 極に流れ込む場合 J_{FN} である。前者は直接トンネリング、後者は Fowler-Nordheim トンネリ ングと呼ばれる。トンネル電流の式は正確に解くと非常に複雑となるが、簡単には

$$J \propto \vec{E}_{OX}^{2} \exp\left[-\frac{4\sqrt{2m^{*}(q\phi_{b})^{3/2}}}{3q\hbar\vec{E}_{OX}}\right]$$
(2.45)

の形で表される。ここで m^{*}は有効質量である。また、Fowler-Nordheimの式は

$$J_{FN} = \frac{q^2 \vec{E}_{OX}^2}{8\pi h \phi_b} \exp\left[-\frac{4\sqrt{2m^*}(q\phi_b)^{3/2}}{3q\hbar \vec{E}_{OX}}\right]$$
(2.46)

となる。

また、鏡像力によるバリアハイト低下、およびバリアハイトの温度依存性を考慮すると、 (2.46)式は

$$J_{FN} = \frac{q^2 \vec{E}_{OX}^2 m}{8\pi \hbar \phi_b m^*} \frac{1}{t^2(y)} \frac{\pi C kT}{\sin(\pi C kT)} \exp\left[-\frac{4\sqrt{2m^*}(q\phi_b)^{3/2}}{3q\hbar \vec{E}_{OX}}v(y)\right]$$
(2.47)

ここで $C = 2\sqrt{2m^*q\phi_b} \cdot t(y)/\hbar q \vec{E}_{OX}$ 、y は鏡像力によるバリアハイト低下を表す量で $y = \Delta \phi_b / \phi_b$ 、t(y),v(y)はそれぞれ楕円積分である。

2.1.5. ゲート酸化膜中のトラップ

トラップで捕獲されたキャリアは一度捕獲されるとトラップのまわりは絶縁であるため 簡単には放出されず長時間(ほぼ半永久的)捕獲されたままでいる。しかし、熱励起、衝突 電離、トンネル、そして光励起のよってトラップから抜け出ることができる。この現象を デトラッピングと呼んでいる。デトラッピングが重要でないときの反応速度式は次のよう に表される。

$$\frac{dn_t}{dt} = n_C v_{th} \sigma_C (N_t - n_t)$$
(2.48)

ここで n_t はトラップに捕獲された電子の密度、n_c は絶縁膜伝導帯の電子密度、v_{th} は熱運動 速度、 c は捕獲断面積、N_t はトラップ密度である。絶縁膜中の電界が 0.2~3[MV/cm]では ドリフト速度 v_d は熱運動速度 v_{th} にほぼ等しくなるので、絶縁膜中を流れるゲート電流密度 J_cを

$$J_G = qn_C v_d \approx qn_C v_{th} \tag{2.49}$$

と近似する。さらにゲート電流の時間に依存性が小さいと仮定すると(2.48)式から次式が 得られる。

$$n_t(t) = N_t \left[1 - \exp\left(-\frac{t}{\tau_C}\right) \right]$$
(2.50)

ここで

$$\tau_{C} = (J_{G}\sigma_{C}/q)^{-1}$$
(2.51)

は捕獲時定数を表している。(2.50)式を絶縁膜全体にわたって積分するとトラップ表面密度Q_tは

$$Q_t(t) = qN_T \left[1 - \exp\left(-\frac{t}{\tau_C}\right) \right]$$
(2.52)

のようになる。ここで $Q_t(t) = q \int_0^{t_{OX}} n_t dx$ 、 $N_T = \int_0^{t_{OX}} N_t dx$ である。

$$\vec{E}_G(t) = \vec{E} + \frac{Q_t(t)}{\varepsilon_0 \varepsilon_{OX}} \frac{\vec{x}}{t_{OX}}$$
(2.53)

$$\vec{E}s(t) = \vec{E} - \frac{Q_t(t)}{\varepsilon_0 \varepsilon_{OX}} \left(1 - \frac{\bar{x}}{t_{OX}} \right)$$
(2.54)

また、逆にゲート電圧に負電圧を印加した場合は次のようになる。

$$\vec{E}_G(t) = \vec{E} - \frac{Q_t(t)}{\varepsilon_0 \varepsilon_{OX}} \frac{\vec{x}}{t_{OX}}$$
(2.56)

$$\vec{E}s(t) = \vec{E} + \frac{Q_t(t)}{\varepsilon_0 \varepsilon_{OX}} \left(1 - \frac{\bar{x}}{t_{OX}} \right)$$
(2.57)

このように、キャリアが捕獲されることによってそれぞれの電界が変わると絶縁膜中に 注入される電流も変化してくる。注入されるキャリアが電子で、流れる電流が Fowler-Nordheim電流であるとき印加電圧負側の電界によって電流値が決められる。したが って、絶縁膜中のトラップに電子が捕獲されているときには印加電圧負側の電界は常に弱 められるので、ゲート電流は正負のどちらのゲート電圧を印加しても減少する。このとき の I_G-V_G特性におけるゲート電圧のシフト分 V_G(+)、 V_G(-)は

$$\Delta V_G(+) = \frac{Q_I(t)}{\varepsilon_0 \varepsilon_{OX}} \left(t_{OX} - \bar{x} \right)$$
(2.58)

$$\Delta V_G(-) = \frac{Q_t(t)}{\varepsilon_0 \varepsilon_{OX}} \bar{x}$$
(2.59)

のようになる。絶縁膜中に電子が捕獲されているときには C-V 特性も変化する。電子が捕獲されることによって C-V 特性におけるフラットバンド電圧のシフト分 V₀は(2.52)式から

$$\Delta V_0 = \frac{Q_t(t) \cdot t_{OX} - \bar{x}}{\varepsilon_0 \varepsilon_{OX}} = \frac{q N_T \bar{x}}{\varepsilon_0 \varepsilon_{OX}} \left[1 - \exp(-t/\tau_C) \right]$$
(2.60)

のように求められる。

2.2. ショットキー電流

ショットキー接合とは金属と不純物半導体を接合した MS 構造である。金属と半導体が接触すると仕事関数の差により電位障壁が生じる。この電位障壁のことをショットキーバリアと呼んでいる。このバリアが両者の接触付近における空間電荷によって形成されたときは、整流作用が起こり、この接触を整流性接触という。また金属の種類によってバリアが形成されないこともあり、この接触を抵抗性接触という。ここでは金属と n 形半導体の接触を例にその動作原理・理論について述べていく。

2.2.1. 整流性接触

熱平衡状態

図 2.10 は金属と n 形半導体の接触前の状態のエネルギーバンド図を示したものである。 エネルギー準位の相対的位置は真空準位を基準として決められている。金属では電子を表 面から外側への真空中へ取りだすためには仕事がなされなければならない。0[K]における 電子が占める最高の状態はフェルミ準位 E_{fm}であるから、電子を金属から放出するためには、 少なくとも真空準位とフェルミ準位の差のエネルギーを電子に与えられなければならない。 1 個の電子をフェルミ準位から真空準位へ取り出すのに要する仕事を仕事関数といい、ここ では q wとする。半導体では、電子は平均してフェルミ準位に等しいエネルギーの位置か ら真空中に取り出されると考えるので、フェルミ準位と真空準位との差 q sを仕事関数と 定義する。一方、1 個の電子を伝導体の底から真空準位へ取り出すのに要するエネルギーと して電子親和力 q sを定義する。整流性接触とは特に金属の仕事関数が半導体の仕事関数 と比較して大きい場合の接触のことをいう。



図 2.11 は接触後外部から電圧を印加しない場合で、熱平衡状態のエネルギーバンド図で ある。接触付近に存在する n 形半導体の伝導電子は金属に拡散し、金属の接触付近に負の 表面電荷が蓄積され、n 形半導体の接触付近にドナーイオンが残り空乏層が形成される。空 乏層が形成されると接触付近には内部電界が発生し、半導体から金属へ電子の拡散がなく なり、両者のフェルミ準位が一致する。そのため、空乏層のエネルギーバンドは図のよう に湾曲し、バリアが形成される。すなわち、内部電位により電子が動かなくなるのは、こ のバリアが存在するためである。この金属から見たバリアの高さ q B は次式で示される。

$$q\phi_B = q\phi_M - \chi_s \tag{2.61}$$

また、半導体内部には

$$V_0 = \phi_M - \phi_s \tag{2.62}$$

の内部電位が生じる。

ショットキー接合ではこのように、半導体表面に空乏層が形成される。この幅や内部電 界の状況については、金属内部には高密度の電荷が存在できるために空乏層が出来ないと 近似した考え方で理解できる。すなわち図 2.12 のような理想モデルを考えればよい。





図 2.12 ショットキー接合における空乏層と電荷、電界分布

結果として熱平衡状態の空乏層幅₩は半導体側のみを考えた次式のように表される。

$$W(0) = \sqrt{\frac{2\varepsilon_0 \varepsilon_s}{qN_d} V_0}$$
(2.63)

そして、単位面積あたりの接合容量 C」は次のようになる。

$$C_J(0) = \sqrt{\frac{q\varepsilon_0\varepsilon_s N_D}{2} \cdot \frac{1}{V_0}}$$
(2.64)

前述したように外部からの電圧 V_Aがゼロの場合は、V₀なる内部電界が存在する。そのため、接合付近の n 形半導体領域の多数キャリアである電子のうち、このバリアを乗り越えられるエネルギーをもったものだけが金属へと移動する。電位障壁 V₀を越えられる電子の存在確率は、マクスウェル ボルツマンの分布関数で与えられ、

$$\exp\!\left(-\frac{qV_0}{kT}\right)$$

に比例すると考えてよい。したがって、内部電界に逆らって半導体から金属へ流れる拡散 電流 I_{sdif} は次のように書ける。

$$I_{sdif}(0) = I_0 \exp\left(-\frac{qV_0}{kT}\right)$$
(2.65)

また、ショットキーバリアを越えて金属から半導体へ流れる拡散電流 I_{Mdif} は次のように 表される。

$$I_{Mdif}(0) = I_0 \exp\left(-\frac{q\phi_B}{kT}\right)$$
(2.66)

熱平衡状態では半導体及び金属からのこの拡散電流が等しく、正味の電流は流れない。 $I(0) = I_{sdif}(0) - I_{Mdif}(0) = 0$ (2.67)

順方向電圧印加

図2.13 は金属に正、半導体に負電荷 V_Aを印加した場合のエネルギーバンド図である。印 加電圧 V_Aにより半導体のフェルミ準位 E_{fs}は金属のフェルミ準位より V_Aだけ上がるため、半 導体の伝導帯のバリアは低くなり空乏層の幅も狭くなる。そのため n 形半導体の多数キャ リアである電子はバリアを越えて金属に拡散し、外部電界のドリフト作用により次々と金 属に移動するので、金属から半導体に向かって電流が流れる。なお n 形半導体の少数キャ リアであるホールに対してもバリアは低くなるため、ホールによる電流も順方向に加わる が極めて微少であり、多数キャリアの電子によって順方向電流が流れていると考えてよい。



図 2.13 整流性接触後順方向電圧印加時のエネルギーバンド図

順方向電圧 V_A が印加された場合は半導体からのバリアの高さは $(V_0 - V_A)$ となる。したがって、 $I_{sdiff}(V_A)$ は次式となる。

$$I_{sdif}(V_A) = I_0 \exp\left\{-\frac{q(V_0 - V_A)}{kT}\right\}$$
(2.68)

一方、金属から半導体をみたときのバリアの高さ _Bは電圧によって一次的には変わらないから一定である。これは、 _Bが電圧に依存せず物質固有の値で固定されているからである。 よって

$$I_{Mdif}\left(V_{A}\right) = I_{Mdif}\left(0\right) = I_{0} \exp\left(-\frac{q\phi_{B}}{kT}\right)$$
(2.69)

となるから、差し引きによって、流れる電流 I (V_A)は次式となる。

$$I(V_{A}) = I_{sdif}(V_{A}) - I_{Mdif}(V_{A})$$

$$= I_{0} \exp\left\{\frac{q(V_{A} - V_{0})}{kT}\right\} - I_{0} \exp\left(-\frac{q\phi_{B}}{kT}\right)$$

$$= I_{0} \exp\left(-\frac{q\phi_{0}}{kT}\right) \left\{\exp\left(\frac{qV_{A}}{kT}\right) - 1\right\}$$

$$= I_{sdif}(0) \left\{\exp\left(\frac{qV_{A}}{kT}\right) - 1\right\}$$
(2.70)

また、空乏層幅 W(V_A)及び単位面積辺りの接合容量 C_J(V_A)は次のようになる。

$$W(V_A) = \sqrt{\frac{2\varepsilon_0 \varepsilon_s}{q N_D} \cdot (V_0 - V_A)}$$
(2.71)

$$C_J(V_A) = \sqrt{\frac{q\varepsilon_0\varepsilon_s N_D}{2} \cdot \frac{1}{V_0 - V_A}}$$
(2.72)

逆方向電圧印加

図2.14 は金属に負、半導体に正電圧 V_Aを印加した場合のエネルギーバンド図である。印 加電圧 V_Aにより半導体のフェルミ準位 E_{fs}は金属のフェルミ準位より V_Aだけ下がるため、そ の分だけ半導体側からのバリアが高くなり半導体から電子への移動ができなくなる。しか し、金属側からのバリアの高さは変化しないので半導体側のフェルミ準位が下がっただけ 拡散電流により微少な電流が流れる。この電流は電圧の大きさにかかわらずほぼ一定値を 示すので逆飽和電流と呼んでいる。



図 2.14 整流性接触後順方向電圧印加時のエネルギーバンド図

逆方向電圧 V_A が印加された場合は半導体からのバリアの高さは $(V_0 + V_A)$ となる。したがって、 $I_{sdif}(-V_A)$ は次式となる。

$$I_{sdif}(-V_{A}) = I_{0} \exp\left\{-\frac{q(V_{0}+V_{A})}{kT}\right\}$$
(2.73)

一方、前述したように金属から半導体をみたときのバリアの高さ _Bは電圧によって一次 的には変わらないので

$$I_{Mdif}\left(-V_{A}\right) = I_{0} \exp\left(-\frac{q\phi_{B}}{kT}\right)$$
(2.74)

となるから、差し引きによって、流れる電流 I(- V_A)は次式となる。

$$I(-V_{A}) = I_{0} \exp\left\{\frac{q(-V_{A} - V_{0})}{kT}\right\} - I_{0} \exp\left(-\frac{q\phi_{B}}{kT}\right)$$
$$= I_{0} \exp\left(-\frac{q\phi_{0}}{kT}\right) \left\{\exp\left(-\frac{qV_{A}}{kT}\right) - 1\right\}$$
$$= I_{sdif} \left(0\right) \left\{\exp\left(-\frac{qV_{A}}{kT}\right) - 1\right\}$$
(2.75)

ここで

$$\exp\!\left(-\frac{qV_A}{kT}\right) < 1$$

であるので I(- V_A)は負になり、金属側から半導体側へより多く電子が流れることが確認される。さらに(2.75)式より

$$I_{sdif} \left(-V_A\right) - I_{Mdif} \left(-V_A\right) \approx -I_{Mdif} \left(-V_A\right)$$

となり、印加電圧の大きさが変化してもバリアを越える電子の量は一定となる。 また、空乏層幅 W(- V₄)及び単位面積辺りの接合容量 C₁(- V₄)は次のようになる。

$$W(-V_A) = \sqrt{\frac{2\varepsilon_0 \varepsilon_s}{q N_D} \cdot (V_0 + V_A)}$$

$$C_J(-V_A) = \sqrt{\frac{q\varepsilon_0 \varepsilon_s N_D}{2} \cdot \frac{1}{V_0 + V_A}}$$
(2.76)
(2.77)

したがって、接触境界部をまたいで外部から印加する電圧の方向によって電流が非常に よく流れたり、そうでなかったりする。これはとりもなおさず整流作用であり、このよう な接触を整流性接触という。

2.2.2. 抵抗性接触

熱平衡状態

図 2.15 は金属と n 形半導体の接触前のエネルギーバンド図であり、接触後は整流性接触 と同様に、両者のフェルミ準位が一致するように電荷分布状態が変化する。

図 2.16 は、接触後の電荷分布状態の変化をエネルギーバンド図で示したものである。 M< 。であるときフェルミ準位はEfm>Efsであり、金属の電子がn形半導体に拡散するため、 金属の接触付近には負の表面電荷が形成される。このような負の電荷の増加により半導体 の接触付近のエネルギーバンドは湾曲し、半導体のフェルミ準位が伝導体に入り込む状態 となり、バリアは形成されない。そのため金属と反動他の電子は拡散しようとするが、両 者のフェルミ準位が一致して電子の拡散はなくなる、つまり熱平衡状態となる。



図 2.15 抵抗性接触前のエネルギーバンド図



図 2.16 抵抗性接触後の熱平衡状態エネルギーバンド図

順方向電圧印加

抵抗性接触に順方向電圧を印加すると図2.17のような動作状態を示すエネルギーバンド 図になる。この順バイアスによりフェルミ準位はE_{fm}<E_{fs}となり、半導体の伝導体準位も上 がるため、バリアの存在しない接触付近を電子は半導体から金属へ移動し、順方向電流が 金属から半導体へ流れる。



図 2.17 抵抗接触後順方向電圧印加時のエネルギーバンド図

逆方向電圧印加

図 2.18 は逆方向電圧を印加した場合の動作状態を示すエネルギーバンド図である。両者のフェルミ準位の関係は順方向電圧を印加した場合とは逆に、Ef_m>Ef_nとなる。そのため半導体の伝導体準位は下がり、金属から半導体へ電子が移動し、逆方向電流が半導体から金属へ流れる。



図 2.18 抵抗接触後逆方向電圧印加時のエネルギーバンド図

つまり、半導体側に正あるいは負になるような外部から電圧が印加されても、図2.17 あるいは図2.18 に示したように、電子の流れに対して妨げとなるような電位バリアは生じない。したがって、印加電圧の方向によって電流が流れたり流れなかったりする整流作用は現れない。このような接触を抵抗接触という。

第三章 測定システム

3.1. 序論

MOS トランジスタの進歩が進むにつれて内部で取り扱う電流値は低下している。そのため、 MOS トランジスタの漏れ電流値も低下しており、これを評価するためには極めて微少な電流 が計測可能なシステムの構築が必要である。そこで今回、MOS トランジスタのそれぞれ4端 子での微少電流の測定が可能なシステムを構築した。ゲート電圧測定用の端子においては システムリーク電流を4.0×10⁻¹⁵[A]に抑え1.0×10⁻¹⁴[A]クラスの測定が可能である。

3.2. 測定システム

図 3.1 が構築したシステムの全体写真である。写真の左二つのラックに測定装置類を配置し、測定資料は右のシールドボックス内に格納して測定を行う。また、その内部を拡大したものが図 3.2 である。



図 3.1 MOS トランジスタ微少電流測定システム



図 3.2 シールドボックス内部



図 3.3 測定システム概略図

図 3.3 は測定システムの概略図である。HP4141B(図 3.4)は電源と電流計を兼ね備えた

装置で 1.0[pA]という非常に微少な電流測定が可能である。そして、電流計と定電圧源(あるいは電圧計と定電流源)を兼ね備えた端子を4つと、これとは別に定電圧源2系統と電圧計2系統を搭載している。HP4141Bではソース、ドレイン、そして基板への電圧印加と電流測定に用いている。



図 3.4 HP4141B

HP4140B(図 3.5)は定電圧源 2 系統と電流計 1 系統を搭載した装置である。この装置も HP4141B と同様に 1.0[pA]という非常に微量な電流測定が可能である。HP4141B 比べて非常 にシステムリーク電流が少ないため、流れる電流が微少であるゲートの電流測定用として 用いた。



図 3.5 HP4140B

ゲート端子の定電圧源として先に述べた HP4140B の電源を用いず TR6150(図 3.6)を用いた。こちらは HP4140B が 1.0×10⁻³[V]の分解能であるのに対して TR6150 は 1.0×10⁻⁵[V]であり非常に細かい電圧の設定が可能である。また、この定電圧源はゲート端子に限らずドレイン電圧を細かく設定した場合でドレインの定電圧源としても用いた。



図 3.6 TR6150

それぞれの測定器から変換ボックス(図 3.7)までは雑音が測定器や蛍光灯などの雑音が 非常に多く外部からの影響を受けやすい。そのため、トライアキシャルケーブルという信 号線を二重の金網で守る構造の雑音に強いケーブルが用いている。そして、シールドボッ クス(図 3.8)内部では外部からの雑音がカットされているため変換ボックスによって信号 線を守る金網層が1つのコアキシャルケーブルに変換している。

また、シールドボックス内に測定試料を設置しているためむき出しのウェハ状態試料で も測定が可能である。



図 3.7 ケーブル変換ボックス


図 3.8 シールドボックス

これらのすべての装置は GP-IB ケーブルで PC に接続されている。そして、PC によって Visual Basic プログラムで制御されている。

3.3. 測定システム試験

図 3.9 はプローバに何も接続しないでゲート電流測定用端子である HP4140B の電圧 電 流特性を測定した結果である。電圧を増加させてもシステムリーク電流が±1.0×10⁻¹⁴[A] 以内であり、10⁻¹⁴[A] クラスの電流測定が可能である。

また、図 3.10 は 3 × 10¹⁴ []という非常に高抵抗な素子をプローバとウェハ台の間に接続して測定を行った結果である。この結果より 10⁻¹⁴[A]という微量な電流レベルも正確な測定できていることが確認できる。

これから示していく測定結果は 10⁻¹⁴[A]より十分に大きな電流を測定しているため測定 値にバラつきがないものと言える。



図 3.9 無接続での電圧 電流特性



図 3.10 10¹⁴ []接続時の電圧 電流特性

3.3. 結論

外部からの雑音除去などを施すことによりウェハ状態でソース、ドレイン、基板、ゲート電流の4つの微少な電流が同時に測定可能なシステムを構築した。図3.9と図3.10の結果から10⁻¹⁴[A]という微少なレベルでの正確な測定ができていることが確認できる。

<u>第四章 ショットキー</u>接合電流測定

4.1. 序論

MOS トランジスタのゲート酸化膜破壊はゲート電流が大きく起因する。ドレイン-基板間 の pn 接合での電離破壊、つまり正孔・電子対の発生によりドレイン電流は電流がソース電 流に比べ増加する。このドレイン電流と相反するキャリアによって基板電流は発生する。 そして、ドレイン電流の一部でゲート酸化膜障壁を越えられるキャリアがゲート電流とな る。このようなことからゲート電流はキャリアジェネレーションに大きく依存している。

この章では簡単なキャリアジェネレーションによる微少電流の発生を確認するため、金属と半導体を接合した構造のショットキー接合素子の評価を行った。また、重金属の添加 によるキャリアジェネレーション及び漏れ電流への影響についても評価を行う。

4.2. 測定試料

シリコンウェハ上での pn 接合形成はイオン注入を行うため、均一なキャリア濃度の素子 を形成するのは不可能である。また、p 形と n 形との濃度差により電圧印加時における空乏 層広がりに偏りが生じてしまう。こういった効果を無視したキャリアジェネレーション及 び漏れ電流の評価を行うため、半導体-半導体の接合ではなく片方を金属に変えた金属-半 導体の接合、いわゆるショットキー接合を用いた。この構造はシリコンウェハ上に直接金 属を蒸着するためシリコンウェハ内のキャリア濃度の位置による差は極めて少ない。また、 金属と半導体との接合であるため半導体と半導体の接合のように濃度差による空乏層広が りの偏りを考える必要がない。

試料は現在主流の LOCOS プロセスではなく、プレナープロセスで製作されたものを用い た。シリコンウェハメーカー出荷時のジェネレーションライフタイムが室温で数千秒ある のに対して実際の DRAM は数十秒という 100 分の 1 まで低下してしまう。これは、通常行わ れる LOCOS プロセスではフィールド酸化膜端でのストレス誘起が大きく影響するためであ る。重金属による漏れ電流特性の評価を行う際には、できるだけ重金属影響のみを確認す るためストレスが掛かりにくい構造のプレナー型を用いた。

4.2.1. LOCOS プロセス

LOCOS プロセスとは現在一般的に採用されているプロセスである。単純なプロセスの流れを次に示す。

ウェ八全体薄く酸化(パッド酸化膜)、その上にシリコン窒化膜形成 フィールド酸化膜部分の酸化膜及び窒化膜除去 フィールド酸化膜形成のため酸化 すべてのパッド酸化膜及びシリコン窒化膜除去 ウェ八全体多結晶シリコン堆積 リソグラフィ工程により電極領域以外の多結晶シリコン除去

このような流れで LOCOS プロセスは図 4.1 のようなショットキー接合を形成する。多結 晶シリコンはアルミニウムと比較して導電率が低いが、拡散を行うような温度においても 安定である。さらに自己整合とよばれる位置合わせをおこなっているため、微細化でのリ ソグラフィにおいて誤差が少ないという利点がある。しかし、部分的な酸化によりフィー ルド酸化膜を形成するためフィールド酸化膜端でのストレス誘起欠陥が発生するという問 題を持っている。



図 4.1 LOCOS プロセス

4.2.2. プレナープロセス

プレナープロセスとは電極がまだアルミニウムのころ使用されていた方式で現在は一般 的には採用されていない。単純なプロセスの流れを次に示す。

ウェハ全体酸化

電極領域の酸化膜を選択的に除去

ウェハ全体アルミニウム蒸着

リソグラフィ工程により電極領域以外のアルミニウム除去

このような流れでプレナープロセスは図 4.2 のような pn 接合の形成を行う。フィールド酸化膜の形成方法がウェハ全体を酸化させてから除去をするという方式のため、フィールド酸化膜端でのストレス誘起欠陥が少なく漏れ電流に強いという特性を持つ。



図 4.2 プレナー型

4.2.3. 測定試料データ

試料は、基板濃度 5.0×10¹⁵[cm⁻³]の n 形シリコン基板を用いた。そして、重金属を添加し ていないものを Reference(表 4.1)とし鉄汚染 2.3×10¹¹[cm⁻³]したもの(表 4.2)との比較を 行った。さらに、接合面積による違いを評価するために 6 種類(Reference 試料は 4 種類) の面積が違うショットキー接合を用いた。この接合面積の情報に関しては、比率より推量 したものであるので多少の誤差が考えられる。

試料名	SNRef-1	SNRef-2	SNRef-3	SNRef-4
長さ比	1.00	1.78	2.56	5.67
面積比	1.00	3.17	6.55	32.1
製造方式	プレナー型			
基板伝導形	n 形			
基板濃度[cm ⁻³]	5.0 × 10 ¹⁵			
汚染物元素				
汚染物濃度[cm ⁻³]	なし			

表 4.1 n 形基板 Reference 試料

表 4.2	n 形基板鉄汚染 2.3×10 ¹¹	[c m ⁻³]	試料
· L < 1 · L =			H-V-1 1

試料名	SNFe-1	SNFe-2	SNFe-3	SNFe-4	SNFe-5	SNFe-6
長さ比	1.00	1.78	2.56	5.67	9.44	14.0
面積比	1.00	3.17	6.55	32.1	89.1	196
製造方式	プレナー型					
基板伝導形						
基板濃度[cm ⁻³]	5.0 × 10 ¹⁵					
汚染物元素	Fe					
汚染物濃度[cm ⁻³]	2.3 × 10 ¹¹					

4.3. ショットキー接合電流測定

n 形基板である2種類の試料を用いて測定を行った。金属側に正電圧を半導体側に負電圧 を印加したとき(これを正電圧印加とする)と逆に金属側に負電圧を半導体側に正電圧印加 したとき(これを負電圧印加とする)の電流測定結果を示す。 4.3.1 正電圧印加

ショットキー接合の金属側に正電圧を0[V]から0.1[V]刻みで1[V]まで印加し、そしてそのときに流れる電流の測定を行った。まず、Reference 試料についての測定結果を次に示す。 グラフ内の4種類のデータは面積の違うそれぞれの素子での測定結果を示したものである。 素子の接合面積が広がることによって電流が流れ始める開始電圧、いわゆる立ち上がり 電圧は低下していく。また、少し分かりにくいが直線部分の傾きもすべての素子で違って

おり、最も面積差が大きい SNRef-1 と SNRef-4 とでは電圧が増加するにつれて電流の差が 確認できるぐらいに大きくなってきている。



図 4.3 Reference 試料における正電圧印加時の電流

2.3×10¹¹[cm⁻³]という微量な鉄汚染をほどこした試料についても同様の測定を行ったので次に示す。

Reference 試料と同様に鉄汚染を施した試料でも接合面積が広くなるにしたがって立ち 上がり電圧が低下することが確認できた。



図 4.4 鉄汚染試料における正電圧印加時の電流

鉄汚染による影響の確認を行うため、Reference 試料と鉄汚染試料の測定結果を総合して 図 4.4 に示す。データは面積がそれぞれ等しい SRef-1 と SNFe-1、そして SRef-4 と SNFe-4 を採用した。

その結果、面積が同じ SRef-1 と SNFe-1、および SRef-4 と SNFe-4 の電流が流れ始める電 圧値はほぼ同じで立ち上がり電圧はほとんど変化していない。また、立ち上がり電圧は同 じであるが、その後の直線部分の傾きに大きな違いがある。つまり、鉄汚染を施した試料 は Reference の試料に比べて傾きが激しくなっている。このことから鉄汚染は立ち上がり 電圧には影響を与えず、全体的な電流量を増加させる働きがある。



図 4.5 正電圧印加時における鉄汚染の影響

4.3.2 負電圧印加

ショットキー接合の負電圧を-50[V]から 0.1[V]刻みで 0[V]まで印加し、その時の電流値の測定を行った。まず、Reference 試料についての測定結果を次に示す。

金属側に負電圧を印加した場合でも正電圧を印加したときと同様に接合面積が広がるに したがって電流値が増加していることが確認できる。図 4.6 ではこのことが細部まで確認 できないので図 4.7 で部分的に拡大したものを示す。これにより面積に差がないもの同士 でもこのことが顕著に現れている。理想的なショットキー接合の逆方向漏れ電流は電圧を 増加させても一定である。しかし、実際には緩やかな傾きで電流が増加している。これは ソフトブレークダウンによる影響であると考えられる。



図 4.6 Reference 試料における負電圧印加時の電流



図 4.7 Reference 試料における負電圧印加時の電流(拡大)

また、漏れ電流と接合面積比との関係を見るために負電圧-10[V], -20[V], -30[V], -40[V], -50[V]印加時をピックアップしてグラフ化したものを図 4.8 に示す。

面積比が小さいところでは直線性を示しており比例関係にあるようにも見られるが全体 として一貫した決まりは確認できなかった。



図 4.8 Reference 試料における面積比 漏れ電流特性

次に鉄汚染を施した試料においても同様の測定を行ったので、その測定結果について次に示す。

鉄汚染を施した試料でも Reference とほぼ同様の面積が広がれば逆方向漏れ電流が増加 するという結果が得られた。ただひとつ違うのは図 4.11 の漏れ電流と面積比との関係を示 したグラフがあらゆる電圧で比例関係を示していることである。このことから鉄汚染が逆 方向漏れ電流に影響を与えるということと、均一な鉄汚染が施されているということが言 える。また、図 4.8 のグラフが鉄汚染を施した結果直線になったことから、鉄汚染による 漏れ電流の影響は非常に大きい。



図 4.9 鉄汚染試料における負電圧印加時の電流



図 4.10 鉄汚染試料における負電圧印加時の電流(拡大)



図 4.11 鉄汚染試料における面積比 漏れ電流特性

さらに、鉄汚染による逆方向漏れ電流の関係を詳しく確認するため Reference 試料と鉄 汚染試料のそれぞれからデータを取り出しグラフにしたものを次に示す。

それぞれ面積が同じもので比較を行うと鉄汚染によって漏れ電流が増加していることが 確認できる。つまり、ソフトブレークダウンが鉄汚染によって激しくなったものと考えら れる。このことは面積が広くなればなるほど顕著に現れている。



図 4.12 n 形基板負電圧印加時における鉄汚染の影響

4.3. 結論

測定試料は正電圧印加時には非常に多くの電流が流れ、負電圧印加時にはほとんど流れ なかったことから抵抗接合ではなくショットキー接合である。2.3×10¹¹[cm⁻³]の微量な鉄汚 染によって正電圧印加時に立ち上がり電圧は変化しないが全体的な電流値を増加させる。 そして、逆方向電圧においても鉄汚染が影響して電流が増加する。面積と漏れ電流の関係 が比例関係を示している。Reference 試料においてこの効果は確認できなかったことから鉄 汚染が漏れ電流増加に大きく影響を与えている。

第五章 ショットキー接合考察

5.1. アルミニウムと半導体の接触

今回、金属に用いた材料はアルミニウムであり、理想的なアルミニウムの仕事関数 q_{AI} はおよそ 4.1[eV]である。それに対してシリコンの電子親和力 q_sが 4.25[eV]、エネルギ ーギャップ E_aが 1.1[eV]である。シリコンの仕事関数_sは次の式から求めることができる。

$$q\phi_s = q\chi_s + \frac{E_g}{2} - q\phi_f \tag{5.1}$$

ここで _fは真性半導体のフェルミレベルE_iと使用している半導体のフェルミレベルとの差であり次式で表される。

$$\phi_f = \frac{kT}{q} \ln \left(\frac{N}{n_i} \right) \tag{5.2}$$

Reference 試料の基板濃度は 5.0×10¹⁵[cm⁻³]である。これを常温の条件で式(5.2)に代入して計算を行うと

$$\phi_f = \frac{300}{11600} \ln \left(\frac{5.0 \times 10^{15}}{1.38 \times 10^{10}} \right) \approx 0.33$$

となる。これを用いて仕事関数 snを求めると次のような値になる。

$$\phi_{sn} = 4.25 + \frac{1.1}{2} - 0.33 \approx 4.5$$



図 5.1 アルミニウムと n 形シリコン基板のエネルギーバンド関係図

n 形シリコン基板の仕事関数がアルミニウムのそれよりも大きい。このことから n 形シリ コン基板では抵抗性接触が形成されるはずである。

 $\phi_{Al} < \phi_{sn}$

しかし、実際には整流性接触という結果が得られている。つまり、アルミニウムの仕事 関数が n 形シリコン基板の仕事関数に対して大きいのである。

 $\phi_{Al} > \phi_{sn}$

図 5.1 は理想的なアルミニウムとシリコンの接触を考えているため理論と結果の相違が 発生したのである。この結果を考える場合、半導体表面の問題、そして金属としてアルミ ニウムを用いているためアルミニウムが半導体中へ拡散することを考慮に入れる必要があ る。

半導体表面は内部と違った性質を持っており、仕事関数が同じである同素材の単結晶を 接触させたとしても一つの単結晶とは全く違う特性になる。これはいかに半導体表面をき れいにしてあっても表面準位と呼ぶ状態があって、内部と電位が異なっている。その結果、 金属と接触する前から図 5.2 のような障壁が出来ている。したがって、その障壁の高さは 表面準位に捕らえられた電子によって決まり、金属の種類によらないのである。



図 5.2 半導体表面構造

また、今回の試料において金属としてアルミニウムを用いている。アルミニウムは低い 温度で溶けるためショットキー接合製作工程で半導体側への拡散が起こる。アルミニウム は 族の原子であるため、半導体内ではアクセプタの役割を果たす。これにより図 5.3 に 示すように半導体界面のフェルミ準位が変動し、障壁を形成するのである。

これらの効果により理想とは違った整流性接触となる。この二つでより効果があるのは

アルミニウムによる半導体への拡散効果である。自然発生的に起こるわずかな表面準位の 影響にくらべてアルミニウム拡散は非常に大きな影響を与える。



図 5.3 半導体へのアルミニウム拡散

5.2. 電流測定

5.2.1 順方向電流

Reference 試料において順方向電流が面積によって立ち上がり電圧が低下している。これは部分的にショットキーバリアを越える電子の数は同じであるが全体的に見ると面積が 広がったため電流が流れ始める電圧点が低くなったのである。電流を求める式に含まれる I₀は次式で表される。

$$I(V_A) = I_0 \exp\left(-\frac{q\phi_0}{kT}\right) \left\{ \exp\left(\frac{qV_A}{kT}\right) - 1 \right\}$$

$$I_0 = A^* T^2 S$$
(5.3)

ここで、A^{*}はリチャードソン定数と呼ばれる材料によって決まる定数である。よって、順 方向電流は面積に依存して増加したのである。

また、Reference 試料と鉄汚染試料の順方向電流を比較すると電流が流れ始める電圧値は 同じである。しかし、電圧を印加していくにしたがって鉄汚染試料の電流が Reference 試 料と比較して大きくなり、両者の電流差が増大している。このことを説明するには原理・ 理論で説明した順方向電流機構よりもう少し複雑になる。その機構を説明するにあたって ショットキー接合の電流の流れを図 5.4 に示す。 この 4 つの電流機構が一般的に考えられるショットキー接合における電流である。まず が濃度差によってショットキーバリアを越えて電子が移動する機構である。そして は 量子力学におけるトンネル効果によって電子が障壁を通過し移動する機構である。これは 非常に濃度の濃いドーピングがなされたときにバンドの湾曲が急になるために起こる。 は空乏層領域でのキャリアジェネレーションによって発生する電流である。最後に は金 属から半導体への正孔注入による電流である。言い換えれば、中性領域でのキャリアジェ ネレーションによる電流である。



図 5.4 ショットキー接合電流機構

この4つの順方向機構で鉄汚染によって電流が増加したことを説明できるのは と で ある。基本的に と はもともと存在する多数キャリアの量に依存する。鉄汚染は 2.3× 10¹¹[cm⁻³]で基板濃度の 5.0×10¹⁵[cm⁻³]と比べて極めて少ないので鉄汚染によって多数キャ リアを増加させるということは考えられない。このことから と の電流機構に鉄汚染が 影響を与えていないといえる。

と の電流機構の基本はキャリアジェネレーションである。ここでショットキー接合 と同じ TEG 内に形成された MOS ダイオードのキャリアジェネレーション量の時間依存性を パルススキャニング C-V 法によって評価をした。その結果、図 5.5 が Reference 試料、図 5.6 が鉄汚染試料のそれを表したもので、横軸が電圧印加保持時間で縦軸がそのときに発生 するキャリアの量である。同じ保持時間でも鉄汚染試料のキャリアジェネレーション量が Reference 試料に比べて多い。これは鉄汚染が施されたことによってシリコンに欠陥ができ 禁制帯内に新たなエネルギーレベルができたことによる。このエネルギーレベルはシリコ ンの伝導帯の下端のエネルギーE。から 0.55[eV]と価電子帯の上端のエネルギーE、から 0.40[eV]の位置に発生する。これにより図 5.7 のように鉄エネルギーレベルを利用した低 いエネルギーでのキャリアジェネレーションが可能になる。 要するに順方向電流の開始電圧点は Reference 試料でも鉄汚染試料でも変わらないがそれ以上の電圧を印加していくと鉄汚染によって発生したエネルギーレベルを利用したキャリアジェネレーションが増加する。その結果、Reference 試料に比べて鉄汚染試料の順方向 電流が増加したのである。

そして、電圧の増加に依存して順方向電流が増加している。このことからの電流機構 というよりもの電流機構によるものが大きいといえる。の電流機構では空乏層の曲が りが大きいほど電流が増加するが、順方向電圧の場合はこの曲がりを小さくしていく方向 に働く。つまり、の電流機構によるものであれば電圧が増加するにしたがい Reference 試料との電流の差が小さくなるはずである。しかし、実際には電流の差は大きくなってい ることから鉄汚染はの電流機構に大きな影響を与えている。

5.2.2 逆方向漏れ電流

図 5.3 の の機構である多数キャリアの拡散電流のみを考慮した場合、ある一定の電 圧を超えると電流は飽和する。しかし、実際に測定した結果の逆方向電流は傾きのある直 線である。このことから逆方向の場合も順方向と同様に図 5.3 の他の 3 種の電流機構を考 える必要がある。

と は前述したようにキャリアジェネレーションによるものである。ここでは逆方向 電圧を印加しているので空乏層幅が伸び、さらに空乏層領域の傾きが大きくなる方向に働 く。その結果、空乏層内のバンドギャップが狭くなる。そのため、空乏層内でのキャリア ジェネレーションが増加し電流が増加する。確かに の電流機構による電流増加も考えら れるが の空乏層内のキャリアジェネレーションによる電流増加の影響が大きい。また、 高電圧を印加しており、ショットキーバリアが狭くなる効果が現れるので のトンネル効 果による電流増加の影響も存分に考えられる。この効果は温度依存性が高いので測定時の 温度調整によって影響の度合を評価することも可能であるが今回はそこまでいたっていな い。

次に逆方向電流に対する鉄汚染による影響について述べる。絶対温度 300[K]において鉄 汚染を施した試料は Reference 試料と比較してどの面積でもおよそ 1.5 倍の増加が確認で きる。また、図 5.5 と図 5.6 のパルススキャニング CV 法で測定した結果を比較すると鉄汚 染試料のキャリアジェネレーション量が 1.5 倍近く増加している。このように漏れ電流の 測定結果とパルススキャニング CV 法でのキャリアジェネレーション量の測定結果に一致が 見られる。

鉄汚染は前項でも述べたようにシリコンの禁制帯内に新たなエネルギーレベルを形成す るためキャリアジェネレーションを活発化させる効果がある。このことより順方向電流と 同様に と の電流機構に影響を与えたものと考えられる。この中でも逆方向電圧の場合 は空乏層を広げる方向に電圧が働くので空乏層内でキャリア発生して電流となる の機構 が鉄汚染による影響をよく受ける。



図 5.5 Reference 試料におけるキャリアジェネレーションの時間依存



図 5.6 鉄汚染試料におけるキャリアジェネレーションの時間依存



図 5.7 鉄汚染によるエネルギーレベルの形成



第六章 MOS トランジスタ電流測定

6.1. 序論

理想的な MOS トランジスタにおいて考えられる電流はソース ドレイン間を流れるチャ ネル電流のみである。しかし、実際には異なり4種類の電流が存在する。MOS トランジスタ はソース、ドレイン、ゲート、そして基板の 4 つの端子を持ち、それぞれの端子に違った 電圧を印加することによって動作する。そのため、実際にはそれぞれの 4 端子において違 った特性の電流が発生する。この理想状態では存在しない電流、いわゆる漏れ電流が MOS トランジスタの動作に大きな影響を与え、DRAM においてはリフレッシュタイムを短くする。 また、MOS トランジスタが故障する一番の要因はゲート酸化膜破壊である。ゲート酸化膜破 壊はサージによって起こる場合もあるがこちらは取り扱い方法に起因する。MOS 特性による ゲート酸化膜破壊は担体がゲート酸化膜を通過することによって発生するゲート電流に大 きく起因する。微細化・高速化に伴いゲート酸化膜は年々薄くなってきており、ゲート電 流を抑えることが要求されている。そのため、非常に微少なゲート電流の機構を知ること が必要である。ここでは、ドレイン、ゲート、基板に通常ではかけないようなレベルの電 圧をかけて、その影響を調べる。また、ゲート長による影響も確認するためゲート長の違 うものを4種類用意して測定を行う。

6.2. 測定試料

6.2.1 構造

測定に用いた MOS トランジスタは図 6.1.に示した LOCOS プロセスで作製されたものである。図 6.1.(a)はその断面写真で、図 6.1.(b)概略図を表したものである。

ソース・ドレイン端子では配線金属と半導体が抵抗性接合されており、この部分での接 触抵抗は低いことが要求されている。そのため図 6.1(b)に示したように接合部分の不純物 濃度を非常に濃く(n⁺⁺)してある。そして、ゲート酸化膜近傍はショートチャンネル化によ るゲートしきい値電圧減少、空乏層の広がりを抑えるため濃く(p⁺)なっている。また、ソー ス・ドレインとゲートの間は電界を緩和するためゲート酸化膜近傍の濃度と近い値(n⁺)にな っている。

6.2.2. 測定試料データ

使用した試料のゲート長とゲート幅、そしてそれぞれの部分における不純物濃度を表 6.1.

に示した。ゲート幅に関するデータはゲート長と比較した結果、比率から求めたので多少の誤差があるものと考えられる。4種類の試料における相違点はゲート長の違いだけによるものである。



(a) 断面写真



(b)概略図 図 6.1. LOCOS プロセス MOS トランジスタ

試料名	SMOS-1	SMOS-2	SMOS-3	SMOS-4
素子名	n チャンネル MOS トランジスタ			
ゲート長[µm]	10.0	1.0	0.6	0.5
ゲート幅[µm]	10			
基板濃度 p [cm ⁻³]	1.0 × 10 ¹⁵			
不純物濃度 p⁺ [cm⁻³]	1.0 × 10 ¹⁶			
不純物濃度 n⁺ [cm⁻³]	1.0 × 10 ¹⁷			
不純物濃度 n⁺⁺ [cm⁻³]	1.0 × 10 ²¹			

表 6.1. 試料情報

6.3. ゲートしきい値電圧

ゲートしきい値電圧は MOS トランジスタの特性を決める重要なパラメータの1つである。 ゲート電圧を印加することにより酸化膜付近で半導体が蓄積状態、空乏状態そして反転状 態へと遷移していく。この反転状態になったときにチャネル電流は流れ始める。この反転 状態を形成するときの電圧がゲートしきい値電圧である。この値を決定する要素として基 板不純物濃度と酸化膜厚、酸化膜比誘電率、そして基板電圧がある。さらにショートチャ ネル効果を考慮にいれるとゲート長も大きな要素の一つとなってくる。

ここでは、ゲートしきい値電圧の測定をそれぞれの試料について行い、ゲート長による ゲートしきい値電圧の変化、基板電圧変化によるゲートしきい値電圧の変化をみる。

6.3.1. ゲートしきい値電圧測定

基板電圧に 0[V]を印加し、ドレイン電圧を 0.1[V]に固定してゲート電圧を 0.01[V]刻み で 0[V]から 2[V]まで増加させてそれぞれの点においてドレイン電流の測定を行った。そし てゲート電圧が 2[V]に達したら基板電圧を変化させて、これまでと同様の工程を繰り返し て行うという方法で測定する。その得られた結果から傾きが最大のところに接線を取り、 横軸との交点を求めることによって、ゲートしきい値電圧とする。

図 6.2 は基板電圧 0[V]でのゲート長 10.0[µm]の SMOS-1 試料の測定結果である。このようにグラフに赤い補助線を引いた結果、この MOS トランジスタのゲートしきい値電圧はおよそ 0.8[V]である。



図 6.2 試料 SMOS-1 のゲートしきい値電圧

そして、図 6.3 は SMOS-1 試料の基板電圧とゲートしきい値電圧の関係を示したものであ る。基板電圧が増加するにしたがい、ゲートしきい値電圧も増加している。このような結 果は他試料においても同様に得られる。



図 6.3 基板電圧変化によるゲートしきい値電圧

それぞれの試料の測定を行いその測定結果を 1 つにまとめたものを図 6.4 に示す。試料 によってゲート長が違うためこのグラフはゲート長とゲートしきい値電圧の関係を表した ものである。ゲート長が10.0[µm]の試料と比較してゲート長が短い試料ではしきい値電圧が低下している。



図 6.4. ゲート長変化によるゲートしきい値電圧

6.4 MOS トランジスタ各電流の関連性

MOS トランジスタのソース電流、ドレイン電流、基板電流及びゲート電流といったさまざ まな電流について測定し、関連性を確認した。SMOS-4 試料で基板電圧-3[V]、ゲート電圧 3[V]を印加しドレイン電圧を0[V]から9[V]まで変化させ電流測定した結果を次に示す。



図 6.5 MOS トランジスタ電流



図 6.6 ドレイン電圧 ソース電流特性(V_G=3,V_{SUB}=-3)



図 6.7 ドレイン電圧 ドレイン電流特性(Vg=3, VSUB=-3)



図 6.8 ドレイン電圧 基板電流特性(V_G=3,V_{SUB}=-3)



図 6.9 ドレイン電圧 ゲート電流特性(V_G=3, V_{SUB}=-3)

ソース電流に比べてドレイン電流の値がドレイン電圧 4.5[V]あたりから大きくなってき ている。そして、基板電流が流れ始める電圧点もおよそ 4.5[V]である。図 6.10 はソース電 流とドレイン電流の差分を取りグラフ化したものと基板電流のグラフを比較したものであ る。ほとんど一致していることからドレイン電流のソース電流に対するかさ上げ分が基板 電流である。また、ゲート電流も基板電流が流れ始めた電圧あたりから流れ始めている。 そして、ドレイン電圧 7[V]を境に減少し始めている。



図 6.10 ソース・ドレイン電流差分と基板電流の関係

6.5 ソース電流

チャネル電流は MOS トランジスタの基本電流であり、MOS トランジスタはこれをゲート電 圧で制御することによって動作している。ここではこのチャネル電流の測定を行う。理想 的な MOS トランジスタにおいてソース電流とドレイン電流はドレイン電圧が低いときには ほとんど等しい。しかし、実際には電圧が高くなると前節の測定結果で示したようにドレ イン電流は増加する。ここでは単純なチャネル電流のゲート電圧、基板電圧及びゲート長 による影響を評価するためドレイン電流ではなくソース電流のそれぞれの測定結果を示す。

6.5.1 ゲート電圧による影響

ゲート電圧によりドレイン電流がどのような影響を受けるのかを確認する。図 6.11 はロ ングチャネルである SMOS-1 試料の基板電圧-3[V]、ゲート電圧 1[V]刻みで 0[V]から 5[V]、 そしてドレイン電圧 0.1[V]刻みで 0[V]から 9[V]まで電流測定を行った結果である。

ゲート電圧が増加するに伴い飽和電流の値が増加している。また、ゲート電圧が 4[V]と 5[V]で高いときにはソフトブレークダウンの効果が現れている。



図 6.11 ゲート電圧によるソース電流への影響(ロングチャネル試料、V_{SIR}=-3)

図 6.12 は同様の測定をショートチャネル試料である SMOS-4 を用いて測定を行った結果 である。

ロングチャネル試料と比較して全体的に電流量が増加している。また、ゲート電圧が5[V] のときには飽和領域が確認できない。



図 6.12 ゲート電圧によるソース電流への影響(ショートチャネル試料、V_{SUB}=-3)

6.5.2 基板電圧による影響

基板電圧によりドレイン電流がどのような影響を受けるのかを確認する。図 6.13 はロン グチャネルである SMOS-1 試料のゲート電圧 3[V]、基板電圧 1[V]刻みで 0[V]から-5[V]、そ してドレイン電圧 0.1[V]刻みで 0[V]から 7[V]まで電流測定を行った結果である。

基板電圧を増加するにしたがいソース電流が減少している。また、基板電圧 0[V]では見 られていたソフトブレークダウンが基板電圧電を増加させることによって無くなっている。



図 6.13 基板電圧によるソース電流への影響(ロングチャネル試料、Vg=3)

図 6.14 は同様の測定をショートチャネル試料である SMOS-4 を用いて測定を行った結果 である。

ロングチャネル試料と比較して全体的に電流値が増加している。また、基板電圧増加に よるソフトブレークダウン減少の効果がよくあらわれている。



図 6.14 基板電圧によるソース電流への影響(ショートチャネル試料、Vg=3)

ゲート長によりドレイン電流がどのような影響を受けるのかを確認する。図 6.15 はロン グチャネルである SMOS-1 からショートチャネルである SMOS-4 のすべての試料についてゲ ート電圧 3[V]、基板電圧 0[V]、そしてドレイン電圧 0.1[V]刻みで 0[V]から 9[V]まで電流 測定を行った結果である。

ゲート長が短くなるにつれてドレイン電流が増加しソフトブレークダウンが見られるようになる。



図 6.15 ゲート長によるソース電流への影響(V_G=3、V_{SUB}=0)

6.6 基板電流

ドレイン電流の増加によって基板電流は発生し、ゲート電流を発生させる。つまりこの 電流はゲート電流と密接な関係にある。ここではこの基板電流の機構を考察するためにゲ ート電圧、基板電圧及びゲート長を変化させて基板電流の測定を行った。

6.6.1 ゲート電圧による影響

ゲート電圧により基板電流がどのような影響を受けるのかを確認する。図 6.16 はロング チャネルである SMOS-1 試料の基板電圧-3[V]、ゲート電圧 1[V]刻みで 0[V]から 5[V]、そし てドレイン電圧 0.1[V]刻みで 0[V]から 9[V]まで電流測定を行った結果である。

一見、規則性がないように見受けられるが、よく観察するとその規則性が見えてくる。

ゲート電圧が低いときほど電流が流れ始めるドレイン電圧点が低い。それに対して、電流 が流れ出してからの直線の傾きはゲート電圧が高くなるほど大きくなる。

ゲート電圧が3[V]印加時を例にとり説明を行うために拡大したグラフを図6.17 に示す。 ゲート電圧3[V]印加電流が流れ始めた時点で既にゲート電圧2[V]印加電流は流れている。 しかし、その傾きは非常に小さいため、ドレイン電圧が増加するとゲート電圧3[V]印加電 流がそれを越える。その後、ゲート電圧3[V]印加電流よりも後で流れ始めたゲート電圧 4.5[V]印加電流の方が傾きが大きいため、ドレイン電圧が高くなるとこれらを越えていく。 この現象は例にとったゲート電圧3[V]印加電流に限らず他の電圧でも発生している。



図 6.16 ゲート電圧による基板電流への影響(ロングチャネル試料、V_{SUB}=-3)



図 6.17 ゲート電圧による基板電流への影響(ロングチャネル試料、拡大)

図 6.18 は同様の測定をショートチャネル試料である SMOS-4 を用いて測定を行った結果 である。

ロングチャネル試料と同じ規則性が得られている。ただし、ロングチャネルよりも全体 的に電流値は高くなっており、それぞれのグラフが交差する点も高くなっている。このこ とからそれぞれのグラフの傾き差がロングチャネルと比べて小さくなっている。



図 6.18 ゲート電圧による基板電流への影響(ショートチャネル試料、V_{SUB}=-3)

6.6.2 基板電圧による影響

基板電圧により基板電流がどのような影響を受けるのかを確認する。図 6.19 はロングチャネルである SMOS-1 試料のゲート電圧 3[V]、基板電圧 1[V]刻みで 0[V]から-5[V]、そしてドレイン電圧 0.1[V]刻みで 0[V]から 8[V]まで電流測定を行った結果である。また、このグラフだとドレイン電圧 3[V]付近の状況が分かりにくいのでこの部分を拡大したものを図 6.20 に示す。

図 6.20 から基板電流の立ち上がり電圧は基板電圧が高くなるにしたがい、上昇している。 それに対してグラフの傾きは基板電圧が高いほど大きい。つまり、基板電圧でもゲート電 圧と同じ効果が得られる。



図 6.19 基板電圧による基板電流への影響(ロングチャネル試料、Vg=3)



図 6.20 基板電圧による基板電流への影響(ロングチャネル試料、拡大)

図 6.21 は同様の測定をショートチャネル試料である SMOS-4 を用いて測定を行った結果 である。

基板電圧 0[∨]を印加した場合を除いては、ロングチャネル試料と同じような結果が得られる。



図 6.21 基板電圧による基板電流への影響(ショートチャネル試料、Vg=3)
6.6.3 ゲート長による影響

ゲート長により基板電流がどのような影響を受けるのかを確認する。図 6.22 はロングチャネルである SMOS-1 からショートチャネルである SMOS-4 のすべての試料についてゲート 電圧 3[V]、基板電圧-3[V]、そしてドレイン電圧 0.1[V]刻みで 0[V]から 9[V]まで電流測定 を行った結果である。

ゲート長が短い試料ほど基板電流が増加している。



図 6.22 ゲート長による基板電流への影響(V_G=3、V_{SUB}=-3)

6.7 ゲート電流

ゲート電流はキャリアが酸化膜を通過した結果発生する電流であるため、ゲート電流が 流れることにより酸化膜が劣化する。そのため、MOS トランジスタの動作特性に影響を与え る。最悪の場合、MOS トランジスタを故障させる原因ともなり、ゲート電流機構を把握する ことが大変重要となってくる。ここではゲート電流の機構を考察するためにゲート電圧、 基板電圧及びゲート長を変化させて基板電流の測定した結果を報告する。

6.7.1 ゲート電圧による影響

ゲート電圧によりゲート電流がどのような影響を受けるのかを確認する。図 6.23 はロン グチャネルである SMOS-1 試料の基板電圧-4[V]、ゲート電圧 1[V]刻みで 0[V]から 5[V]、そ してドレイン電圧 0.1[V]刻みで 0[V]から 9[V]まで電流測定を行った結果である。

ロングチャネル試料においてはドレイン電圧・ゲート電圧が増加すればゲート電流が増

加するという単調な規則性が得られた。

図 6.24 は同様の測定をショートチャネル試料である SMOS-4 を用いて測定を行った結果 である。

ロングチャネル試料では単調な規則性であったのに対してショートチャネル試料では少 し複雑になっている。ロングチャネル試料ではドレイン電圧増加にしたがいゲート電流も 共に増加している。それに対して、ショートチャネル試料でも最初はロングチャネル試料 同様ドレイン電圧と共に増加するが、それぞれある電圧点を境に減少し始める。それぞれ のグラフの頂点をゲート電圧基準で見てみると初めは増加していくが、ある電圧点を境に 減少し始める。また、同様にドレイン電圧規準で頂点を見ると最初は減少するがある点を 境に増加する。



図 6.23 ゲート電圧による基板電流への影響(ロングチャネル試料、V_{SUB}=-4)



図 6.24 ゲート電圧による基板電流への影響(ショートチャネル試料、V_{SUB}=-4)

6.7.2 基板電圧による影響

基板電圧によりゲート電流がどのような影響を受けるのかを確認する。図 6.25 はロング チャネルである SMOS-1 試料のゲート電圧 4[V]、基板電圧 1[V]刻みで 0[V]から-5[V]、そし てドレイン電圧 0.1[V]刻みで 0[V]から 9[V]まで電流測定を行った結果である。





図 6.25 基板電圧による基板電流への影響(ロングチャネル試料、Vg=4)

図 6.26 は同様の測定をショートチャネル試料である SMOS-4 を用いて測定を行った結果 である。

ゲートチャネル同様基板電圧増加に伴いゲート電流が増加している。また、頂点は多少 グラフの左側へシフトしている。



図 6.26 基板電圧による基板電流への影響(ショートチャネル試料、V_g=4)

6.7.3 ゲート長による影響

ゲート長によりゲート電流がどのような影響を受けるのかを確認する。図 6.27 はロン グチャネルである SMOS-1 からショートチャネルである SMOS-4 のすべての試料についてゲ ート電圧 3[V]、基板電圧-4[V]、そしてドレイン電圧 0.1[V]刻みで 0[V]から 9[V]まで電流 測定を行った結果である。一見するとゲート長が短くなるとゲート電流が増加している。 しかし、図 6.28 の部分的に拡大したものを見るとゲート長 1.0[µm]試料と 0.6[µm]試料 のものではゲート長が長い試料側のゲート電流が大きい。これはショートチャネル効果を 考慮する必要がある。



図 6.27 ゲート長によるゲート電流への影響(V_G=3、V_{SUB}=-4)



図 6.28 ゲート長によるゲート電流への影響(拡大)

6.8 結論

ゲートしきい値電圧はゲート長が長くなれば減少する。また、基板印加電圧の増加によっても減少する。

ソース電流、ドレイン電流、基板電流、そしてゲート電流の各電流はそれぞれ異なる測

定結果を示す。しかし、細かく見ていくと色々な共通する点があり、それぞれ数珠つなが りの関係を持つ。ドレインにおける増加電流と基板電流はほとんど一致し、さらにゲート 電流についてもドレイン増加開始電圧と基板電圧立ち上がり電圧で電流が流れ始める。

各電流で見ていくと、ソース電流はゲート電圧増加により増加し、基板電圧増加により 減少する。ショートチャネル化によって増加する。

そして、基板電流はゲート電圧増加によって立ち上がり電圧値、電流増加率が上昇する。 ショートチャネル化によって増加する。

最後に、ゲート電流はロングチャネル試料とショートチャネル試料では大きな違いがあ る。ロングチャネル試料ではドレイン電圧増加によってゲート電流が単調に増加している のに対して、ショートチャネル試料では初め同様に増加をするが、あるドレイン電圧点か ら頂点を形成し減少を始める。また、ゲート電圧を増加させてもロングチャネル試料では 単調な増加であるが、ショートチャネル試料では複雑な測定結果が得られる。

第七章 MOS トランジスタ電流考察

7.1. ゲートしきい値電圧

測定結果で示したようにゲート長 10.0[µm]のロングチャネル試料において基板電圧を 変化させた場合のしきい値電圧は変化する。また、この結果は他のショートチャネル試料 においても得られる。基板電圧とゲートしきい値電圧の関係をロングチャネル(10.0[µm]) とショートチャネル(0.5[µm])の試料で示したグラフが図 7.1 である。



図 7.1 基板電圧 ゲートしきい値電圧特性

基板電圧増加にしたがい 2 つの試料のしきい値電圧の差が大きくなっていることが確認 できる。このように基板電圧によってしきい値電圧値が上昇するのは、ゲート酸化膜 基 板間の空乏層が広がり空間電荷が増加するため反転層電荷が減少するからである。この結 果、チャネルを形成するのに高い電圧が必要となるのである。

ロングチャネルに比べてショートチャネルではこの効果が多少減少している。この測定 でソース ドレイン間には 0.1[V]という電圧を印加したのでロングチャネルでは 1.0× 10²[V/cm]、ショートチャネルではその 20 倍である 2.0×10³[V/cm]の電界が発生している。 この 2 倍の電界によってゲート酸化膜 基板方向の電界の広がりを抑制したのである。

基板電圧 V_{SUB}を考慮したゲートしきい値電圧はロングチャネルが(1)式、ショートチャネ ルが(2)式のように表される。

$$V_{th} = 2\phi_f + \frac{1}{C_{OX}} \sqrt{2\varepsilon_s q N_A} \sqrt{2\phi_f + V_{SUB}}$$
(1)

$$V_{th} = 2\phi_f + \frac{1}{C_{ox}}\sqrt{2\varepsilon_{Si}qN_A}\sqrt{2\phi_p + V_{sub}}\left[1 - \frac{r_j}{L}\left\{\sqrt{1 + \frac{2y_d}{r_j}} - 1\right\}\right]$$
(2)

共にしきい値電圧は基板電圧に2 fを加えたものの平方根にほぼ比例している。 試料のパラメータを元に計算した結果 2 f はおよそ 0.7[V]である。この値を $\sqrt{2\phi_f + V_{SUB}}$ に代入してグラフの横軸として、しきい値電圧との関係を表したものが図 7.2 である。理想的な比例の関係を示している。



図 7.2 $\sqrt{2\phi_f + V_{SUB}}$ ゲートしきい値電圧特性

7.2. MOS トランジスタ漏れ電流

7.2.1 ソース電流

ショートチャネル(L=0.5[µm])試料に基板電圧-3[V]、ゲート電圧 5[V]を印加するとソース電流の飽和領域が確認できなくなる。この結果はロングチャネル(L=10.0[µm])試料で基板電圧 0 から 5[V]、ゲート電圧 0 から 5[V]のあらゆる条件で測定を行ったがどの条件下でも発生は確認されていない。

これは電圧をこれはドレイン空乏層がソースに近づいてきて、ドレイン空乏層とソース空

乏層がつながってしまうパンチスルーが起こったためである。この状態ではドレイン電界 がソース側まで影響して、ソース近傍の拡散電位を下げるため、チャネルが形成されてい なくてもソース ドレイン間に電流が流れるようになる。パンチスルーが起こると 2 つの 空乏層が接触し、ゲートは電流を制御することができなくなる。

ソース ドレイン間の空乏層の広がりの公式はソース側の空乏層幅(3)式とドレイン側の空乏層幅(4)式を合計することにより算出できる。

$$W_{S} = \sqrt{\frac{2\varepsilon_{Si}}{q}} \left[\frac{N_{A} + N_{D}}{N_{A}N_{D}} \right] \sqrt{\phi_{p} + \phi_{n} + V_{SUB}}$$
(3)
$$W_{D} = \sqrt{\frac{2\varepsilon_{Si}}{q}} \left[\frac{N_{A} + N_{D}}{N_{A}N_{D}} \right] \sqrt{\phi_{p} + \phi_{n} + V_{SUB} + V_{D}}$$
(4)

基板電圧-3[V]、ドレイン電圧 0[V]の条件で今回の試料のパラメータである N_A=1.0× 10¹⁶[cm⁻³]、N₀=1.0×10¹⁷[cm⁻³]を代入して計算を行う。ソース側の空乏層幅は 0.91[µm]、 ドレイン側の空乏層幅は 1.12[µm]となり合計 2.03[µm]となる。ゲート長 10.0[µm]のロ ングチャネル試料では通常の動作をするが通常の動作をする。しかし、ゲート長 0.5[µm] のショートチャネル試料においては空乏層幅がゲート長を越えてしまいパンチスルーが発 生したのである。また、基板電圧、ドレイン電圧を印加しないという条件で計算を行うと ドレイン側、ソース側の空乏層幅は共に 0.91[µm]であり空乏層幅合計は 1.82[µm]となる。 つまり、ショートチャネル試料において電圧を印加しない状態で理論的に空乏層幅がゲー ト長を越えおりパンチスルーが起こる状態にある。

ただ、N_A=1.0×10¹⁶ という値を用いて計算を行ったがこれは公称であり、実際に(1)式を用 いて図 7.2 のロングチャネル試料の傾きより濃度を計算するとおよそ 3.2×10¹⁷[cm⁻³]であ る。これを元に再度計算を行うとソース、ドレインそれぞれの空乏層幅が0.12[µm]となり 総空乏層幅は0.24[µm]である。この結果、低電圧下で MOS トランジスタは正常な動作をし ているのである。しかし基板電圧-3[V]の条件下、あるいはそれ以上の電圧を印加した場合 において図 7.3 に示すように総空乏層幅がゲート長を越えパンチスルーが発生したのであ る。



図 7.3 基板電圧 空乏層幅特性

また、ゲート電圧を増加することによりパンチスルー効果が顕著に現れたのは反転層電 荷が増加したことによりエネルギーバリアを越える電荷が増加したためである。

また、ショートチャネル試料ではロングチャネル試料に比べソース電流のソフトブレー クダウンが顕著であった。ソフトブレークダウンは先に述べたパンチスルーと電離は買い によるものである。ショートチャネル試料ではソース - ドレイン間で 20 倍の電界がロング チャネル試料に比べ発生するため弱い電離破壊が現れたのである。

7.2.2 基板電流

n チャネルではドレイン近傍での弱い電離破壊によって生じたキャリア対の電子がドレ イン側へ流れるため、ソース電流に比ベドレイン電流が増加する。そして、この弱い電離 破壊によって発生したもう 1 つのキャリアであるホールが基板側へ流れ基板電流となる。 つまり、基板電流はソース・ドレイン電流に依存している。(5)式は電界によって発生する 電離破壊の確率、いわゆる電離係数 の計算式を示したものである。

$$\alpha = A \exp\left(\frac{-b}{\vec{E}}\right)^m \tag{5}$$

ここで É は電界表す。また、A と b は電子とホールによってそれぞれ違い表 7.1の値である。 そして、電離係数と電界の関係をグラフにしたものが図 7.4 である。

電	子	亦-		
A[cm ²]	b[V/cm]	A[cm ²]	b[V/cm]	m
1.4×10 ⁶	1.3×10 ⁶	5.8×10⁵	1.6 × 10 ⁶	1

表7.1 電離係数のパラメータ



図 7.4 電離係数 電界特性





図 7.6 経路による電界の違い

図 7.5 はソース電圧 $V_s=0[V]$ 、ドレイン電圧 $V_0=5.5[V]$ 、ゲート電圧 $V_c=3[V]$ 、そして基板電 圧 $V_{SUB}=-10[V]$ 印加時における電界図のシミュレーション結果である。この結果をもとにし て MOS トランジスタで一般的に電流が流れるとされている経路 ともうひとつの経路 に ついて電離破壊確率をもとめる。チャネル電流は実際には電離破壊によって増加している が一定と仮定、またすべての電流は1つの経路をたどると仮定して計算を行う。その結果、 経路 におけるアバランシェ確率が 6.6[%]、それに対して経路 におけるそれが 42.7% であった。

測定を行った結果のそれぞれにおける電流値はソース電流 $I_s=3.0 \times 10^{-4}$ [A]、ドレイン電流 $I_0=4.7 \times 10^{-4}$ [A]、基板電流 $I_{SUB}=-6.3 \times 10^{-10}$ [A]、およびゲート電流 $I_{G}=-1.7 \times 10^{-4}$ [V] である。前述したようにソース電流に対するドレイン電流の増加分は電離破壊によるものであるので次式によって総電離確率 N_{AV} を求めることができる。

$$N_{AV} \approx \frac{I_D - I_S}{I_S} \tag{6}$$

この式に測定値を代入すると総電離確率は 55[%]という結果が得られた。つまり、一般的 に言われている MOS トランジスタの経路 ではなく、経路 に近い道筋を電流は流れてい る。このことから図 7.7 に示すようなバンドギャップが形成されていることが分かる。

距離[cm]	1.8×10⁻⁵	3.2×10 ⁻⁶	3.0×10 ⁻⁶	7.9 × 10 ⁻⁷			
電界[V/cm]	6.0×10⁵	4.0×10 ⁵	6.0×10 ⁵	4.0×10⁵			
電子電離係数[cm ⁻¹]	2.1 × 10 ³	5.4 × 10 ⁴	1.6×10⁵	5.4 × 10 ⁴			
ホール電離係数[cm ⁻¹]	1.9 × 10 ²	1.1 × 10 ⁴	4.0×10 ⁴	1.1 × 10 ⁴			
電子電離確率[%]	8.8	17.1	48.5	4.3			
ホール電離確率[%]	0.8	3.4	12.2	0.8			
各電離確率[%]	0.1	0.1 0.6		0.0			
総電離確率[%]	6.6						

表 7.2 経路 データ

表 7.3 経路 データ

距離[cm]	4.5×	6.1×	3.7×	1.7×	2.1×	7.9×	3.9×10 ⁻⁷	3.9×10 ⁻⁷	3.9×10 ⁻⁷	3.9×10 ⁻⁷
	10 ⁻⁵	10 ⁻⁶	10 ⁻⁶	10 ⁻⁶	10 ⁻⁶	10 ⁻⁷				
電界[V/cm]	2.0 × 10 ⁵	4.0 × 10 ⁵	6.0×10 ⁵	8.0×10⁵	1.0 × 10 ⁶	1.2 × 10 ⁶	1.0 × 10 ⁶	8.0 × 10 ⁵	6.0×10 ⁵	4.0×10 ⁵
電子電離係数[cm ⁻¹]	2.1 × 10 ³	5.4 × 10 ⁴	1.6×10⁵	2.8×10 ⁵	3.8 × 10⁵	4.7×10⁵	3.8×10⁵	2.8 × 10 ⁵	1.6 × 10⁵	5.4×10 ⁴
ホール電離係数	1.0102	4 4 104	4.0404	7 0 104	4 . 0 405	4 5 405	4 0 405	7 0 404	4.0404	4 4 4 04
[Cm ⁻¹]	1.9×10 ⁻	1.1×10⁺	4.0×10⁺	7.8×10⁺	1.2×10°	1.5×10°	$1.2 \times 10^{\circ}$	7.8×10*	4.0×10*	1.1×10*
電子電離確率[%]	9.4	32.9	59.1	47.2	80.3	37.4	15.1	10.9	6.3	2.1
ホール電離確率[%]	0.9	6.4	14.8	13.4	24.7	12.1	4.6	3.1	1.6	0.4
各電離確率[%]	0.1	2.1	8.8	6.3	19.8	4.5	0.7	0.3	0.1	0.0
総電離確率[%]	42.8									



図 7.7 半導体バンド底の移動

ゲート長 L=0.5[µm]に対して酸化膜厚 t_{0x}=90[](9.0×10⁻³[µm])と非常に薄い。そのた め酸化膜端へはゲート電圧による影響がドレイン電圧に対する影響より非常に大きい。そ の結果、ゲート電圧とドレイン電圧の電位差が逆転したとき、ドレイン電圧によって形成 されるバンドの湾曲は酸化膜端から離れたところで形成されるようになるのである。ドレ イン電圧が増加するほどこの効果は顕著に現れ、図 7.7 の赤い線で描いたバンドのように さらに酸化膜端から離れていく。

また、ゲート・基板電圧を増加することによって基板電流の立ち上がり電圧が上昇して いる。図 7.5 を見ると電界集中は内部にあり、チャネル電流が内部を流れている方が電離 破壊の発生量は多い。ゲート・基板電圧を増加することによってチャネル電流はゲート電 圧で制御されるようになりシリコン表面近傍を流れ電離破壊量は減少する。そのため、立 ち上がり電圧は上昇しているのである。そして、基板電流増加率がゲート・基板電圧を増加 することによって高くなるのは、それぞれの電圧を増加することによって電界集中箇所の 電界が強くなるためである。電界が強くなった結果、ドレイン電圧増加によってチャネル 電流経路が内部に押しやられたときの電離破壊発生率が増加するからである。

7.2.3 ゲート電流

ゲート電流は高電界領域を電流が流れて起こった電離破壊によって発生したキャリアの 一部がエネルギーバリアを越えた結果発生する。そのため、各電流と電界分布に依存して いる。ゲート電流の立ち上がり電圧とソース電流に比べてドレイン電流が増加し始める点、 基板電流の立ち上がり点は一致する。このことから前述したようにゲート電流が高電界領 域における電離破壊によるキャリアによることが証明される。

ロングチャネル試料でドレイン電圧を増加させていくと単調な増加である。ドレイン電 圧を増加することによって図 7.8 に示すようにゲート 基板方向のバンドは変化する。



図 7.8 ロングチャネルにおけるドレイン電圧増加ゲート電流増加バンド図

ドレイン電圧を増加することによってドレイン近傍の電界が強くなるため電離破壊が多 くなる。そのため、ゲート電流となりうる担体、すなわち電子の発生量が増加する。さら に図 7.8 を見て分かるように、電子から見てゲート酸化膜障壁が低下するため障壁を越え る確率が上昇する。これらの効果によってドレイン電圧増加によってゲート電流が増加し ている。

また、ロングチャネル試料においてゲート電圧を増加させてもゲート電流は単調に増加 している。ゲート電圧を増加させると図 7.9 のようにバンド図は変化する。



図7.9 ロングチャネルにおけるゲート電圧増加ゲート電流増加バンド図

ドレイン電圧を増加させたときと同じでゲート電圧を増加することによって電子の発生 量が増加し、ゲート酸化膜障壁が低下するためゲート電流が増加する。

次にショートチャネル試料について考えてみる。ドレイン電圧を増加させると初めゲート電流はロングチャネル試料同様増加をするこれまでの機構はロングチャネル試料と同じである。しかし、ドレイン電圧がある電圧を境に頂点を形成し減少を始める。

この機構を説明する前に電流経路について説明する。図 7.10 と図 7.11 は今回の測定試料ではないロング・ショートチャネル試料で電位分布図と電荷密度図のシミュレーションを行った結果である。

まず、図 7.10 のロングチャネル試料(L=10.00[um])のシミュレーション結果を見る。電 流は等電位線に対して垂直に流れるためゲート酸化膜障壁に衝突しながら青矢印で示した ようにシリコン表面近傍を流れる。このことは電荷密度図を見ても高電荷密度領域がシリ コン表面近傍にあることからも分かる。



(b)電荷密度図

図 7.10 ロングチャネル試料(L=10.00[um])シミュレーションにおける電位・電荷密度図

次に図 7.10 のロングチャネル試料(L=10.00[um])のシミュレーション結果を見る。こ の試料は今回の測定試料のようにシリコン近傍の濃度を濃くするという工程無しで製作さ れてあるためショートチャネル効果が顕著に現れている。ゲート長が短くなったことによ リドレイン電圧による電界が強くなり、図 7.11(a)のようにゲート電圧でシリコン近傍の電 界を制御できなくなる。その結果、赤矢印で示したようにシリコン内部を電流が流れるよ うになる。これは図 7.11(b)を見ても高電荷密度領域が内部にあることから確認できる。



(a)電位分布図



(b)電荷分布図

図 7.11 ショートチャネル試料(L=1.00[um])シミュレーションにおける電位・電荷密度図

図7.12 は今回測定した試料の定格電圧印加時((a) V_D=5[V]V_G=3[V]V_{SUB}=-3[V])と定格電 圧より高いドレイン電圧印加時((b) V_D=7.5[V]V_G=3[V]V_{SUB}=-3[V])の電位分布図のシミュ レーション結果である。少し、分かりにくいのでドレイン近傍の拡大図も示す。(a)の定格 電圧を印加したときはゲート酸化膜近傍の濃度を濃くしたことによりシリコン表面近傍を チャネル電流が流れている。しかし、ドレイン電圧を増加させて定格電圧より高い電圧を 印加すると図7.12(b)のようにあまり顕著ではないが等電位線図が湾曲している。このこと よりゲート酸化膜近傍を濃くした今回の試料においても定格電圧より高い電圧をいんかす るとチャネル電流はシリコン内部を流れる。



図 7.12 ショートチャネル試料(L=0.5[um])シミュレーションにおける電位分布・拡大図

ショートチャネル試料でドレイン電圧増加によりゲート電流が減少し始める機構はこの 電流経路の変化を考える必要がある。ドレイン電圧を増加することによって電界の強い内 部をチャネル電流が流れ担体の発生量が増加はするが発生した場所からゲート酸化膜まで の距離が長くなる。そのため、発生当初はゲート酸化膜障壁を越えるだけのエネルギーを 持っていた電子でも散乱によってエネルギーを失うのである。また、ドレイン電圧増加に よりバンド図が図 7.13 に示すように変化する。つまり、ゲート酸化膜にかかる電圧の正負 が逆転してゲート酸化膜所上へ気を越える電子の数は減少する。ドレイン電圧増加により 担体発生後の散乱距離が長くなる、またゲート酸化膜障壁にかかる電圧の正負が逆転する という効果により、ショートチャネル試料においてゲート電流はあるドレイン電圧を境に 減少を始める。



(a)ドレイン電圧増加前 (b)ドレイン電圧増加後 図 7.13 ショートチャネルにおけるドレイン電圧増加ゲート電流減少バンド図

ロングチャネル試料においてゲート電圧を増加させると単調な増加であるが、ショート チャネル試料においては複雑にゲート電流が変化する。ここで図7.14 にゲート電圧1.4 か ら5.0[V] まで0.2[V]刻みで細かく変化させてゲート電流を測定した結果を示す。



図 7.14 ゲート電圧によるゲート電流への影響(ショートチャネル試料、V_{SUB}=-3)

図7.14では少し分かりづらいのでゲート電圧を3つのグループに分けて図7.15、7.16、 7.17 に示す。この分け方はドレイン電圧6[V]でのゲート電圧増加によるゲート電流の変化 状況によって分けた。図7.15 はゲート電圧を増加することによってゲート電流が増加、図 7.16 は無変化、そして図7.17 はゲート電流が減少している。



図 7.15 ゲート電圧によるゲート電流への影響(ショートチャネル試料、V_{SUB}=-3)



図 7.16 ゲート電圧によるゲート電流への影響(ショートチャネル試料、V_{SUB}=-3)



図 7.17 ゲート電圧によるゲート電流への影響(ショートチャネル試料、V_{SUB}=-3)

まず、図 7.15 のゲート電流増加機構について説明する。図 7.18 に同時に測定を行った 基板電流の測定結果を示す。ゲート電圧増加に従い基板電流が増加していることからゲー ト電流の担体の発生量が増加していることが分かる。図 7.19 にバンド図を示す。ゲート電 圧を増加することによってゲート酸化膜障壁が低下し障壁を越える電子の確率が上昇する。 これらの効果によりゲート電流が増加する。



図 7.18 ゲート電圧による基板電流への影響(ショートチャネル試料、V_{SUB}=-3)



図 7.19 ショートチャネルにおけるゲート電圧増加ゲート電流増加バンド図

次に図 7.16 の無変化機構について説明する。このとき、同時に測定を行った基板電流の 測定結果を図 7.20 に示す。ゲート電圧を増加させても基板電流にほとんど変化が無く担体 の発生量に変化が無いものと言える。また、図 7.21 にバンド図を示す。図 7.19 とはゲー ト酸化膜にかかる電圧の正負が逆転しているためゲート電圧を印加させてもゲート酸化膜 障壁高さに変化は無く電子が障壁を越える確率も変化していない。これらの微妙なバラン スによってゲート電圧を増加させてもゲート電流が変化していないのである。



図 7.20 ゲート電圧による基板電流への影響(ショートチャネル試料、V_{SUB}=-3)



図 7.21 ショートチャネルにおけるゲート電圧増加ゲート電流無変化バンド図

最後に、図 7.17 のゲート電流減少機構について説明する。図 7.22 はその時の基板電流 の測定結果である。ゲート電圧を増加することによって基板電流が減少しており、担体の 発生量が減少している。この結果、ゲート電流が減少しているのである。

それでは何故基板電流が減少したのかについて説明する。ゲート電圧が低いときはチャ ネル電流を制御できず内部を流れる。それがゲート電圧を増加することによって制御でき るようになりシリコン表面近傍をチャネル電流が流れるようになる。電界集中は内部で起 きているためシリコン表面近傍をチャネル電流が流れだすと電離破壊確率が減少するので ある。その結果、担体の発生量は減少し、ゲート電流が減少するのである。

また、図 7.17 のドレイン電圧 8[V]ではゲート電圧を増加させるとゲート電流が増加する というドレイン電圧が低い時とは反対の結果が表れている。これは高電圧を印加したため バンド間トンネルが発生してことによる。



図 7.22 ゲート電圧による基板電流への影響(ショートチャネル試料、V_{SIR}=-3)

図 7.14 の測定条件で基板電圧のみを-3[V]から-5[V]に変化させて測定を行った結果であ る。ゲート電圧増加によるゲート電流無変化の現象は無く、増加後すぐに減少始める。こ れらの増加・減少の機構は基板電圧-3[V]の時と同じ機構である。このようにドレイン、ゲ ート、基板電圧などの非常に微妙なバランスによってゲート電流は発生、増加、減少をし ている。



図 7.23 ゲート電圧によるゲート基板電流への影響(ショートチャネル試料、V_{SUB}=-5)

第八章 結論

8.1. ショットキー電流

鉄汚染を施したショットキー接合ダイオードと通常のショットキー接合ダイオードを Reference 試料として逆方向電流の評価をおこなった。二つの試料の順方向電流の立ち上が り電圧に変化がなかったことから使用したウェハの基板濃度 5.0×10¹⁵[cm⁻³]に比べて鉄汚 染濃度は非常に低いことを確認した。また、絶対温度 300[K]で評価用 MOS ダイオード TEG を用いてパルススキャニング CV 法で測定した結果、2.3×10¹¹[cm⁻³]という微量な鉄汚染試 料でも Reference 試料に比べておよそキャリアジェネレーション量が 1.5 倍近く多い。ま た、絶対温度 300[K]で順方向、逆方向の電流測定を行うと Reference 試料に比べて鉄汚染 試料の電流が 1.5 倍多く流れている。このように漏れ電流測定結果とパルススキャニング CV 法でのジェネレーション量の測定結果は一致している。

また、Reference 試料に比べて鉄汚染試料の漏れ電流が増加したのは、2.3×10¹¹[cm⁻³]と いう微量な鉄汚染による影響である。鉄汚染によってシリコンの禁制帯内の伝導帯端から 0.55[eV]と価電子帯端から 0.40[eV]の位置に新たなエネルギーレベルが形成される。この エネルギーレベルを経由してキャリアは通常のシリコンの場合と比べて低いエネルギーで も価電子帯から伝導体へ励起される。そのため、キャリアジェネレーションが増加し電流 値が増加する。

8.2. MOS トランジスタ電流特性

ロングチャネル試料とショートチャネル試料の違いの一つとして電流経路の違いがある。 ロングチャネル試料においてはシリコン表面をチャネル電流が流れる。しかし、ショート チャネル試料ではゲート長が短くなりドレイン電圧による影響が強くなるためゲート電圧 で制御できず電流はシリコン内部を流れる。今回測定した試料はショートチャネル試料で もシリコン内部を電流が流れるようにゲート酸化膜近傍の濃度を濃くしている。その効果 が表れて、定格電圧であるドレイン電圧 5[V]、ゲート電圧 3[V]、そして基板電圧-3[V]を 印加したときはシリコン表面を電流が流れている。しかし、定格より高い電圧を印加する と濃度を濃くしてあっても内部を電流が流れる。

ソース、ドレイン、ゲート、そして基板電流を比較すると増加電圧値および立ち上がり 電圧値の一致が見られる。電界の強いpn接合端に電流が流れたことによって電離破壊が起 こり、担体即ち電子・ホール対が発生する。そして、ホールは基板方向へ、電子はドレイ ン方向へ流れそれぞれ基板電流とドレイン電流となる。このドレイン方向へ流れる電子の 中でゲート酸化膜障壁を越えられるだけのエネルギーを持つものがゲート電流となる。つ まり、すべてのきっかけは電界の強いところで起こる電離破壊によるため、それぞれの電 流の増加電圧値および立ち上がり電圧値が一致する。

ロングチャネル試料においてドレイン電圧を増加させるとゲート電流は単調な増加であ るが、ショートチャネル試料では増加の後、減少する。増加は電圧増加により電界が強く なり担体の発生量が増加すること、また、ゲート酸化膜障壁が低下することによる。ショ ートチャネル試料である電圧を境に減少を始めるのはドレイン電圧を増加することにより ショートチャネル効果によって電流経路がシリコン内部へ押しやられるため担体の発生領 域が内部になり拡散距離が大きくなるからである。つまり、担体発生当初ゲート酸化膜障 壁を越えられるだけのエネルギーを持っていた電子でも拡散距離が拡大したことによって エネルギーを失う。そのため、ゲート電流が減少する。

ロングチャネル試料でゲート電圧を増加するとゲート電流は単調な増加である。ショー トチャネル試料でも今までは定格電圧より少し高い測定までしか行われていなかったため 単調な増加しか言われていなかった。しかし今回、破壊電圧ギリギリまで電圧を印加する ことによって、ゲート電流が増加した後減少を始めるという結果を得ることができた。ゲ ート電圧が高くなったことによってチャネル電流がコントロールされて、電界の弱いシリ コン近傍を電流が流れる。その結果、電離破壊が減りゲート電流となりうる担体の発生量 が減少したためである。これはゲート電圧を増加することによって基板電流が減少してい ることからも考えることができる。

現在は、ゲート電流減少機構は定格より高い電圧を印加したときと同じく破壊電圧ギリ ギリで発生している。これからゲート長が短くなるにつれて定格内でこの現象が発生する ことになる。そのため、これからのデバイス設計においてこの現象を考慮しなければなら なくなる。今回の機構の解明が MOS トランジスタ進歩の一躍となることを期待している。

98

<u>謝辞</u>

本論文をまとめるにあたり有益なご助言ご指導をいただきました高知工科大学 工学部 電子・光システム工学科 河津哲 教授に心から感謝いたします。河津哲教授には研究に 対する姿勢など多くのことを教わりました。これから半導体業界へ進んでいく私にとって これらの経験は大きな礎となると確信しております。

三菱電機(株) ULSI技術開発センター 永久克己氏、藤永正人氏には本論文を作 成するにあたって数多くのシミュレーションを行っていただきました。このシミュレーシ ョン結果がなければ機構解明が非常に難しく、本論文も完成できなかったと思います。本 当にありがとうございました。

本研究、ならびにこれまでの学生生活にあたってご指導いただきました高知工科大学 工学部 電子・光システム工学科 原央学科長をはじめとする教授の皆様に謹んで感謝の 意を表します。

高橋秀和氏、長木正錦氏には同学年が三人ということで授業や研究で分からないことを 教えていただくのはもちろんのこと、就職活動でもいろいろとお世話になりました。大変 感謝しております。

楽しいとき、辛いとき、様々な時を共に過ごした平成13年度学部卒業生 安澤伸慎介氏、 家村伸吾氏、石松幸三氏、現修士1年大橋健二氏、平成14年度学部卒業生 山根優氏、弓 岡浩二氏に心から感謝し、深くお礼を申し上げます。

筆者のわがままを最後まで暖かく見守り陰ながら支えてくれた家族を初めとする親愛な るものへ謝意を表し最後とします。

<u>本論文に関する発表</u>

大畠旬平、家村伸吾、河津哲「微少 PN 接合電流評価」平成 13 年度電気関係学会四国支部 連合大会 (2001.9.29)

参考文献

 S.M.Sze: "Physics of Semiconductor Devices SCOND EDITION, John Wile & Sons(1981)
Eiji Takeda, Cary Y.Yang Akemi Miura-Hamada: "HOT-CARRIER EFFECTS IN MOS DEVICES", ACADEMIC PRESS(1995)

3) S.M.SZE: "VLSI Technology SECOND EDITION", McGraw-Hill Book Company(1988)

4) Siegfriend Slberherr: "Analysis and Simulation of Semiconductor Devices"

5) W.Shockley: "The Theofy of p-n Junction in Semiconductors and p-n Junction Transistors"

6) S.M.ジィー著,南日康夫,川辺光央,長谷川文夫訳:"半導体デバイス-基礎理論とプロセ ス技術-",産業図書(1987)

7) 原央,名取研二,堀内重治共著: "MOS トランジスタの動作理論",近代科学社(1980)

8) 岸野正剛,小柳光正共著: "VLSI デバイスの物理",丸善株式会社(1986)

- 9) 垂井康夫: "半導体デバイス[改訂版]",電気学会(1999)
- 10) 筒井一生: "よくわかる電子デバイス",オーム社(1999)
- 11) 宇佐美晶,田中勝廣,伊比則彦,高橋市郎共著:"電子デバイス",日本理工出版会(1988)
- 12) 飯田昌盛: "電子デバイス入門", 東海大学出版会(1984)
- 13) 寺元巖:"電子デバイス概論", 倍風館(1995)
- 14) 玉井輝雄: "図解による半導体デバイスの基礎", コロナ社(1995)
- 15) 河東田隆: "デバイスプロセス", 倍風館(1993)
- 16) 清水潤治: "半導体工学の基礎", コロナ社(1986)
- 17) J.メーバー, M.A.ジャック, P.B.デニア共著,管野卓雄, 桜井貴康監訳: "MOS LSI 設計 入門"(1984)
- 18) W.マリ著,小田俊理訳: "図説超 LSI 工学",哲学出版(1990)
- 19) 菊地正典: "半導体のすべて",日本実業出版社
- 20) 安達三郎,大貫繁雄共著:"電気磁気学",森北出版株式会社(1988)
- 21)田丸健,中司浩生,玉野和保,里村祐,長田昭義共著:"基礎電磁気学",コロナ社(1996)
- 22) 舛岡富士雄: "半導体ファイルの先兵躍進するフラッシュメモリ",工業調査会(1992)
- 23)大石基之,松本輝恵共著: "そして、すべてのメモリは不揮発になる『日経エレクトロニ クス』",日経 BP 社(2001)
- 24)家村伸吾: "PN 接合リーク電流と MOS キャリアジェネレーションの相関関係について" (2001)

<u>付録</u>

付録1 シミュレーション

<u>ドレイン電圧変化電界分布図</u>

ゲート長 0.5[µm], ゲート電圧 5[V], 基板電圧-3[V]

























<u>ドレイン電圧変化電位分布図</u>

ゲート長 0.5[µm],ゲート電圧 5[V],基板電圧-3[V]
































基板電圧変化電界分布図

ゲート長 0.5[µm],ドレイン電圧 5.5[V],ゲート電圧 5[V]





図a.23 基板電圧-2[V]



0 -2. 0E5-4. 0E5-6. 0E5 -8. 0E5-1. 0E6-1. 2E6 1. 0E5 -1. 0E5 -3. 0E5-5. 0E5-7. 0E5 -9. 0E5-1. 1E6

















基板電位变化電界分布図

ゲート長 0.5[µm],ドレイン電圧 5.5[V],ゲート電圧 5[V]



























<u>測定イ</u>	ンタ・	-フェ-	-ス

🐂 MOS測定簡易版					
START		END	STEP	COMPLI	
Vd: 🗾 🔰	[V] [9 [V]	0.1	[V] [1.0E-2	• [A]
Vg: 0	[V] [5 [V]	0.2	[V] 1.0E-4	• [A]
Vsub: 0	[V] [3 [V]	1	[V] [1.0E-3	• [A]
Vs: 0	[V]	測定開) 始(S)	1.0E-2	• [A]
Vsub Wait	20 [s]	Vg Wait	2 [s]	Vd Wait	5 [s]
	则定回数		í í	時ち時間	
		<u>A</u> bort			

図 a.43 インターフェース画面

<u>測定プログラミング</u>

'測定装置関連

Dim	adrHP4141B As Integer	'HP4141B アドレス
Dim	HP4141B As Integer	'HP4141B 戻り値
Dim	adrHP4140B As Integer	'HP4140B アドレス
Dim	HP4140B As Integer	'HP4140B 戻り値
Dim	adrTR6150 As Integer	'TR6150 アドレス
Dim	TR6150 As Integer	'TR6150 戻り値
'ソ-	ース関連	
Dim	SMUs As Integer	'ソースの SMU 番号
Dim	Source As Single	'ソース電圧
Dim	Scomp As Single	'ソース制限電流
Dim	SStatus As String	'測定器状態
'基	扳関連	
Dim	SMUsub As Integer	'基板の SMU 番号
Dim	Substrata As Single	'基板電圧
Dim	Subfrom As Single	'基板開始電圧
Dim	Subto As Single	'基板終了電圧
Dim	SubStep As Single	'基板ステップ電圧
Dim	Subcomp As Single	'基板制限電流
Dim	SubStatus As String	'測定器状態

'ドレイン関連

Dim SMUd As Integer	'ドレインの SMU 番号
Dim Drain As Single	'ドレイン電圧
Dim Dfrom As Single	'ドレイン開始電圧
Dim Dto As Single	'ドレイン終了電圧
Dim DStep As Single	'ドレインステップ電圧
Dim Dcomp As Single	'ドレイン制限電流
Dim DStatus As String	'測定器状態
'ゲート関連	
Dim Gate As Single	'ゲート電圧
Dim Gfrom As Single	'ゲート開始電圧
Dim Gto As Single	'ゲート終了電圧
Dim GStep As Single	'ゲートステップ電圧
Dim Gcomp As Integer	'ゲート制限電流 1
Dim Gcomp2 As Single	'ゲート制限電流 2
Dim GStatus As String	'測定器状態

'電流・電圧関連

Dim	Isource As Single	'ソース電流
Dim	Isubstrata As Single	'基板電流
Dim	Idrain As Single	'ドレイン電流
Dim	lgate As Single	'ゲート電流
Dim	Vsource As Single	'ソース電圧
Dim	Vsubstrata As Single	'基板電圧
Dim	Vdrain As Single	'ドレイン電圧
Dim	Vgate As Single	'ゲート電圧

'待ち時間関連

Dim WaitO As Integer	'基板電圧変化時の待ち時間
Dim Wait1 As Integer	'ゲート電圧変化時の待ち時間
Dim Wait2 As Integer	'電圧印加後の待ち時間
'その他	
Dim SpreadNum As Integer	'Excel 表の入力位置
Dim MeaNum	'総測定回数
Dim FirstG As Boolean	'ゲート電圧を変えて初めての測定かどうか
Dim FirstSub As Boolean	'基板電圧を変えて初めての測定かどうか

```
Dim FirstTime As Boolean
                           '最初の電圧印加
Dim Status As String
                           '測定器状態
Dim AbortStatus As Boolean
Private Sub cmdAbort_Click()
   AbortStatus = True
End Sub
Private Sub Form_Load()
    'On Error Resume Next
    'Compliance の AddItem
   For I = 1 To 15
       cmbVd.AddItem CStr("1.0E-" & I)
       cmbVs.AddItem CStr("1.0E-" & I)
       cmbVsub.AddItem CStr("1.0E-" & I)
   Next I
   For I = 2 To 4
       cmbVg.AddItem CStr("1.0E-" & I)
   Next I
    '初期データ
    'ドレイン
    txtVd(0).Text = 0
    txtVd(1).Text = 9
    txtVd(2).Text = 0.1
   cmbVd.ListIndex = 1
    'ゲート
    txtVg(0).Text = 0
    txtVg(1).Text = 5
    txtVg(2).Text = 0.2
   cmbVg.ListIndex = 2
    '基板
    txtVsub(0).Text = 0
    txtVsub(1).Text = 3
    txtVsub(2).Text = 1
   cmbVsub.ListIndex = 2
```

```
'ソース
txtVs(0).Text = 0
cmbVs.ListIndex = 1
'待ち時間
txtW(0).Text = 20
txtW(1).Text = 2
txtW(2).Text = 5
```

End Sub

```
Private Sub cmdStart_Click()
'INOUE 追加
AbortStatus = False
'INOUE 追加
```

```
On Error GoTo ErrHandler

'保存用ファイル消去

Kill ("C:¥Measure¥DRAMMeasure.txt")

ErrHandler:

FirstTime = True

'Excel 表入力位置変数初期設定

SpreadNum = 2

'On Error Resume Next

'HP4141B 作動

adrHP4141B = iopen("hpib7,23")

HP4141B = itimeout(adrHP4141B, 3000)

HP4141B = itermchr(adrHP4141B, 10)

HP4141B = iclear(adrHP4141B)
```

```
'HP4140B 作動
adrHP4140B = iopen("hpib7,17")
HP4140B = itimeout(adrHP4140B, 3000)
HP4140B = iremote(adrHP4140B)
HP4140B = itermchr(adrHP4140B, 10)
HP4141B = iclear(adrHP4141B)
```

```
'HP4140B モード設定
HP4140B = ivprintf(adrHP4140B, "F1,RA1,I3,A6,B2" + Chr$(10))
```

'TR6150 作動

adrTR6150 = iopen("hpib7,5")
TR6150 = itimeout(adrTR6150, 3000)
TR6150 = iremote(adrTR6150)
TR6150 = itermchr(adrTR6150, 10)
TR6150 = iclear(adrTR6150)

'シート調整

'	spsData.Selection.DeleteColumns (16)
'	<pre>spsData.ActiveSheet.Cells(1, 1) = "Vs"</pre>
'	<pre>spsData.ActiveSheet.Cells(1, 2) = "Vd"</pre>
'	<pre>spsData.ActiveSheet.Cells(1, 3) = "Vg"</pre>
'	<pre>spsData.ActiveSheet.Cells(1, 4) = "Vsub"</pre>
'	<pre>spsData.ActiveSheet.Cells(1, 5) = "Is"</pre>
'	<pre>spsData.ActiveSheet.Cells(1, 6) = "Id"</pre>
'	<pre>spsData.ActiveSheet.Cells(1, 7) = "lg"</pre>
'	<pre>spsData.ActiveSheet.Cells(1, 8) = "Isub"</pre>
'	<pre>spsData.ActiveSheet.Cells(1, 9) = "Vs'"</pre>
'	<pre>spsData.ActiveSheet.Cells(1, 10) = "Vd'"</pre>
'	<pre>spsData.ActiveSheet.Cells(1, 11) = "Vg'"</pre>
'	<pre>spsData.ActiveSheet.Cells(1, 12) = "Vsub'"</pre>
'	<pre>spsData.ActiveSheet.Cells(1, 13) = "IsStat"</pre>
'	<pre>spsData.ActiveSheet.Cells(1, 14) = "IdStat"</pre>
'	<pre>spsData.ActiveSheet.Cells(1, 15) = "lgStat"</pre>
'	<pre>spsData.ActiveSheet.Cells(1, 16) = "IsubStat"</pre>

'''''\入力'''''''

'測定順番(ドレインから測定なら True を入力) FirstD = True 'True (ドレインから測定)推奨 'ソース電圧一定 SMUs = 1 Source = txtVs(0).Text Scomp = cmbVs.Text

```
'ドレイン電圧変化
   SMUd = 2
   Dfrom = txtVd(0).Text
   Dto = txtVd(1).Text
   DStep = txtVd(2).Text
   Dcomp = cmbVd.Text
   'ゲート電圧変化
   Gfrom = txtVg(0).Text
   Gto = txtVg(1).Text
   GStep = txtVg(2).Text
   Gcomp = cmbVg.ListIndex
   Gcomp2 = cmbVg.Text
   '基板電圧変化
   SMUsub = 3
   Subfrom = txtVsub(0).Text
   Subto = txtVsub(1).Text
   SubStep = txtVsub(2).Text
   Subcomp = cmbVsub.Text
   '待ち時間設定
   Wait1 = txtW(1).Text 'ゲート電圧変化時の待ち時間
                        '電圧印加後の待ち時間
   Wait2 = txtW(2).Text
   '総測定回数計算・表示・リフレッシュ
   MeaNum = (Abs(Round((Dto - Dfrom) / DStep)) + 1) * (Abs(Round((Gto - Gfrom) /
GStep)) + 1) * (Abs(Round((Subto - Subfrom) / SubStep)) + 1)
   IblProgress.Caption = 0 & "/" & MeaNum
   frmSimple.Refresh
   'ソース電圧印加
   HP4141B = ivprintf(adrHP4141B, "DV" & SMUs & ",0," & Source & "," & Scomp & ""
```

+ Chr(10)

'電圧印加 Call AddV

```
'電圧0印加
```

```
'ソース電圧印加
```

```
HP4141B = ivprintf(adrHP4141B, "DV" & SMUs & ",0,0," & Scomp & "" + Chr$(10))
```

```
'基板電圧印加
```

```
HP4141B = ivprintf(adrHP4141B, "DV" & SMUsub & ",0,0," & Subcomp & "" + Chr$(10))
```

- 'ゲート電圧印加
- HP4140B = iclear(adrHP4140B)
- HP4140B = iflush(adrHP4140B, I_BUF_WRITE)
- HP4140B = ivprintf(adrHP4140B, "F1,RA1,I1,A5,PA0,B2,L3" + Chr\$(10))
- HP4140B = ivprintf(adrHP4140B, "W1" + Chr\$(10))
- 'ドレイン電圧印加
- TR6150 = ivprintf(adrTR6150, "HV5L1L5D0E" + Chr\$(10))

'測定器クローズ

```
HP4141B = iclear(adrHP4141B)
HP4141B = ilocal(adrHP4141B)
HP4141B = iclose(adrHP4141B)
HP4140B = iclear(adrHP4140B)
HP4140B = ilocal(adrHP4140B)
HP4140B = iclose(adrHP4140B)
TR6150 = iclear(adrTR6150)
TR6150 = ilocal(adrTR6150)
TR6150 = iclose(adrTR6150)
IblWait.Caption = "測定終了"
frmSimple.Refresh
```

```
'終了アラーム
For b = 1 To 3 ' ループを 3 回繰り返します。
Beep ' ビープ音を鳴らします。
For a = 1 To 2500000
        b = b
        Next a
Next b
```

End Sub

'電圧印加の Sub

Private Sub AddV()

'保存用ファイルオープン

Close #1

Open "C:¥Measure¥DRAMMeasure.txt" For Output As #1

Write #1, "Vs", "Vd", "Vg", "Vsub", "Is", "Id", "Ig", "Isub", "Vs'", "Vd'", "Vg'", "Vsub'", "IsStat", "IdStat", "IgStat", "IsubStat", "Dfrom", "Dto", "DStep", "Dcomp", "Gfrom", "Gto", "GStep", "Gcomp", "Subfrom", "Subto", "SubStep", "Subcomp", "Source", "Scomp", "Wait0", "Wait1", "Wait2"

'INOUE 追加

Close #1

'INOUE 追加

'基板電圧の開始電圧設定

```
Substrata = Round(Subfrom, 3)
```

```
'基板電圧を開始電圧から終了電圧まで変化させるループ
```

```
Do Until (Substrata > Subto) Or AbortStatus
```

'ゲートの開始電圧設定

```
Gate = Round(Gfrom, 3)
```

'基板電圧印加

'テスト用にコメントアウト

```
HP4141B = ivprintf(adrHP4141B, "DV" & SMUsub & ",0," & Substrata * -1 & ","
& Subcomp & "" + Chr$(10))
```

'テスト用にコメントアウト

```
'基板電圧を変えて一回目であることを宣言
```

FirstSub = True

'ゲート電圧を開始電圧から終了電圧まで変化させるループ

Do Until (Gate > Gto) Or AbortStatus

Open "C:¥Measure¥DRAMMeasure.txt" For Append As #1

```
'ゲートの開始電圧設定
```

```
Drain = Round(Dfrom, 5)
```

'ゲート電圧印加

'テスト用にコメントアウト

HP4140B = iclear(adrHP4140B)

HP4140B = iflush(adrHP4140B, I_BUF_WRITE)

HP4140B = ivprintf(adrHP4140B, "F1,RA1,I3,A5,PA" & Gate & ",B2,L3" +

Chr\$(10))

HP4140B = ivprintf(adrHP4140B, "W1" + Chr\$(10))

'テスト用にコメントアウト

ゲート電圧を変えて一回目であることを宣言

FirstG = True

ドレイン電圧を開始電圧から終了電圧まで変化させるループ

Do Until (Drain > Dto) Or AbortStatus

'ドレイン電圧印加

```
'テスト用にコメントアウト
```

TR6150 = ivprintf(adrTR6150, "HV5L2L5D" & Drain & "E" + Chr\$(10)) 'テスト用にコメントアウト

'初めての電圧印加かどうか確認

If FirstTime = True Then

MeaTime = Round(((1 + Wait2) * MeaNum + Wait1 * 5 *
(Abs(Round((Gto - Gfrom) / GStep)) + 1) * (Abs(Round((Subto - Subfrom) / SubStep))
+ 1) + Wait0 * 5 * (Abs(Round((Subto - Subfrom) / SubStep)) + 1)) / 3600, 1)

Msg = MsgBox("測定回数:"&MeaNum&"[回] 測定時間:"&MeaTime

& "[時間]" & Chr\$(10) & "測定を開始してよろしいでしょうか?", 1, "測定開始確認")

If Msg = 2 Then GoTo EndAddV

End If

'基板電圧を変えて一回目の測定なら待ち時間を挟む

If FirstSub = True And FirstTime = False Then

'基板電圧印加後の待ち時間

```
For I = 1 To 5
```

lblWait.Caption = "基板電圧印加後待時間" & WaitO * 5 & "

秒["&|&"/5]"

```
lblWait.Refresh
```

Call Wait(Wait0)

Next I

End If

'ゲート電圧を変えて一回目の測定なら待ち時間を挟む

If FirstG = True And FirstTime = False Then

'ゲート電圧印加後の待ち時間

For
$$I = 1$$
 To 5

IblWait.Caption = "ゲート電圧印加後待時間" & Wait1 * 5 & "

秒["&|&"/5]"

```
IblWait.Refresh
```

```
Call Wait(Wait1)
```

```
Next I
```

End If

'測定プログラミングへジャンプ

'テスト用に追加

•	lsource = Rnd(10)
1	Idrain = Rnd(10)
1	lgate = Rnd(10)
1	Isubstrata = Rnd(10)
,	Vsource = $Rnd(10)$
,	Vdrain = Rnd(10)
1	Vgate = Rnd(10)
,	Vsubstrata = Rnd(10)
,	SStatus = "N"
,	DStatus = "N"
,	GStatus = "N"
•	SubStatus = "N"

'テスト用に追加

'テスト用にコメントアウト

Call Measure

```
'テスト用にコメントアウト
```

'データ保存

```
If FirstTime = True Then
```

Write #1, Source, Drain, Gate, Substrata, Isource, Idrain, Igate, Isubstrata, Vsource, Vdrain, Vgate, Vsubstrata, SStatus, DStatus, GStatus, SubStatus, Dfrom, Dto, DStep, Dcomp, Gfrom, Gto, GStep, Gcomp2, Subfrom, Subto, SubStep, Subcomp, Source, Scomp, Wait0, Wait1, Wait2

Else

Write #1, Source, Drain, Gate, Substrata, Isource, Idrain, Igate, Isubstrata, Vsource, Vdrain, Vgate, Vsubstrata, SStatus, DStatus, GStatus, SubStatus

> End If '進行状況 Call Progress

'フォームのリフレッシュ frmSimple.Refresh 'Exel への入力位置変更 SpreadNum = SpreadNum + 1 'ステップ電圧プラス Drain = Round(Drain + DStep, 5) FirstTime = False FirstSub = False FirstG = False

'INOUE 追加

DoEvents

'INOUE 追加

Loop

'ステップ電圧プラス

Gate = Round(Gate + Abs(GStep), 3)

'INOUE 追加

```
DoEvents
Close #1
On Error GoTo NotCopy:
Open "C:¥Measure¥tmpDRAMMeasure.txt" For Output Access Write As #2
Close #2
FileCopy "C:¥Measure¥DRAMMeasure.txt",
```

"C:¥Measure¥tmpDRAMMeasure.txt"

NotCopy:

'INOUE 追加

Loop

'基板電圧プラス

```
Substrata = Round(Substrata + Abs(SubStep), 3)
```

'INOUE 追加

DoEvents

- 'INOUE 追加
 - Loop

EndAddV:

Close #1

End Sub

```
'測定
```

```
Private Sub Measure()

'On Error Resume Next

Dim I As Integer 'For 文用(電流測定)

Dim j As Integer 'For 文用(ゲート測定)

Dim Current As String * 200 '測定電流一時保存

Dim Voltage As String * 200 '測定電圧一時保存
```

```
'電圧印加後の待ち時間
```

```
lblWait.Caption = "電圧印加後待時間" & Wait2 & "秒"
lblWait.Refresh
Call Wait(Wait2)
```

```
'本番測定
```

```
''''''ソース'''''''
```

```
'ソース電流電圧測定
```

```
HP4141B = ivprintf(adrHP4141B, "TI" & SMUs & "" + Chr$(10))
HP4141B = iread(adrHP4141B, Current, 200, &00, &00)
HP4141B = iflush(adrHP4141B, I_BUF_READ)
Isource = Mid(Current, 4, 11)
SStatus = Mid(Current, 1, 1)
| source = | source * -1
Current = ""
'ソース電圧測定
HP4141B = ivprintf(adrHP4141B, "TV" & SMUs & "" + Chr$(10))
HP4141B = iread(adrHP4141B, Current, 200, &00, &00)
HP4141B = iflush(adrHP4141B, I_BUF_READ)
Vsource = Mid(Current, 4, 11)
Current = ""
'Excel 表入力処理
'行を挿入
spsData.Rows(2).Select
```

```
spsData.Selection.InsertRows
```

ı.

```
'ソース電流・電圧を Excel 表へ入力
```

```
spsData.ActiveSheet.Cells(2, 1) = Source
```

```
,
    spsData.ActiveSheet.Cells(2, 9) = Vsource
    spsData.ActiveSheet.Cells(2, 5) = Isource
.
    spsData.ActiveSheet.Cells(2, 13) = SStatus
   '''''基板'''''
   '基板電流測定
   HP4141B = ivprintf(adrHP4141B, "TI" & SMUsub & "" + Chr$(10))
   HP4141B = iread(adrHP4141B, Current, 200, &00, &00)
   HP4141B = iflush(adrHP4141B, I_BUF_READ)
   Isubstrata = Mid(Current, 4, 11)
   SubStatus = Mid(Current, 1, 1)
   Current = ""
   '基板電圧測定
   HP4141B = ivprintf(adrHP4141B, "TV" & SMUsub & "" + Chr$(10))
   HP4141B = iread(adrHP4141B, Current, 200, &00, &00)
   HP4141B = iflush(adrHP4141B, I BUF READ)
   Vsubstrata = Mid(Current, 4, 11)
   Current = ""
   '基板電流・電圧を Excel 表へ入力
    spsData.ActiveSheet.Cells(2, 4) = Substrata
ı.
    spsData.ActiveSheet.Cells(2, 12) = Vsubstrata
.
    spsData.ActiveSheet.Cells(2, 8) = Isubstrata
.
    spsData.ActiveSheet.Cells(2, 16) = SubStatus
   '''''ドレイン'''''
   'ドレイン電流・電圧測定
   'HP4141B = ivprintf(adrHP4141B, "TI" & SMUd & "" + Chr$(10))
   'HP4141B = iread(adrHP4141B, Current, 200, &00, &00)
   'HP4141B = iflush(adrHP4141B, I_BUF_READ)
   'Idrain = Mid(Current, 4, 11)
   'DStatus = Mid(Current, 1, 1)
   'Current = ""
   'ドレイン電圧測定
   'HP4141B = ivprintf(adrHP4141B, "TV" & SMUd & "" + Chr$(10))
```

```
'HP4141B = iread(adrHP4141B, Current, 200, &00, &00)
```

```
'HP4141B = iflush(adrHP4141B, I_BUF_READ)
```

```
'Vdrain = Mid(Current, 4, 11)
    'ドレイン電流・電圧を Excel 表へ入力
.
    spsData.ActiveSheet.Cells(2, 2) = Drain
ī
    spsData.ActiveSheet.Cells(2, 10) = Vdrain
.
    spsData.ActiveSheet.Cells(2, 6) = Idrain
.
    spsData.ActiveSheet.Cells(2, 14) = DStatus
    'ゲート電流・電圧を Excel 表へ入力
   On Error GoTo ErrorHandler
ErrorHandler:
   HP4140B = iflush(adrHP4140B, I_BUF_READ)
    spsData.ActiveSheet.Cells(2, 3) = Gate
   HP4140B = ivprintf(adrHP4140B, "E" + Chr$(10))
   HP4140B = iread(adrHP4140B, Current, 200, 0&, 0&)
   HP4140B = iflush(adrHP4140B, I_BUF_READ)
    Igate = Mid(Current, 4, 10)
   GStatus = Mid(Current, 2, 1)
   Vgate = Mid(Current, 16, 6)
   Current = ""
    'ゲート電流が 1E-13 より高ければやり直し
    If Abs(Igate) > 0.1 Then GoTo ErrorHandler
.
    spsData.ActiveSheet.Cells(2, 3) = Gate
.
    spsData.ActiveSheet.Cells(2, 11) = Vgate
    spsData.ActiveSheet.Cells(2, 7) = Igate
     spsData.ActiveSheet.Cells(2, 15) = GStatus
```

End Sub

'待ち時間

Private Sub Wait(Waiting As Integer)

'テスト用にコメントアウト Dim t1 As Date Dim t2 As Date Dim T As Single

```
Dim Temp As Single
   t1 = Time
   t2 = Time
   T = t1 - t2
   Temp = Second(T)
   Do While (Temp < Waiting) And (AbortStatus = False)
       t2 = Time
       T = t1 - t2
       Temp = Second(T)
       If Temp > Waiting Then GoTo LoopEnd
       '待ち時間進行状況(バー)
       jsmWait.value = Int((Temp / Waiting) * 10000)
       DoEvents
   Loop
LoopEnd: IblWait.Caption = "処理中"
   IblWait.Refresh
'テスト用にコメントアウト
End Sub
'進行状況
Private Sub Progress()
```

```
'測定進行状況(バー)
jsmProgress.value = Int(((SpreadNum - 1) / MeaNum) * 10000)
'測定進行状況(数値)
IbIProgress.Caption = SpreadNum - 1 & "/" & MeaNum
```

```
End Sub
```