

平成 13 年度
学士学位論文

W-CDMA 用 RAKE 受信機の
データ駆動プロセッサによる実現法

A Data-Driven Implementation of W-CDMA RAKE
Receiver

1020292 志摩 浩

指導教員 岩田 誠

2002 年 2 月 8 日

高知工科大学 情報システム工学科

要 旨

W-CDMA 用 RAKE 受信機の データ駆動プロセッサによる実現法

志摩 浩

近年、移動体通信におけるデータ通信速度の高速化への要請が高まっている。2001 年に実用化された W-CDMA や、2010 年に実用化が予定されている第 4 世代移動体通信等からも、その流れは明らかである。また、データ通信速度の高速化に伴い、動画配信など、これまでは実用化が困難であったサービスも、今後多様化すると考えられる。これらのことから、将来の移動体通信においては、幅広いサービスに柔軟に対応でき、信号の高速処理が可能なハードウェアの重要性が高まると予想される。

本研究では、高い並列処理性能を持ち低消費電力であるデータ駆動プロセッサの高速移動体通信機器への応用可能性を模索するために、現行の W-CDMA 受信機で最も高負荷で電力を消費する RAKE 受信機のデータ駆動プロセッサによる実現法を提案する。提案方式は、拡散符号の周期性を利用し、かつ RAKE 受信機向けの命令を追加することで、高速な逆拡散処理を可能にする。

性能評価の結果、本実現法が W-CDMA 要求性能を十分に満たしており、高速かつ低消費電力の RAKE 受信機が構成可能であることを確認した。

キーワード W-CDMA, RAKE 受信機, データ駆動プロセッサ, OVSF コード生成法, 擬似シフトレジスタ

Abstract

A Data-Driven Implementation of W-CDMA RAKE Receiver

Hiroshi SHIMA

Recently, the interest to improve the data-transfer rate in mobile communications is increasing. Wideband-CDMA put in practical use in 2001 and the 4th generation mobile communications by which utilization is scheduled for 2010 show the trend. The high speed data-communications realizes a service such as animation distribution etc. From these things, in future mobile communications, it is expected that the necessity for the hardware in which various services based on the high-speed signal processing possible increases.

In this research, a implementation method by the data driven processon of a RAKE receiver which consumes most electric power and gives heavy load with the present Wideband-CDMA receiver is proposed. It gropes for the application to the high-speed mobile communications apparatus of the data driven processor which is low power consumption with a high parallel processing performance. The proposed system enables high-speed reverse diffusion processing by utilizing periodicity of a diffusion code and boosts up by adding instructions for RAKE receivers.

As the result of performance evaluation, this implementing method is fully filling the Wideband-CDMA demanded performance and it shows the RAKE receiver of low power consumption and high speed is possible.

key words W-CDMA, RAKE Reciever, Data-Driven Processor, OVVSF code generator, Psdueo Shift Register

目次

第 1 章	序論	1
第 2 章	RAKE 受信機の高速実現上の 問題点	4
2.1	緒言	4
2.2	受信信号構成要素	5
2.2.1	データチャネル	5
2.2.2	拡散符号	5
2.3	RAKE 受信	8
2.3.1	MF 部	8
2.3.2	Finger 部	9
2.3.3	高速実現における問題点	10
2.4	結言	10
第 3 章	データ駆動プロセッサによる実現法	11
3.1	緒言	11
3.2	既存のデータ駆動プロセッサを用いた構成	11
3.3	拡散符号の特性を活用した MF 処理量軽減手法	12
3.4	RAKE 受信機向け命令	14
3.5	構成した RAKE 受信機	21
3.6	プロセッサコア構成	21
3.7	結言	25
第 4 章	性能評価	26
4.1	緒言	26

目次

4.2	性能評価モデル	26
4.3	既存のデータ駆動プロセッサにより構成した MF との性能比較	27
4.4	スループットに関する評価	27
4.5	結言	28
第 5 章	考察	30
5.1	緒言	30
5.2	プロセッサコアに関する考察	30
5.3	スループットに関する考察	31
5.4	結言	31
第 6 章	結論	32
	謝辞	34
	参考文献	35

目次

2.1	信号の伝播の概念図	4
2.2	OVSF コード生成法	6
2.3	データ送信過程図	7
2.4	RAKE 受信機の原理的構成	8
2.5	RAKE 受信機各モジュールのシーケンス図	9
3.1	既存のデータ駆動プロセッサを用いた MF 構成例	12
3.2	拡散符号の特性を利用した MF 構成例	13
3.3	regA(B) 命令	15
3.4	sign 命令	16
3.5	symbol_sw 命令	17
3.6	p_check 命令	17
3.7	gen_check 命令	18
3.8	p_out 命令	19
3.9	pilot_out 命令	19
3.10	estimate 命令	20
3.11	set_px 命令	21
3.12	MF 部の構成	22
3.13	Decimation 部の構成	23
3.14	Finger 部の構成	24
3.15	プロセッサコア構成	25
4.1	既存のデータ駆動プロセッサとの比較	28
4.2	性能評価	29

表目次

3.1 追加した新命令	15
3.2 既存のデータ駆動プロセッサに存在する命令	24

第 1 章

序論

近年、移動体通信の高速化が急速に進んでおり、高速な通信速度を処理できるハードウェアの必要性が高まっている。

移動体通信は、どこでもデータ通信が行えるという利便性により、爆発的に普及した。また、オフィスワークなどの有線データ通信から、移動しながら通信を行う必要性が増大したことも、移動体通信の普及の一助となった。どこにいてもデータ通信が可能な存在 移動体通信は、今後ますますその存在を高めるものとなるであろう。

移動体端末の創世記には、端末に求められる機能は、ほとんどが音声通信のみの機能であった。しかし、第 2 世代以降の移動体端末での Web ブラウジング機能の搭載など、データ通信が可能になったことを機に、移動体端末、特に携帯電話などは爆発的に普及することになった。すでに本格運用が始まっている第 3 世代移動体通信システムでは、停止時最大 2Mbit/sec という高速データ通信を可能にしており、動画配信などの新しいサービスも利用可能になる。この通信速度は、現存の一般家庭向け通信速度と比較しても遜色ないものであり、この通信速度を利用することにより行えるサービスの種類も飛躍的に増大すると考えられる。さらに、第 4 世代移動体通信システムにおいては、20Mbit/sec という通信速度を出すことが可能になる。通信環境の将来図としては、通信速度の向上に伴うサービスの多様化が進むと予測される。

このような次世代以降の移動体端末のあり方を見据えたとき、重要になってくるファクターが浮かび上がってくる。

まず必要とされるのは、高速通信を処理することのできる機構である。すでに、第 3 世代移動体通信に用いることのできる DSP も研究は進んでいる。DSP の実用化などにより、処

理性能を上げることは比較的容易であり、第 4 世代以降の移動体通信端末にも性能上は対応できると思われる。

次に、移動体通信端末には、電源の確保が困難という点から、省電力性を持つ必要がある。しかし、既存のプロセッサでの処理では、今後のサービス多様化に対応していくためには、ますます多くの電力の消費を必要とすることは明らかであり、これは移動体通信端末としては致命的な弱点となる。

また、移動体通信端末には本体サイズにおける限界点が存在しており、特に携帯電話などにおいては、性能向上に伴う発熱対策のための冷却装置を組み込むことは不可能である。

以上により、既存のプロセッサを応用することで、将来の移動体通信端末に要求される要素をすべて満たすことは、現状ではかなり厳しいと言える。

本稿では、上記の問題点を解決するため、高い並列処理性能かつ高速性を持ち、省電力、プログラム可能な高い柔軟性といった特性を持つデータ駆動プロセッサ [1] を用いる。

データ駆動プロセッサでは、ノイマン型プロセッサのように、クロックにより動作するのではなく、処理するデータを扱う部分でのみ電力が消費され、データを処理していない部分では電力消費は事実上 0 となる。

また、ノイマン型プロセッサではクロックを伝達するための配線長が問題になっており、微細化および集積化が困難となっているが、データ駆動プロセッサでは隣接するパイプラインステージにしか配線を行わないので、配線長増大に伴う消費電力増加の問題も解決でき、同時に、モジュール化が簡単に行えるので設計が容易となる。

以上のことから、データ駆動プロセッサは、将来的な移動体通信において、優位に立つと考えられる。今回は、すでに実用化が開始されている第 3 世代移動体通信に対し、データ駆動プロセッサを用いた構成を示すことで、将来的な移動体通信分野への応用可能性を探ると同時に、データ駆動プロセッサの移動体通信における優位性を示す。

今回研究対象とする第 3 世代移動体通信は、国内では W-CDMA 方式に標準化されている。W-CDMA の受信機側では、A/D 変換、Auto Gain Control、RAKE 受信、ビットデータ抽出という手順で信号処理を行っている。この中で、最もデータ転送速度に依存する

部分が、RAKE 受信部である。この部分は、同時に最も電力消費が多い部分でもある。

以上の点を踏まえ、本稿では、データ駆動プロセッサを用いた W-CDMA における下り通信時の RAKE 受信機を構成し、データ駆動プロセッサの移動体端末における優位性を示す。

2 章では、W-CDMA におけるデータ受信に必要な最低限のチャネルの解説、および現行方式の RAKE 受信機の標準的な構成を示し、高速化のための問題点を述べる。

3 章では、現存のデータ駆動プロセッサを用い、ボトルネックとなりうる部分の例を示し、その問題点を示すとともに、新たに考案したアルゴリズムおよび命令を用いた RAKE 受信機の構成を示す。

4 章では、W-CDMA 方式の要件を示し、性能評価を行った結果、本構成法が W-CDMA 要求性能を満たしていることを明らかにする。

5 章では、4 章までに判明した事象を元に考察を行う。

第 2 章

RAKE 受信機の高速実現上の 問題点

2.1 緒言

本章では、まず W-CDMA でのデータ受信に必要な最低限のチャネルおよび拡散符号についての簡単な説明を行う。

次に、図 2.1 で示すように、空間中の拡散した信号を合成することより大きい電力の信号を得る RAKE 受信機の原理的な構成を示す。

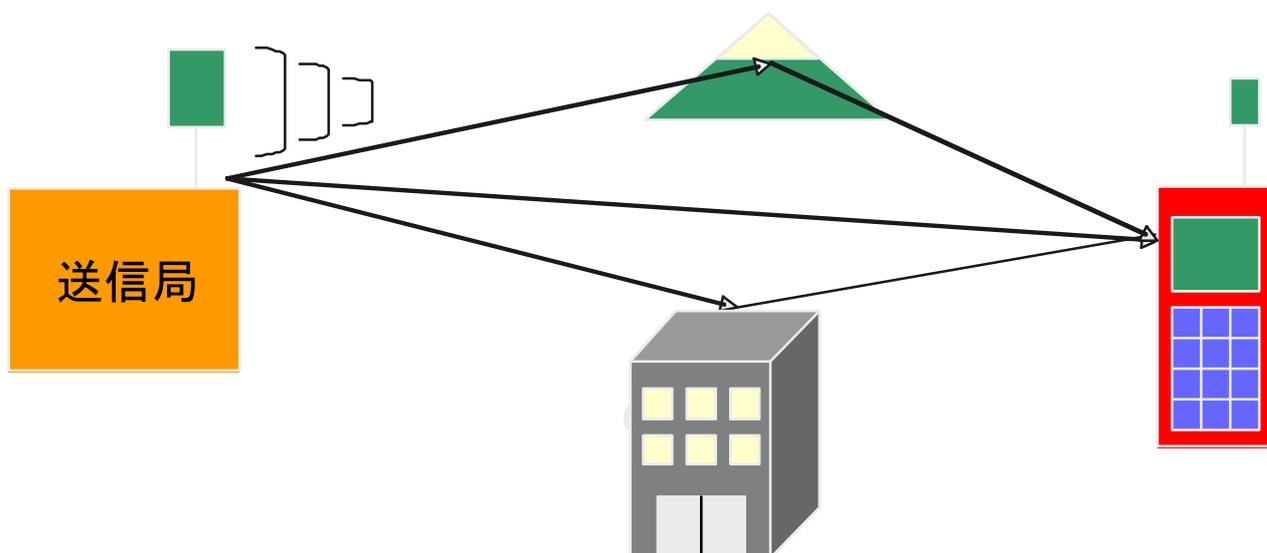


図 2.1 信号の伝播の概念図

2.2 受信信号構成要素

また、原理的構成の中で、高速化のボトルネックになりうる部分を抽出する。

2.2 受信信号構成要素

ここでは、RAKE 受信機で必要となる最低限のチャネルの説明を行う。また、受信するデータにかけられている拡散符号についても説明を行う。

2.2.1 データチャネル

W-CDMA における RAKE 受信機で用いられるチャネルに関しては、次のものがある [2]。

- P-CPICH(Primary-Common Pilot Channel)

Scrambling Code の判定、および位相判定に用いられるチャネル。P-CPICH は以下の式で表される。

$$C_{P-CPICH}(t) = (1 + j)$$

(Transmit Diversity は考えないものとする)

- DPCH(Dedicated Physical Channel)

物理データが含まれるチャネル。DPCH は送信データにより内容を変える。

2.2.2 拡散符号

拡散符号には 2 種類の符号が存在する。以下にその概要を示す [3]。

2.2 受信信号構成要素

- Channelization Code(Cch,SF,m)

物理チャネルの識別に利用されるコード。OVSF コード生成法により生成される。

OVSF コード生成法を図 2.2 を示す。このコードは、データのシンボルレートにより割り当てられる符号長が異なる。また、特定のチャネルに対しては、特定の Channelization Code が割り当てられる。P-CPICH に割り当てられるコードは、

$$C_{ch,256,0} = \{1, 1, 1, \dots, 1\}$$

である。

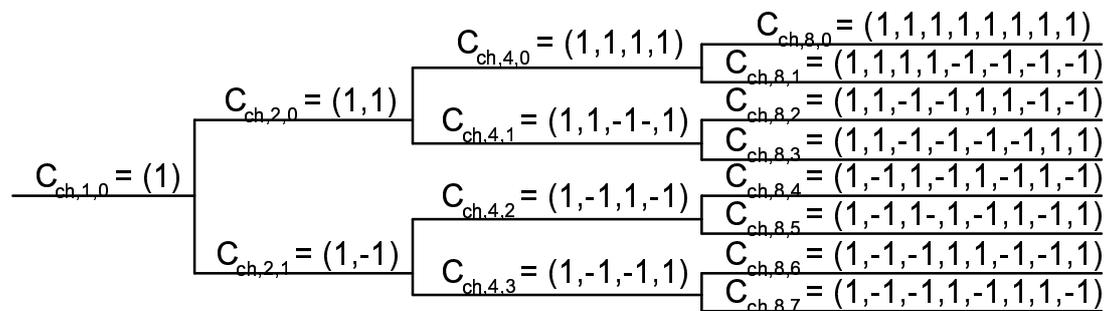


図 2.2 OVFSF コード生成法

- Scrambling Code(Sdl,n)

セルごとに割り当てられているコード。Scrambling Code の同定を行うことにより、データ部の受信が可能となる。このコードは、64 のグループに分かれており、ひとつのグループには 16 の Primary Scrambling Code が割り当てられている。グループに関しては、S-SCH の復号化により導出することが可能である。

なお、今回構成する RAKE 受信機には、Scrambling Code を同定する Cell Search 部は含まれていない。

以上のチャネル、および拡散符号により構成されるデータの送信過程を図 2.3 に示す。

2.2 受信信号構成要素

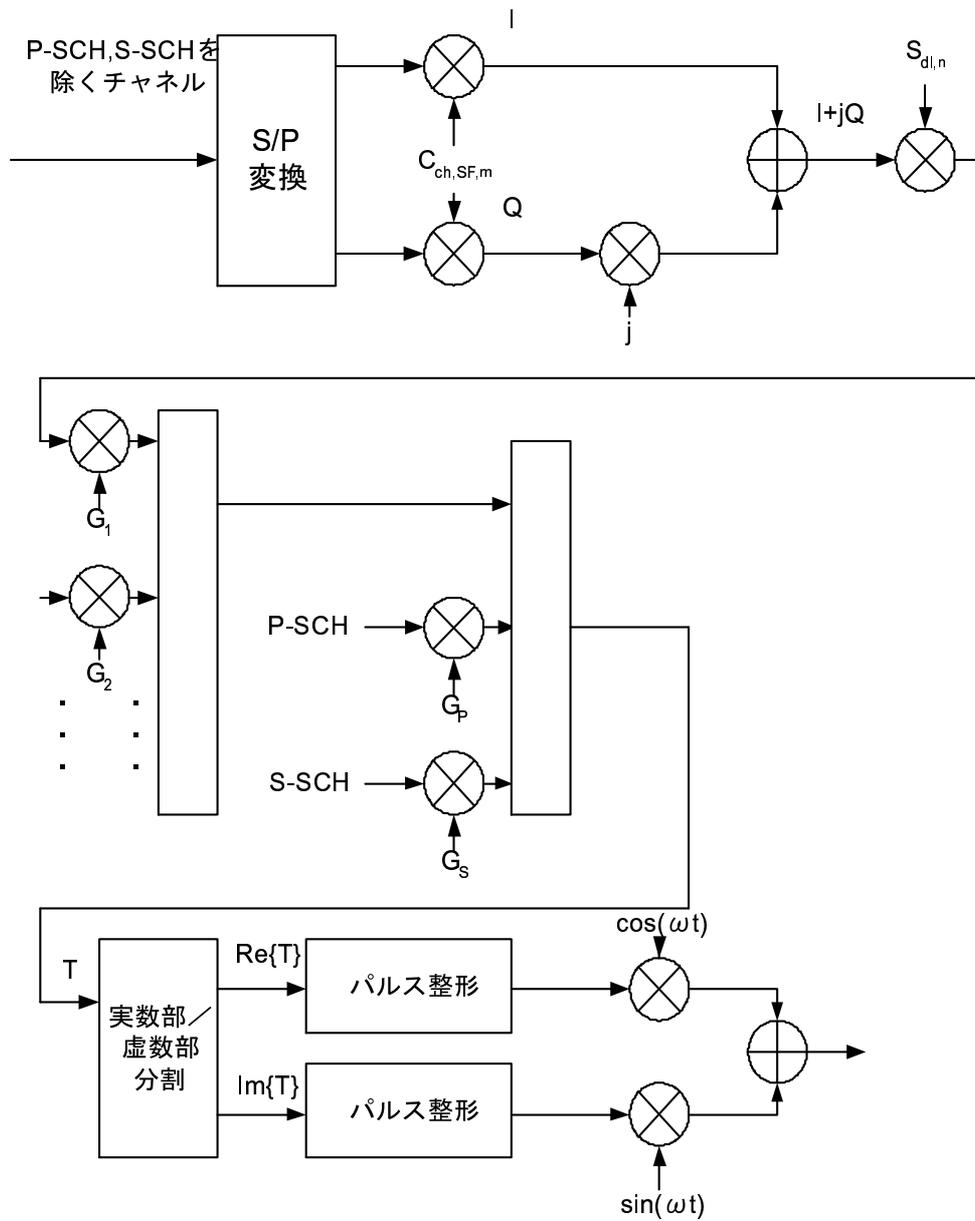


図 2.3 データ送信過程図

受信側では、これらのデータを用い、DPCH の復調を行う。

2.3 RAKE 受信

無線通信方式では、送信された信号は、空間中に存在する多くの物体に反射し、多種多様なタイミング、位相で受信局側に届く。受信局側では、届いた信号から復号すべき信号を選択する。この際1つの信号だけを選択、復号を行なうだけでは、信号の電力が弱く、正しく復元することが困難である。そこで、RAKE 受信機 [4, 5, 6, 7] は、各パスをそれぞれ逆拡散し、位相変調および重み付けを行い、信号を合成することにより、大きい電力の信号を生成する。

RAKE 受信機の原理的構成は、大きく次の二つに分けられる。

- Matched Filter(MF) 部
- Finger 部

RAKE 受信機の原理的構成図を、図 2.4 に示す。

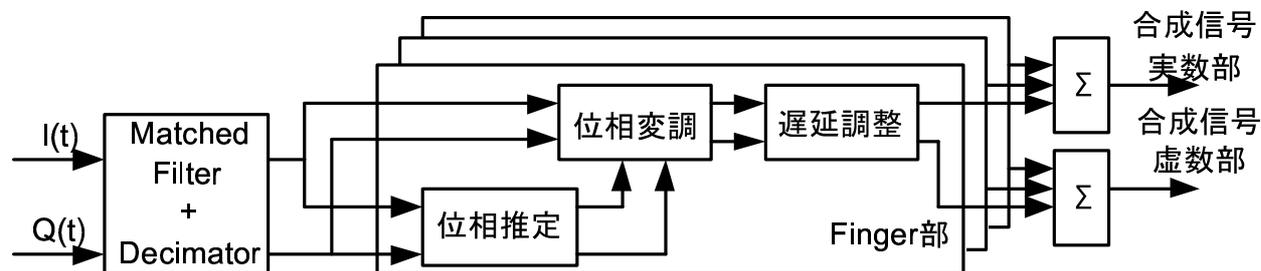


図 2.4 RAKE 受信機の原理的構成

RAKE 受信機各モジュールの動作を示すシーケンス図を図 2.5 に示す。

次節以降に、各部分に関する説明を行う。

2.3.1 MF 部

MF 部では、受信したデータ部信号 DPCH に対し、Scrambling Code および Channelization Code で逆拡散を行う。さらに、逆拡散を行った値である相関値を各タイミングごと

2.3 RAKE 受信

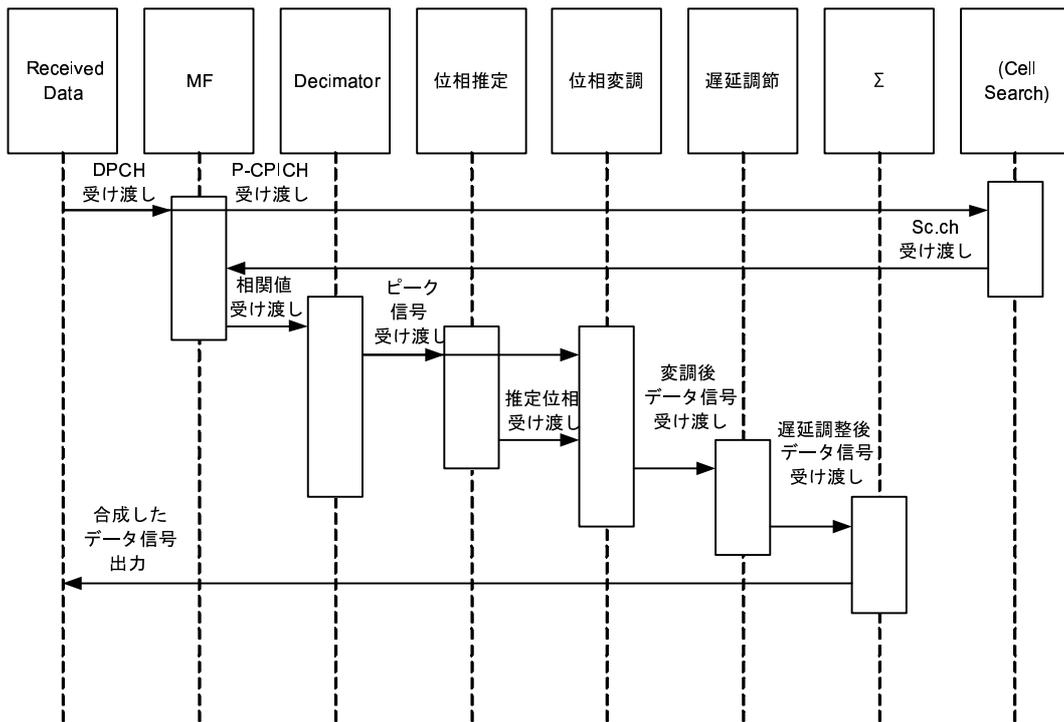


図 2.5 RAKE 受信機各モジュールのシーケンス図

に比較し、相関値上位 3 つの信号を抽出するデシメーション処理を行い、Finger 部に信号を受け渡す。

2.3.2 Finger 部

Finger 部では、パイロット信号 P-CPICH を用い入力された信号の位相を推定し、受信した信号に推定した位相情報を乗算し、位相変調を行う。その後、遅延を調節し、最終的に 3 つの Finger 部からの出力を足し合わせ、受信信号を合成する。

2.4 結言

2.3.3 高速実現における問題点

高速実現における問題点として、MF の演算数が存在する。

この部分での演算数は、過去の受信データを参照する必要があり、参照データ数は、受信信号に対する拡散符号の符号長に比例する。符号長は、最大で 512 チップの長さを持ち、逆拡散を行った場合、1 秒当たり 3,928,320,000 回の演算性能が必要となる。この演算性能を実現することは現実的ではないため、要求される演算性能が少なくて済む MF の構成法について検討する必要がある。

また、RAKE 受信機特有の処理も多数存在するため、その部分の高速化も必要となる。

2.4 結言

本章では、RAKE 受信機で用いられる基本的なチャネルの解説、および RAKE 受信機の原理的構成を示した。

RAKE 受信機でのボトルネック部分として、MF が挙げられ、この部分についての新たな構成法の考案が、RAKE 受信機全体の性能が向上するために必要であることを示した。

第 3 章

データ駆動プロセッサによる実現法

3.1 緒言

本章では、前章までに記した RAKE 受信機の、データ駆動型プロセッサに最適化された構成を考える。まず、最大のボトルネックとなる MF 部についてアルゴリズム面から検討し、高速な処理が可能なアルゴリズムについて提案する。次に、RAKE 受信機特有の処理の検討を行い、高速な処理の実現について考察する。

3.2 既存のデータ駆動プロセッサを用いた構成

既存のデータ駆動プロセッサを用いた符号長 4 の場合の MF 構成例を図 3.1 に示す。

この構成で行う 1 世代あたりの演算回数は、符号長が長くなるにつれて膨大なものとなり、符号長が最大の 512、かつ受信精度を確保するためサンプリング間隔をチップレートの 4 倍とした場合の 1 世代あたりの演算回数はデータコピー 1 回、世代操作 2047 回、乗算 2048 回、加算 2047 回の計 6143 回という膨大なものとなっており、1 秒あたり 23,589,120,000 回の演算処理能力を要求することになる。MF に割り当てるナノプロセッサを増やすことにより、処理速度は向上するが、W-CDMA 要求性能を満たすためには膨大なナノプロセッサが必要になる。このため、この構成法は現実的ではなく、MF で必要な演算処理能力を軽減可能な新しい構成法が必要不可欠となる。

3.3 拡散符号の特性を活用した MF 処理量軽減手法

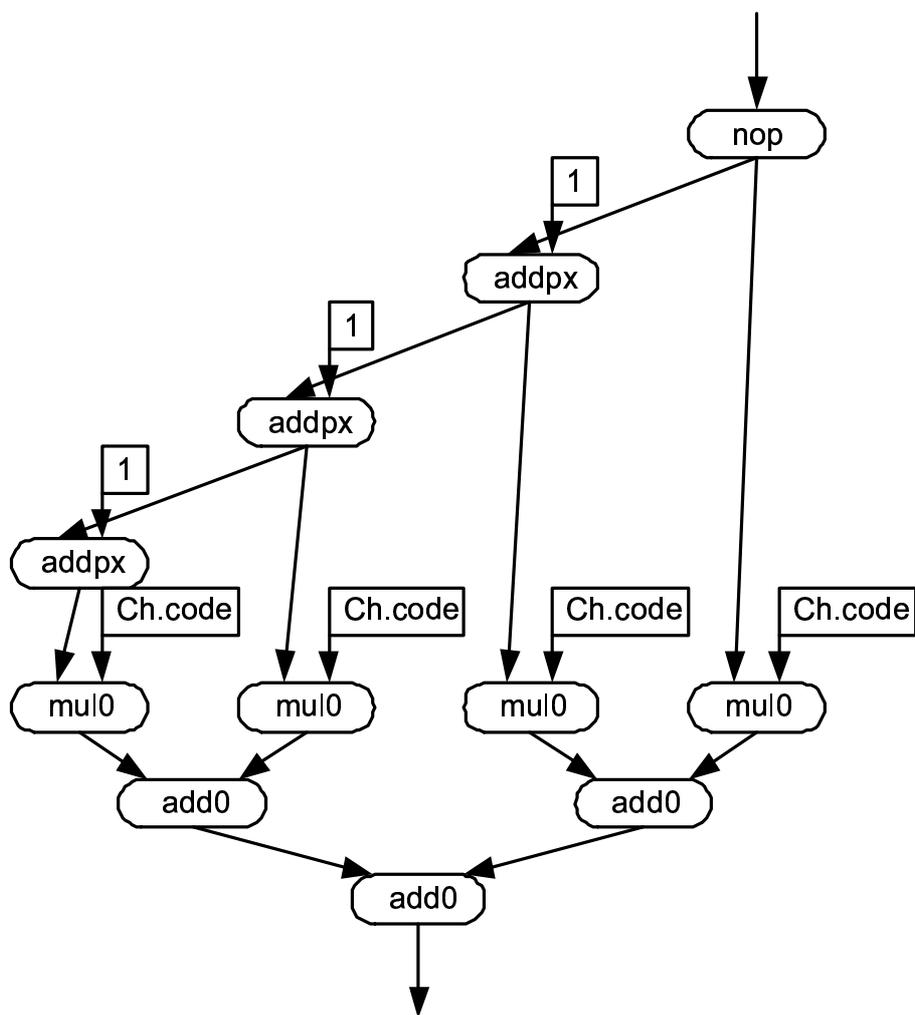


図 3.1 既存のデータ駆動プロセッサを用いた MF 構成例

3.3 拡散符号の特性を活用した MF 処理量軽減手法

図 2.2 で示した Channelization Code の生成手法である OVSF コード生成法は、

- 先頭符号はどの符号長においても常に 1 である
- すべての拡散符号の後半ビット列は前半ビット列に+1 もしくは-1 を掛けたものである

という特性を持っている。

以下の式に Channelization code の特性を示す。Channelization Code の a ビット目を

3.3 拡散符号の特性を活用した MF 処理量軽減手法

$C_{ch,SF,x,a}$ と表すと、

$$C_{ch,SF,x,1} = 1$$

$$C_{ch,SF,x,\frac{SF}{2}+1}, \dots, C_{ch,SF,x,SF-1} = \begin{cases} C_{ch,SF,x,1}, \dots, C_{ch,SF,x,\frac{SF}{2}} & (\text{if } x \bmod 2 = 0) \\ -(C_{ch,SF,x,1}), \dots, -(C_{ch,SF,x,\frac{SF}{2}}) & (\text{if } x \bmod 2 = 1) \end{cases}$$

と表せる。

この特性を用いた符号長 4、サンプリング間隔をチップレートの等倍とした場合の RAKE 受信機の構成例を図 3.2 に示す。

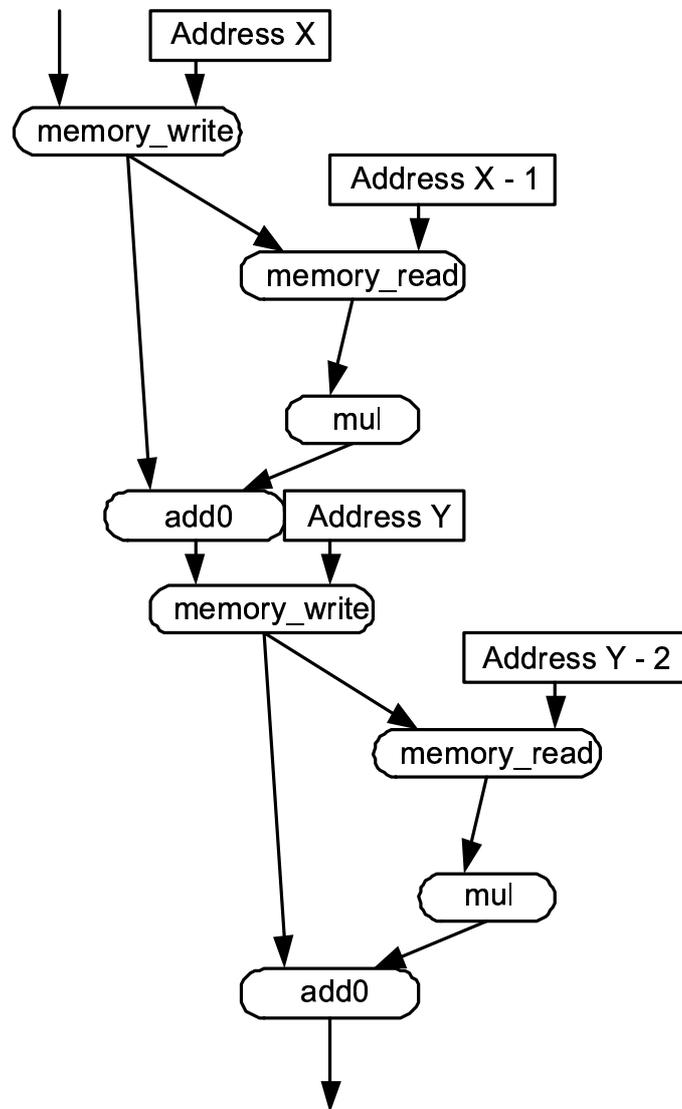


図 3.2 拡散符号の特性を利用した MF 構成例

3.4 RAKE 受信機向け命令

この構成例では、逆拡散の中間結果をメモリに書き込み、読み出すことにより中間結果を再利用している。

また、サンプリング間隔をチップレートの4倍とした場合、4世代ごとに拡散符号が変化すると考え、4世代分の信号を加算後にメモリに格納することにより、さらに演算回数を削減できる。

この構成を用いることにより、世代操作の必要が無くなった。また、加算、乗算、メモリ読み込み、メモリ書き込み回数とも、符号長 SF に対して、 $\log_2 SF$ 回となり、既存のデータ駆動プロセッサを用いたアルゴリズムと比較して飛躍的な減少が確認できた。

3.4 RAKE 受信機向け命令

RAKE 受信機での処理中には、ピーク値抽出、複素数乗算など、既存の命令で構成を行うと、多数の演算を必要とする処理が含まれている。本構成では、これらの処理について、新たに命令を考案することにより、該当部分の高速な実現を試みた。本構成で追加した命令を表 3.1 に示す。

次に、本構成での各命令の役割を示す。

- $\text{regA}(B)$

図 3.2 に示したアルゴリズムを用いることにより、演算の中間結果が利用可能となり、命令数の削減を行うことができた。しかし、演算の中間結果を再利用するためには、求めた中間結果をメモリに書き込む命令、さらに、過去の中間結果をメモリから読み込む命令が多数必要である。この結果、拡散符号長が長い場合は、メモリアクセス命令の多さがボトルネックとなる。この問題に対応するため、本構成では、擬似シフトレジスタ命令 $\text{regA}(B)$ を考案した。図 3.3 に $\text{regA}(B)$ 命令を示す。

この命令は、入力された中間結果をメモリに格納し、中間結果の世代から B/A 世代

3.4 RAKE 受信機向け命令

表 3.1 追加した新命令

命令名称	入出力数	使用用途
regA(B)	2 入力 A 出力	擬似シフトレジスタ
sign	2 入力 1 出力	逆拡散
symbol_sw	2 入力選択出力	データ振り分け
p_check	2 入力 1 出力	数値比較書き込み
gen_check	2 入力選択出力	データ振り分け
p_out	2 入力 6 出力	テーブル参照
pilot_out	2 入力 X 出力	メモリバースト読み出し
estimate	4 入力 2 出力	複素数乗算
set_px	2 入力 1 出力	世代操作

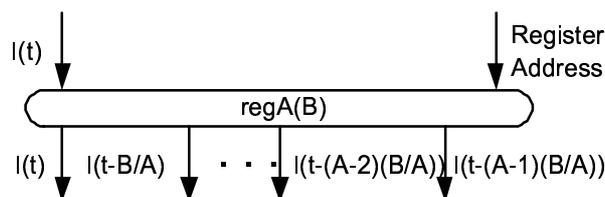


図 3.3 regA(B) 命令

おきに過去のデータを右データで指定されたアドレスから参照し、世代の新しい順に左のノードから A-1 個出力する。

この命令を用いることで、メモリ読み込み命令、メモリ書き込み命令を使用することなく、演算の中間結果の再利用が可能となる。

- sign

MF 部では、受信信号に拡散符号を乗算し逆拡散を行う。このとき使用する拡散符号は 1 または -1 であるため、乗算命令を用いなくても被乗数の正負を反転させることで、逆拡散は実現できる。本構成では、MF の逆拡散時に使用する命令として、被乗数

3.4 RAKE 受信機向け命令

の正負を反転させることのできる命令 `sign` を考案した。図 3.4 に `sign` 命令を示す。

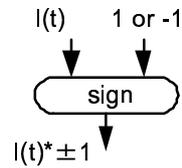


図 3.4 `sign` 命令

この命令は、入力データに対し、定数が 1 ならば +1 を、-1 ならばビット反転したのち 1 を加算し、出力する。

この命令を用いることで、乗算命令を用いることなく逆拡散処理を実現でき、回路規模の縮小を行うことが可能となる。

- `symbol_sw`

Decimation 処理では、1 シンボル間の相関値上位 3 信号を検出し、出力するが、シンボルが終了し、信号を出力した後で、相関値の情報をフラッシュする必要がある。このため、Decimation 処理のアルゴリズムは、ピーク値比較部を 2 つ用意し、フラッシュする間も相関値比較を行うことのでき、負荷も分散することが可能な構成をとっている。しかし、既存の命令を用いることでは、2 つのピーク値比較部を切り替える機構を実現することは難しい。この処理の実現のため、ピーク値比較部へのデータ切り替えを実現するため、データ振り分け命令 `symbol_sw` を考案した。図 3.5 に `symbol_sw` 命令を示す。

この命令は、入力データの世代と定数で示された値を比較し、入力データの世代 ÷ 定数の商が偶数の場合 True ノードに、奇数の場合 False ノードに、左データを出力する。

この命令を用いることにより、ピーク値比較部への出力切り替えを容易に行うことが可能となる。

3.4 RAKE 受信機向け命令

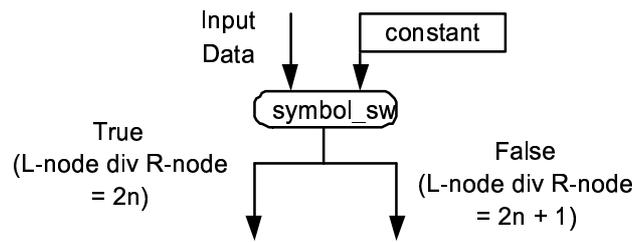


図 3.5 symbol_sw 命令

- p_check

Decimation 部での相関値比較部では、相関値の比較および相関値上位信号の I, Q 成分の保存を行う必要がある。既存の命令を用いると、メモリアクセス数、Arc 数ともに増大し、信号間の命令段数に差も出ることから、ピーク値比較、信号保存を効率的に行う命令が必要となる。本構成では、この処理に対応するため、数値比較書き込み命令 p_check を考案した。図 3.6 に p_check 命令を示す。

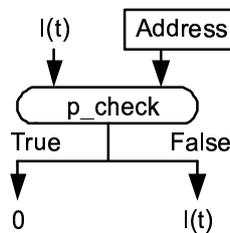


図 3.6 p_check 命令

この命令は、入力データと、定数により指定されたメモリアドレスに格納された値を比較する。比較の結果、左データ > メモリの場合、左データでメモリを更新し、別のメモリアドレスに書き込んである I, Q の値をピーク値成分と設定しメモリに書き込む。さらに、左データの世代をメモリに格納し、0 を出力する。左データ < メモリならば、メモリ書き替えは行わず、左データを出力する。

この命令を用いることにより、ピーク値比較、メモリ格納を容易にすることが可能と

3.4 RAKE 受信機向け命令

なる。

- gen_check

Decimation 部では、シンボル終了時に信号を Finger 部に送るため、シンボル終了を検出するための機構が必要となる。しかし、既存の命令を用いた構成では、多くの命令数を要する。本構成では、シンボルの終了を検出する機構を高速に実現するため、データ振り分け命令 gen_check を考案した。図 3.7 に gen_check 命令を示す。

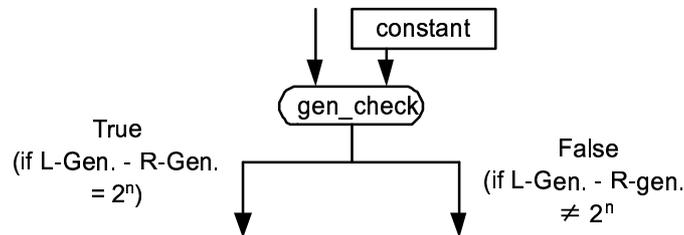


図 3.7 gen_check 命令

この命令は、入力データの世代の下位ビットについて、定数と比較する。世代の下位ビットが定数と等しければ True ノード、等しくなければ False ノードに入力データを出力する。

この命令を用いることによって、シンボルの終了を容易に検出することが可能となる。

- p_out

Decimation 部からの出力では、信号を各 Finger に送る必要がある。この部分を既存の命令で実現するためには、メモリ読み出し、世代操作等の命令が多数必要となるため、高速に信号を Finger 部に受け渡すことが困難である。

本構成では、効率的な信号出力を実現するために、テーブルメモリ参照命令 p_out を考案した。図 3.8 に p_out 命令を示す。

3.4 RAKE 受信機向け命令

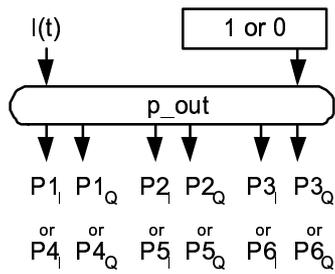


図 3.8 p_out 命令

この命令は、入力データをトリガとして、メモリに格納されている3つの信号のI,Q成分を、各ノードから出力する。各信号は、メモリに書き込まれている世代を復元し、出力する。

この命令を用いることにより、Finger 部への信号のスムーズな受け渡しが可能となる。

- pilot_out

Finger 部では、パイロット信号を用いて位相を推定するが、この際に多数のパイロット信号を取り扱う必要がある。このとき、既存の命令を用いた構成をとると、世代操作および、メモリ読み出しに必要な命令数および段数が増加する。本構成では、効率的なパイロット信号読み出しを行うため、メモリバースト読み出し命令 pilot_out 命令を考案した。図 3.9 に pilot_out 命令を示す。

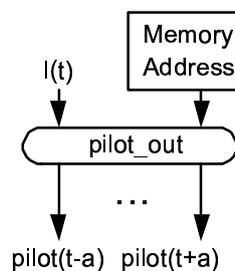


図 3.9 pilot_out 命令

3.4 RAKE 受信機向け命令

この命令は、入力データをトリガとして、前後 P スロットのパイロット信号を、Node(X-P),(X-P-1),...,X,...,(X+P) に出力する。

この命令を用いることで、効率的なパイロット信号の出力が可能となる。

- estimate

Finger 部では、パイロット信号から推定した位相を用いて受信データ信号を位相変調する。このとき、複素数の乗算を行うが、既存の命令を用いると、命令数および Arc 数が増大する。このため、本構成では、複素数乗算命令 estimate を考案した。図 3.10 に estimate 命令を示す。

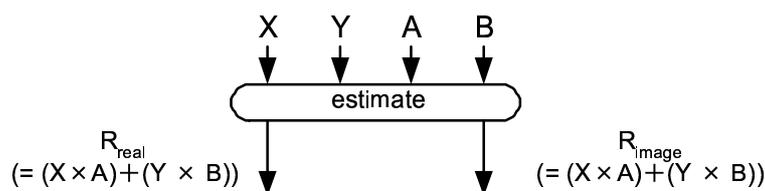


図 3.10 estimate 命令

この命令は、入力された 4 つのデータに対して、 $(In_{node1} + jIn_{node2}) \times (In_{node3} + jIn_{node4})$ を計算し、実数部を NodeX に、虚数部を Node X+1 に出力する。

この命令を用いることにより、複素数演算を容易に行うことが可能になる。

- set_px

RAKE 受信機では、各 Finger 部から出力された信号を足し合わせ、最終的に受信する信号を求めるが、足し合わせを行う前に、信号の遅延を調整する必要がある。本構成では、遅延調整を行うため、世代操作命令 set_px 命令を考案した。図 3.11 に set_px 命令を示す。

3.5 構成した RAKE 受信機

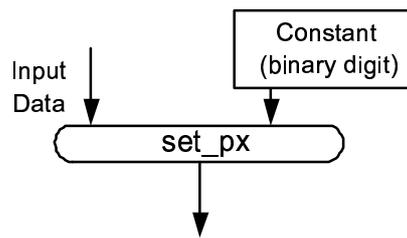


図 3.11 set_px 命令

左データの世代を、右データの世代にセットする。右データで指定していないビットは、元世代のままとする。

この命令を用いることにより、遅延調整を容易に行うことが可能となる。

3.5 構成した RAKE 受信機

今回考案したアルゴリズムおよび新命令を用い、構成した RAKE 受信機を図 3.12、3.13、3.14 に示す。

3.6 プロセッサコア構成

実現法の実装に関しては、既存のプロセッサに欠けている柔軟性について配慮し、かつ並列処理性能の維持を実現する必要がある。本構成では、提案した新命令および RAKE 受信機中で使用する命令をすべて使用できるプロセッサを用意することにより、上記の要件に対処した。RAKE 受信機中で使用した既存のデータ駆動プロセッサに存在する命令を表 3.2 に示す。

これらの命令セットを実装したナノプロセッサすべてにおいて、データキャッシュおよび

3.6 プロセッサコア構成

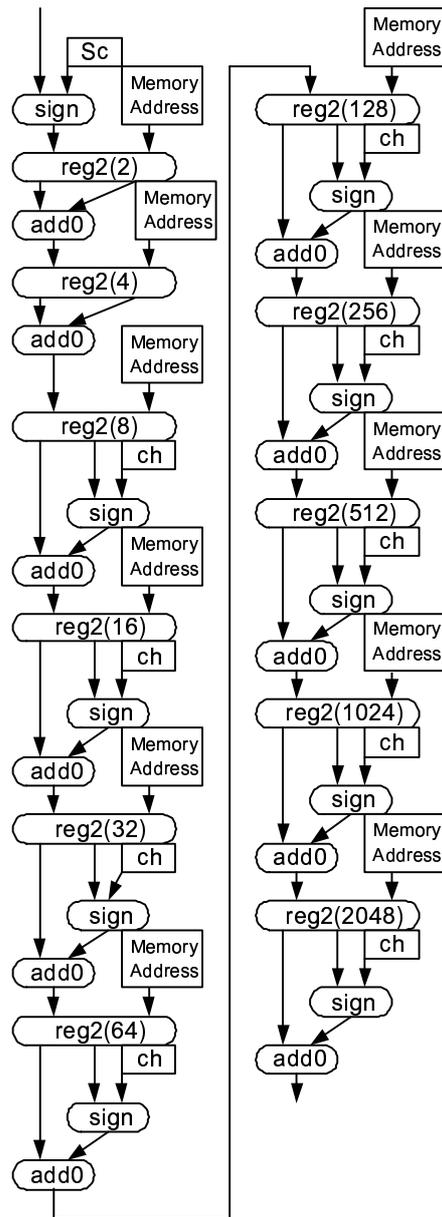


図 3.12 MF 部の構成

内蔵メモリを持ち、かつすべてのナノプロセッサからテーブルメモリにアクセスできるものとする。

本構成で前提としているプロセッサコア構成を図 3.15 に示す。

3.6 プロセッサコア構成

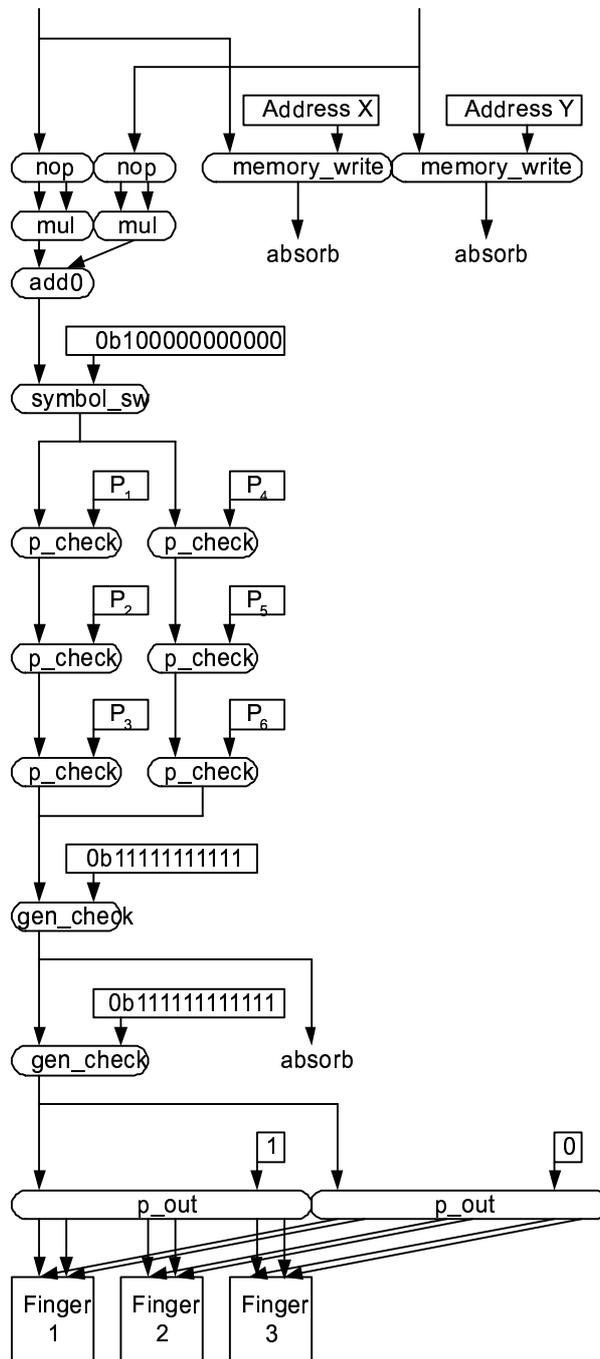


図 3.13 Decimation 部の構成

3.6 プロセッサコア構成

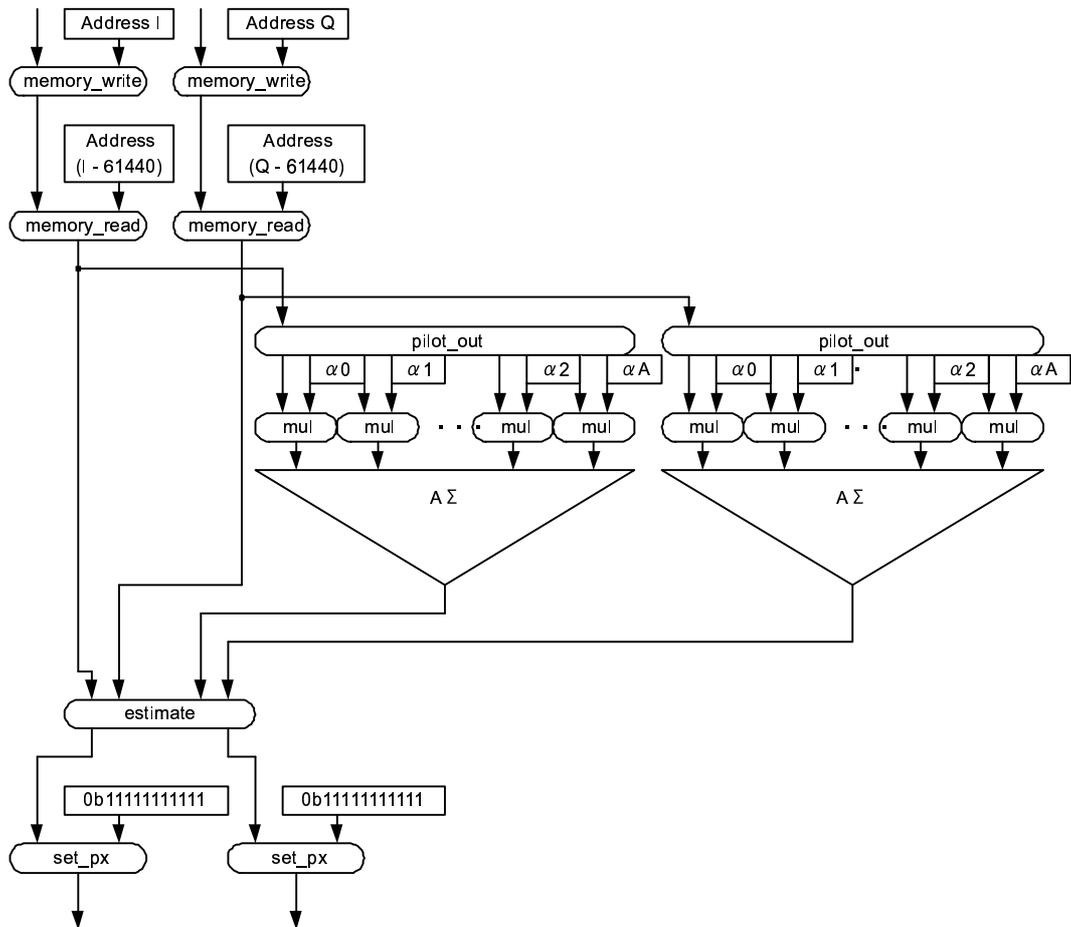


図 3.14 Finger 部の構成

表 3.2 既存のデータ駆動プロセッサに存在する命令

命令名称	入出力数	使用用途
add0	2 入力 1 出力	加算
nop	1 入力 1 出力	データコピー
mul0	2 入力 1 出力	乗算
memory_read	2 入力 1 出力	メモリ読み込み
memory_write	2 入力 1 出力	メモリ書き込み

3.7 結言

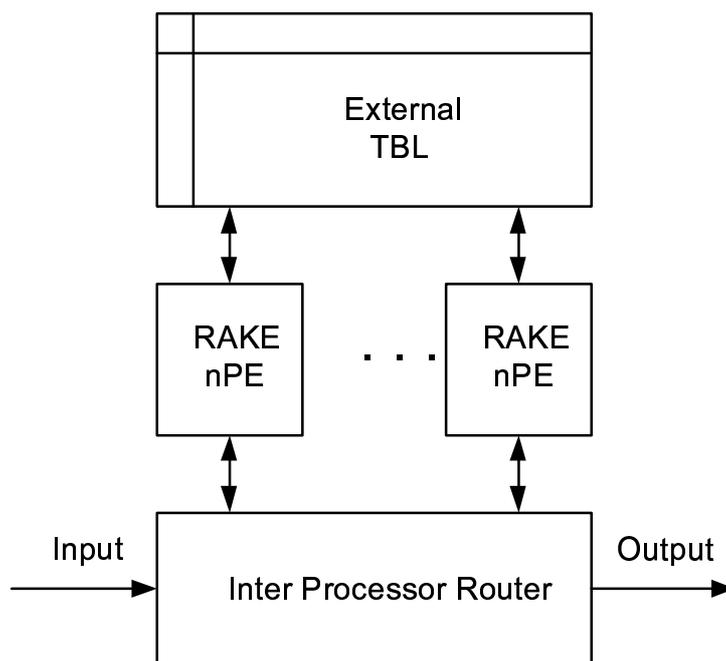


図 3.15 プロセッサコア構成

3.7 結言

本章では、まず既存のデータ駆動プロセッサを用いた構成を示し、その問題点について説明した。

次に、拡散符号の規則性を用い、新たな構成を示した。

そして、RAKE 受信機特有の処理を実現するため、新たに考案した命令について説明を行なった。

また、新たな構成および命令を用いた RAKE 受信機の構成例を示し、RAKE 受信機の構成に必要なプロセッサコア構成を示した。

第 4 章

性能評価

4.1 緒言

本章では、第 3 章で構成した RAKE 受信機の有用性を示すため、性能評価を行なう。

まず、性能評価に使用するパラメータの説明を行う。

次に、既存のデータ駆動プロセッサで構成した MF と本構成の MF の性能を比較する。

また、MF 部と Finger 部においてのスループットのプロセッサ数による変化について比較し、RAKE 受信機に必要なプロセッサ数について検討する。

最後に、W-CDMA 要求性能とのスループットの比較を行い、本構成が W-CDMA 要求性能を十分に満たしていることを示す。

4.2 性能評価モデル

この性能評価では、W-CDMA 要求性能とのスループットの比較を行う。比較を行なう上での条件として、

- パイプライン間スピード
- サンプリング間隔
- 位相推定時に参照するパイロット信号の数

を設定する。

まず、パイプライン間スピードとして、既存のデータ駆動プロセッサですでに実現されて

4.3 既存のデータ駆動プロセッサにより構成した MF との性能比較

いる 240MHz を設定する。

また、サンプリング間隔としては、信号の相関値検出などで十分な性能が確保できる、チップレートの 4 倍という値を設定した。これは、拡散された送信データを、送信レートの 4 分の 1 の間隔で受信するというものである。

さらに、位相推定時に参照するパイロット信号の数として、受信世代から前後 6 スロット分と設定した。

4.3 既存のデータ駆動プロセッサにより構成した MF との性能比較

ここでは、既存のデータ駆動プロセッサにより構成した MF と、新たに構成した MF について、1 秒間の演算回についての評価を行なう。なお、この性能評価では、割り当てるナノプロセッサは 1 として評価を行なっている。

性能評価の結果を図 4.1 に示す。

この性能評価の結果、既存の方式に比べ、単位時間当たりの演算回数を最大 $\frac{1}{198}$ に削減できたことが確認された。

4.4 スループットに関する評価

性能評価の結果を図 4.2 に示す。

この性能評価の結果、W-CDMA 要求性能に対して、最大 1.8 倍、最小 1.1 倍の性能が発揮できることが確認された。

4.5 結言

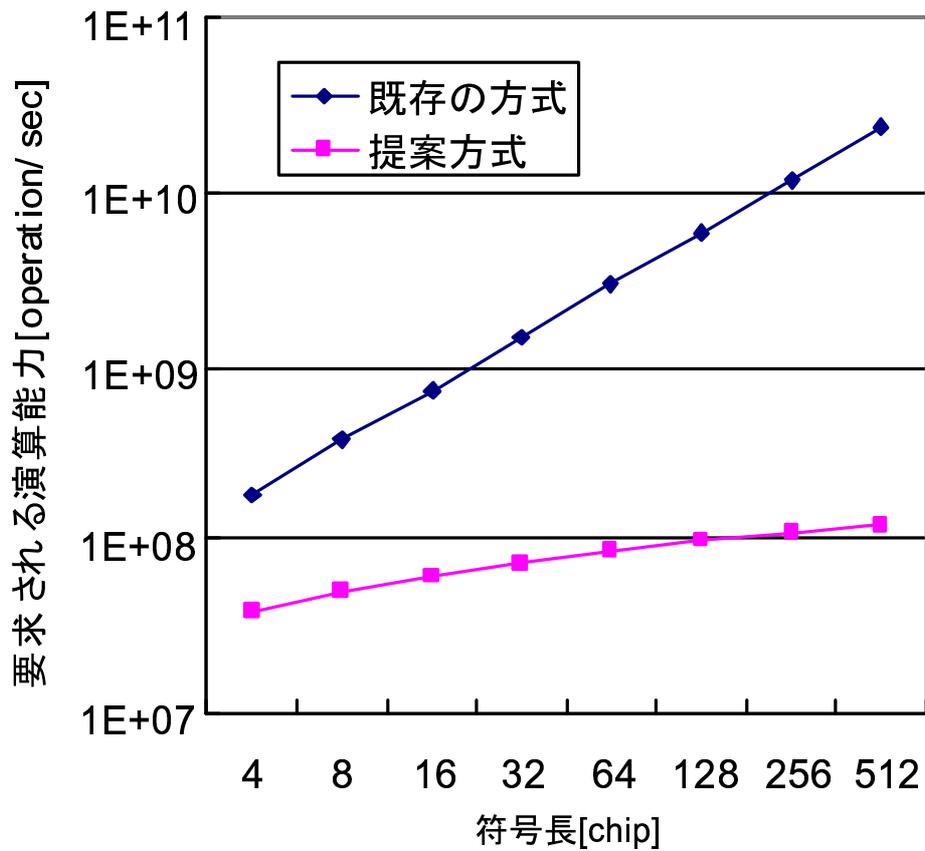


図 4.1 既存のデータ駆動プロセッサとの比較

4.5 結言

本章では、構成した RAKE 受信機の有効性を示すため、性能評価を行なった。

まず、性能評価に用いるパラメータについて説明し、次に W-CDMA 要求性能とのスループットの比較を行なった。

その結果、構成した RAKE 受信機が W-CDMA 要求性能を十分に満たしていることを示した。

4.5 結言

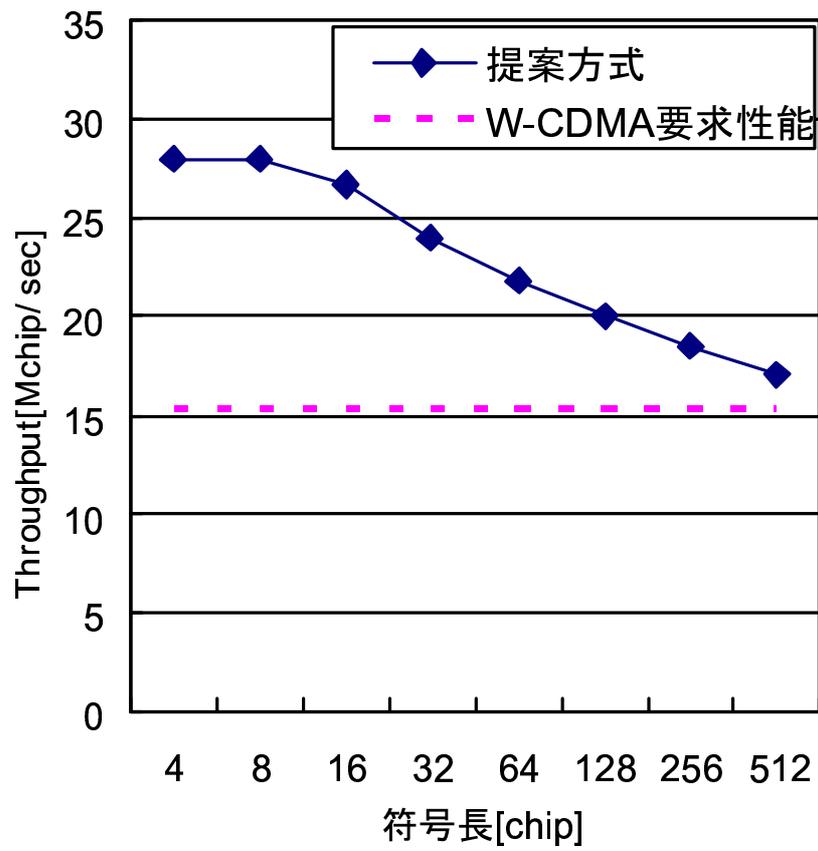


图 4.2 性能評価

第 5 章

考察

5.1 緒言

本章では、第 4 章までに判明した事象を元に、本実現法についての考察を行う。
まず、プロセッサコアに関する考察を行い、次にスループットについての考察を行う。

5.2 プロセッサコアに関する考察

図 3.15 で説明したプロセッサコア構成について考察を行う。

本研究では、ナノプロセッサ数をできる限り削減する方針で、プロセッサコア構成を検討した。その結果、9 つのナノプロセッサを RAKE 受信機で使用するにより、W-CDMA 要求性能を満たすことが可能であることを示した。

しかし、この構成では、すべてのナノプロセッサに使用する命令すべてを実装する必要があるため、ハードウェアコストが高くなることが予想される。

プロセッサコア構成について、既存の命令を実行するナノプロセッサと、新命令を用いるナノプロセッサを分けた場合、W-CDMA 要求性能を満たすためには、既存の命令を実行するナノプロセッサ 6 個、新命令を用いるナノプロセッサ 5 個の計 11 個のプロセッサが必要であることが判明している。今後他の部分について構成を進めていく場合、ハードウェアコストおよびナノプロセッサ数の両面から検討する必要がある。

5.3 スループットに関する考察

図 4.2 で示したスループットについて評価を行う。

ここでは、ナノプロセッサ数 9 で性能を評価し、W-CDMA 以上の性能を発揮することを示したが、このスループットについても、まだ向上の余地が残されていると考える。

本実現法での位相推定では、パイロット信号を受信世代から前後 6 スロットに渡り使用するが、精度とのトレードオフでさらに処理量を減らすことが可能である。

また、本実現法で考案した新命令については、他の移動体通信にも用いることが可能なように、ある程度の汎用性を持たせた命令となっている。これを、RAKE 受信機に特化させることにより、さらに性能を向上させることが可能である。

例えば、MF 部で擬似シフトレジスタ $\text{regA}(B)$ を用いているが、MF で使用する擬似シフトレジスタの出力は常に 2 出力であり、多くの場合は右出力に拡散符号を乗算するため、 $\text{reg2}(B)$ と sign 命令の処理を一体化し、新たな命令を作成することにより命令数の削減につながる。しかし、その場合、RAKE 受信機の処理の柔軟性を失うことにつながりかねない。命令の変更についても、性能面と汎用性についての両面から検討を進める必要がある。

5.4 結言

本章では、第 4 章までに判明した事象を元に、本実現法についての考察を行った。その結果、本構成では、性能面やハードウェアコスト面で、さらに改良の余地が残されていることが判明した。

第 6 章

結論

移動体通信に対する高速通信の流れは加速しつつあり、データ転送速度の飛躍的な向上によるサービスの多様化も今後ますます進むと予想される。

その一方、処理の高速化に伴い電力消費は増大する可能性があり、既存のプロセッサでは移動体通信における各種要望の高まりに対処しづらいという問題点がある。本研究では、W-CDMA 方式において、受信処理中で最も負荷および電力消費が大きい、RAKE 受信機の構成を示した。

まず、2 章では、RAKE 受信に用いられる基本的なチャネルおよび拡散符号についての解説を行った。また、RAKE 受信機の原理的な構成を示し、RAKE 受信機内部における処理について説明した。さらに、RAKE 受信機中の処理中最も演算数が多い MF について言及し、RAKE 受信機のボトルネックを明らかにした。

3 章では、既存のデータ駆動プロセッサによる MF の構成法について言及し、既存のデータ駆動プロセッサでは高速な MF 処理を実現することが非常に困難であることを示した。次に、MF で用いる拡散符号の特性に着目し、演算の中間結果をメモリに格納し、過去の間接結果を再利用することにより、単位時間当たりの演算数を減少し、高速な MF 処理が実現可能であることを示した。また、拡散符号の特性を用いた構成で浮かびあがった新たな問題点に対処し、かつ RAKE 受信機特有の処理を実現するために考案した命令についての解説を行なった。さらに、プロセッサコアの構成を行ない、RAKE 受信機の処理を効果的に行なうことが可能なプロセッサコアの構成を示した。

4 章では、今回提案した字手言法の有効性を示すために、まず既存のデータ駆動プロセッサとの単位時間あたりの演算数について比較した。さらに、データ受信のスループットにつ

いて、W-CDMA 要求性能との比較を行い、本構成法が W-CDMA 要求性能に十分対応することを示した。

5 章では、4 章までに判明した事象を元に、プロセッサコアおよびスループットについての考察を行い、本構成が設計思想によってはさらなる性能向上が見込めることを示した。

今後の課題としては、今回提案したモデルにおいては、Scrambling Code はすでに判明しているものとしたが、本来は Cell Search 部により判別するものであるため、受信機の構成としては、この部分の実装を進める必要がある。また、プロセッサコア構成についても、ハードウェアコストと性能面の両面から再検討する予定である。

本実現法を用いることにより、既存のノイマン型プロセッサに対し、飛躍的に少ない消費電力で動作する RAKE 受信機を実現することが可能となった。また、高い並列処理性能も発揮しており、本実現法は移動体通信方式の足がかりとして十分な性能を示していると考えられる。

謝辞

本研究に於いて懇切なる御指導、御鞭撻を賜った岩田 誠 教授に心より感謝の意を表します。

本研究の基礎としているデータ駆動型アーキテクチャを提唱され、様々な御示唆を賜った、寺田 浩詔 教授に心より感謝の意を表します。

本研究に於いて、副査をお受け頂き、様々なご助言を賜った、福本 昌弘 助教授、浜村 昌則 講師 に心より感謝の意を表します。

本研究を進めるにあたり、様々な御助言、御指導を賜った高知工科大学 情報システム工学科の坂本 明雄 教授、島村 和典 教授、岡田 守 教授、門田 幹夫 教授、David Greene 教授、清水 明宏 教授、Lawrence Hunter 教授、竹田 史章 教授、菊池 豊 助教授、篠森 敬三 助教授、Ruck Thawonmas 助教授、明神 千代 助教授、任 向実 講師、妻鳥 貴彦 助手、近藤 剛 実験講師に、心より感謝の意を表します。

本研究を進めるにあたり、適切なる御助言、御指導を賜った 大森 洋一助手 に深く感謝の意を表します。

ご多忙の中、本研究の指導に貴重な時間を費やして頂いた寺田研究室の細美 俊彦 氏、岩田研究室の森川 大智 氏 に心より感謝の意を表します。

日頃から温かい御支援、並びに御助言を頂いた大学院生の別役 宣奉 氏、橋本 正和 氏に心より感謝の意を表します。

日頃から、多くの御意見、御支援を頂いた岩田研究室の方々、小倉 通寛 氏、三宮 秀次 氏、中村 勲二 氏、長野 光 氏、原田 香織氏に、感謝の意を表します。

日頃から御意見、御支援を頂いた岩田研究室の後輩の方々、荒木 俊介 氏、岩井 秀樹 氏、大石 祐子 氏、西山 直人 氏、宮崎 康德 氏、山岡 正明 氏に感謝の意を表します。

参考文献

- [1] H. Terada, S.Miyata, M.Iwata, “DDMP’s: self-timed super-pipelined data- driven multimedia processors,” Proc. of IEEE, 87(2), 282-296 1999.
- [2] 3rd Generation Partnership Project : “3G TS 25.211: Physical channels and mapping of transport channels onto physical channels (FDD),” 3G TS 25.211 v 4.1.0 (Jun.2001).
- [3] 3rd Generation Partnership Project, “3G TS 25.213: Spreading and modulation (FDD) ,” 3G TS 25.213 v4.1.0 (Jun. 2001).
- [4] 藤野忠, “デジタル移動通信,” 昭晃堂, 2001.
- [5] Harri Holma, Antti Toskala, “WCDMA FOR UMTS,” John Wiley & Sons, 2000.
- [6] 立川敬二, “W-CDMA 移動通信方式,” 丸善, 2001.
- [7] 山内雪路, “デジタル移動通信方式,” 東京電機大学出版局, 2000.