

卒業研究報告

題目

シュミットインバータを用いた VCO のシミュレーションと実験

指導教員

原 央 教授

報告者

学籍番号: 1030192

氏名: 児島 早希

平成 15 年 2 月 12 日

高知工科大学 電子・光システム工学科

目次

	ページ数
1 . はじめに	
1 - 1 目的	2
1 - 2 発振について	2
1 - 3 VCO とは	6
2 . 回路の製作	
2 - 1 コンデンサを用いた発振回路の作成	7
2 - 2 バリキャップを用いた発振回路の作成	8
3 . 実験結果	
3 - 1 コンデンサを用いた発振回路	10
3 - 2 バリキャップを用いた発振回路	13
4 . 解析	
4 - 1 MultiSIM を用いたシミュレーション	15
4 - 2 T-Spice を用いたシミュレーション	22
4 - 3 バリキャップとコンデンサとの比較	35
5 . 結び	38
6 . 謝辞	39
7 . 参考文献	39

1 はじめに

1 - 1 目的

今日までデジタル回路やアナログ回路について基礎学習を行ってきたが、発振回路については特に勉強してこなかった。そこで今回は発振回路の基本を習得したいと思い、その実験と解析を行うことにした。具体的には発振回路の中でもっとも簡易に方形波を出す回路で、シュミットインバータを用いた CR 発振回路を取り上げ、その回路を少し発展させて発振周波数を電圧で制御する VCO を製作・測定し、またその動作をいくつかの方法でシミュレーションする方法を学習する。

1 - 2 発振について

発振とは、連続して一定の振幅、そして一定の繰り返し周波数で電気振動を発生させる現象である。その装置を発振器という。振動する電気信号はエネルギーをもっているが、発振器にはそのエネルギーを供給する源が必要であるが、一般的にそれは直流電源である。そのため図 1 - 1 に示すように発振器は直流エネルギーを振動エネルギーに変換する装置であるともいえる。

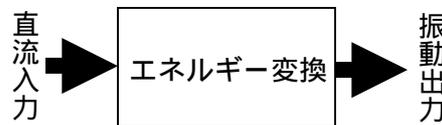


図 1 - 1 発振器の考え方

1 - 2 - 1 4 端子発振器の基礎

4 端子発振器とは、出力の一部を入力に帰す負帰増幅器の形をし、その帰還でなんらかの周波数選択回路になっている。

4 端子発振器の構造を図 1 - 2 に示す。

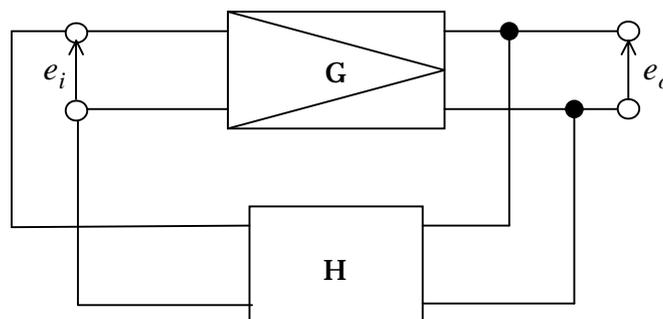


図 1 - 2 4 端子発振器の原理

増幅器は基本的には電子の運動によって動作するが、電子の動きに雑音成分がある。もし H の回路に周波数選択性をもたせておけば、この雑音成分の中から、特定の周波数成分の振動だけがしだいに成長する。振動が成長するためには

$$H \cdot e_o > e_i \quad G = \frac{e_o}{e_i} > \frac{1}{H} \quad GH > 1$$

が成り立たなくてはならない。H を帰還係数、GH をループ利得という。

増幅器は無限に大きい出力を出すことができないので、振動が成長すると増幅度 G は小さくなり、

$$e_i = He_o \quad G = \frac{e_o}{e_i} = \frac{1}{H} \quad GH = 1$$

が成り立つような状態で平衡する。この状態が持続発振である。

1 - 2 - 2 シュミットインバータ IC による発振回路

使用部品の最も少ない簡便な発振回路として、シュミットインバータを利用した回路があり、周波数安定度をあまり要求しない範囲で使われる。

この回路の発振波形は方形波で、超低周波から数 MHz オーダのクロック信号やタイミング信号として使うことができる。

シュミット入力回路で構成された IC としては CMOS 以外に 74LS シリーズのロジックがあるが、これは入力電流が数百 μA オーダで流れるため、使用するタイミング抵抗値の上限に制限ができ、低周波の発振には不適當である。

シュミットインバータというのは、本来 H レベル・L レベルの雑音余裕を大きくするためにロジック回路に使用される IC で、図 1 - 3 に示すように入力のスレッシュホールド電圧(しきい値電圧)が H レベルと L レベルで異なるものである。

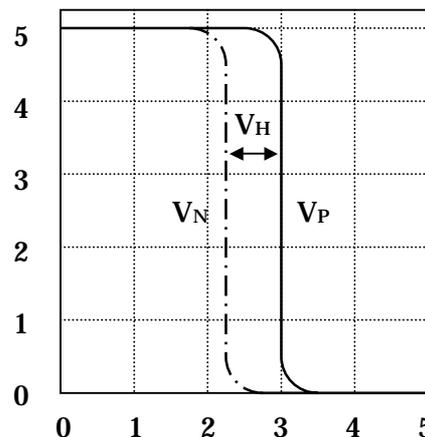


図 1 - 3 シュミット・トリガの入カスレッシュヨルド電圧

この二つのスレッシュヨルドの電圧差 V_H をヒステリシスと呼び、通常はノイズなどを含んだロジック信号の波形整形や、入力信号の立ち上がりが遅い場合の整形にも散られている。

シュミットインバータで構成したもっとも簡易な方形波発振回路の回路図を図 1 - 4 に示す。

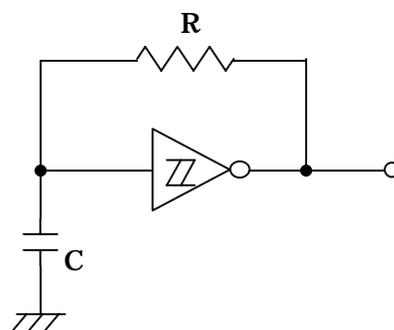


図 1 - 4 もっとも簡単な発振回

電源端子に電圧が印加されると、シュミットインバータは入力電位が V_P 以下では出力が H レベルである。コンデンサ C の端子電圧は抵抗 R を通して 0 から H レベルの方向に上昇する。このとき C の端子電圧は CR の時定数で指数関数的に直線的には変化していない。この電圧が V_P を超えると入力 = H と判定し、インバータ出力を L レベルに急激に（シュミットインバータの遅れ時間で）変化させる。

一般に CMOS IC の出力電圧は、負荷に流れる電流が小さければほぼ H レベル = V_{CC} 、L レベル = V_{SS} の値となる。したがって出力端子は

V_{CC} 、 V_{SS} を電圧源としてCR充放電を行うことになる。

出力=Lレベルでは、Cに充電された電荷（Cの電圧を V_P にする電荷）をRで放電する。そしてCの電圧が V_N を下回ると入力=Lレベルと判定して、インバータ出力をHレベル（ V_{CC} ）に反転させる。

したがって発振周期は図1-5のように充電と放電に要する時間の和となり、この逆数が発振周波数になる。

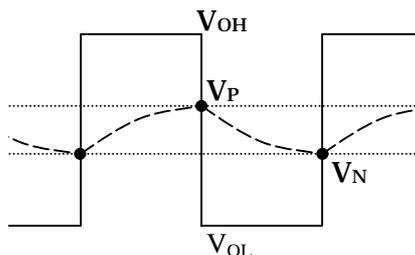


図1-5 シュミット・インバータの発振

図1-4においてCR回路の充電に要する時間 T_1 は

$$T_1 = CR \ln \left(\frac{V_{OH} - V_N}{V_{OH} - V_P} \right) \quad (1-1)$$

CR回路の放電に要する時間 T_2 は

$$T_2 = CR \ln \left(\frac{V_{OL} - V_N}{V_{OL} - V_P} \right) \quad (1-2)$$

である。ただし $V_{OH} - V_P = V_{OL} + V_N$ ならば

$$T_1 + T_2 = 2CR \ln \left(\frac{V_{OH} - V_N}{V_{OH} - V_P} \right) \quad (1-3)$$

と計算してもかまわない。

このように発振周波数を決める要素は、CRの時定数とロジック出力レベル V_{OH} 、ヒステリシス電圧である。これらは使用するCMOS ICの特性や電源電圧 V_{CC} に依存する。この発振回路は電源電圧の変動や、温度によるヒステリシス電圧の変化の影響を受け、簡単ではあるが安定性などの面では期待できない。

実際の設計にあたっては簡易的な算出式を求める必要がある。CMOSでは $V_{OH} = V_{CC}$ と考えてよいから、発振周期 $T = T_1 + T_2$ から

$$T = 2CR \ln \left(\frac{V_{CC} - V_N}{V_{CC} - V_P} \right) \quad (1 - 4)$$

を基本に簡易式を求めることができる。

1 - 2 VCO とは

VCO は Voltage Controlled Oscillator の略称で、外部から加える直流電圧で周波数を制御できる発振回路である。VCO には大きく分けて2つの種類があり、発振周波数が入力電圧に対し広い周波数範囲で直線的に比例をするものと、ある狭い周波数範囲内で周波数が電圧に比例するものである。VCO にも多くの方式があるが基本的な考え方は以下の2つに集約される。

1 - 2 - 1 CR タイミング発振のスレッシュホールド電圧を制御する

このやり方には例えばタイマ IC を用いた方法がある。タイマ IC のコントロール電圧端子は通常、開放しておくか、電源ノイズが多い場合はバイパス・コンデンサを接地間に挿入する。しかしこの端子間電圧を変化させると、充電時間が変化し発振周波数も変化するので、VCO として使うことができる。

1 - 2 - 2 容量を電圧で制御する

CR 発振器や LC 発振器で発振周波数を決めるコンデンサ C の容量を電圧によって制御する方法がある。それには印加する電圧によって容量が変化する可変容量ダイオード（バリキャップ）を用いる。

無線通信機器などでは、バリキャップを付加した VCO がよく使われている。しかし VCO で周波数の可変範囲を広げようとする、周波数によって出力レベルが大きく変わるという問題が出る。

バリキャップを用いた電圧制御は、水晶振動子やセラミック発振子を用いた発振回路にも用いられている。水晶振動子の場合は中心周波数に対して 1% 以下の非常に狭い範囲で制御する。セラミック振動子の場合は ± 5% 程度のまで可変範囲である。

CR 発振器では R を電圧によって変化させることもあり、この場合には電圧制御抵抗（フォト・カプラなど）が利用されることがある。

2 回路の製作

2 - 1 コンデンサを用いた発振回路の作成

VCOを作成する前に、まずはコンデンサを用いて発振回路を作成する。コンデンサの値を変えやすくするために、ユニバーサル基板ではなくブレッドボード上に作成する。

図2 - 1に回路図を、図2 - 2に実際作成した回路を示す。

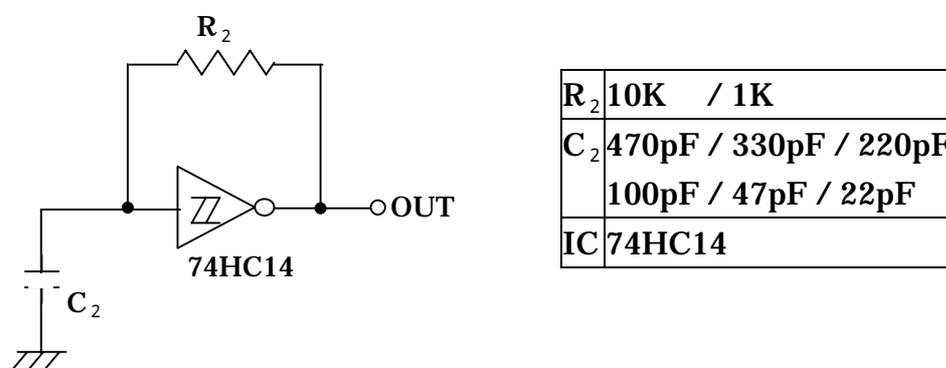


図2 - 1 CR 発振回路の回路

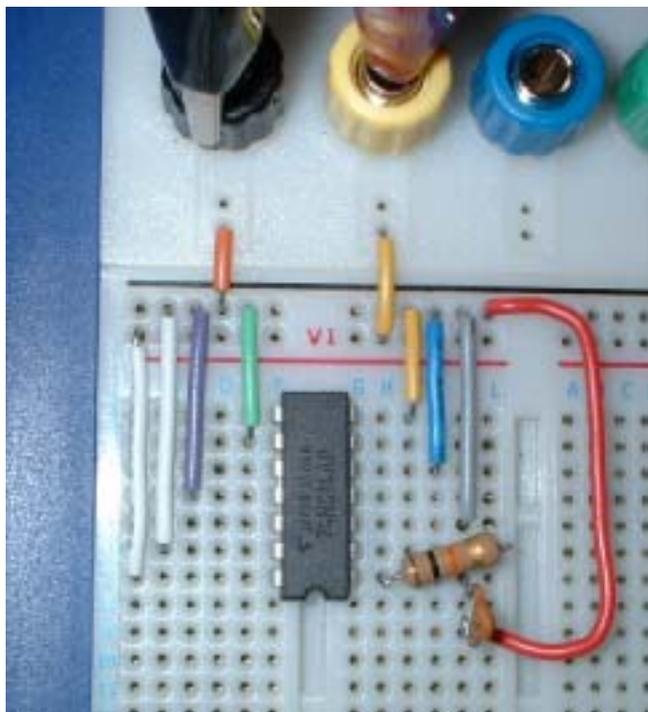


図2 - 2 作成したCR 発振回路

2 - 2 バリキャップを用いた VCO の作成

バリキャップは静電容量の比較的大きいものを使う。今回は 1SV149 (東芝) を用いる。

コンデンサ C_1 は制御電圧 V_C がシュミット・インバータ入力に直接加わらないように直流阻止の目的で使われる。可変容量ダイオードの静電容量に比べ大きな値にする。今回は 10nF を使用する。

抵抗 R_1 は、可変容量ダイオード VC_1 に直流バイアスを与えるためのものである。この抵抗値が低いと VC_1 との充放電の時定数が短くなり、発振周波数が VC_1 と R_2 の時定数で決まらなくなる。したがって、 R_1 R_2 でなければならない。そこで、 $R_1=1M$ とする。

抵抗 R_2 は図 2 - 1 と同じように 10K と 1K にする。

図 2 - 3 に回路図を、図 2 - 4 に実際作成した 10K と 1K の回路を示す。

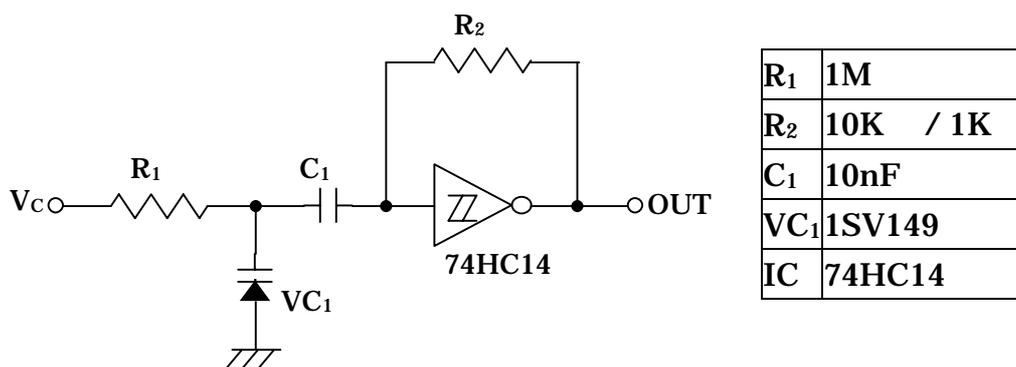
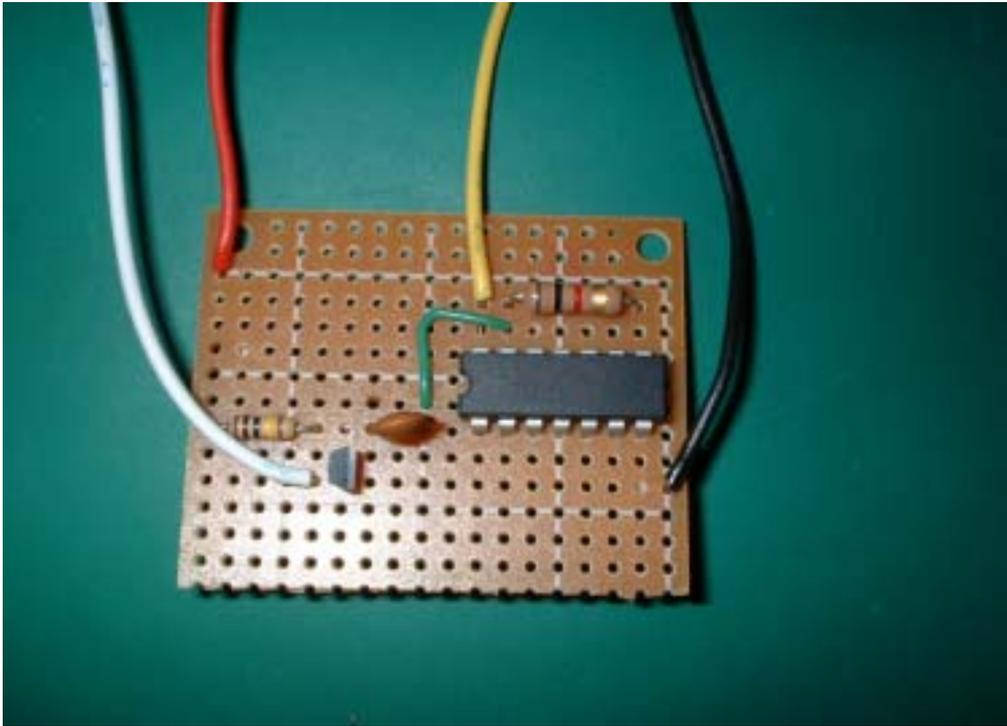


図 2 - 3 バリキャップを用いた VCO の回路

$R_1=1M$ $C_1=10nF$ $R_2=1K$



$R_1=1M$ $C_1=10nF$ $R_2=10K$

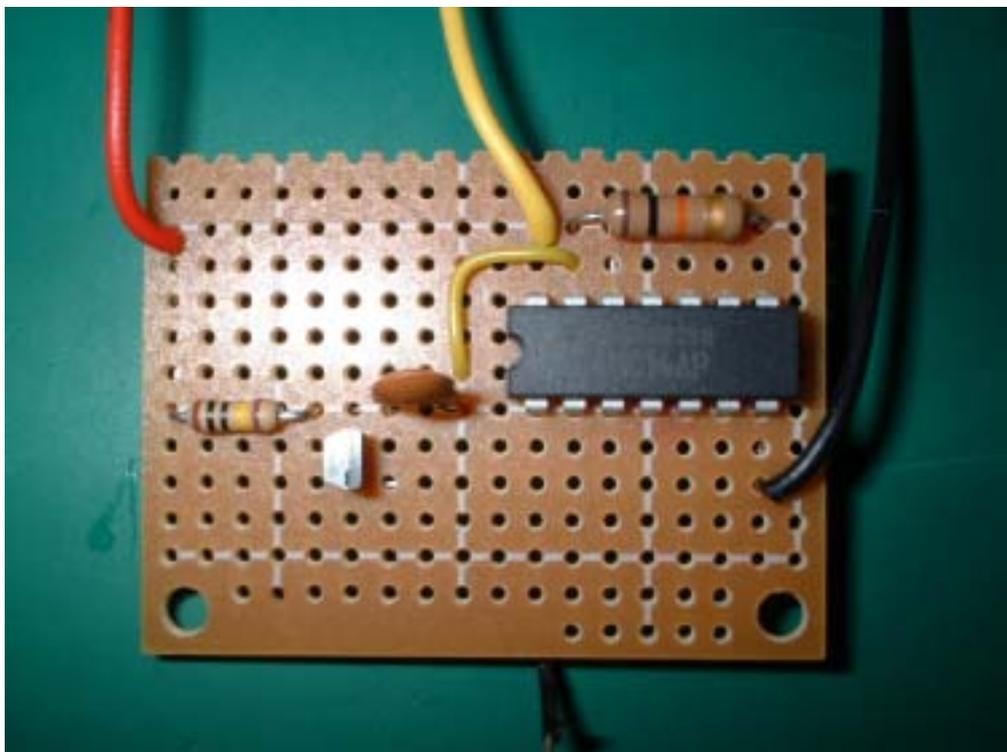


図 2 - 4 作成した VCO

3 実験結果

3 - 1 コンデンサを用いた発振回路の測定

発振周波数を制御する C_2 、 R_2 を前述したように変化させ、さらに電源電圧を 6V、4.5V、2V と変化させて発振周波数を測定した結果を表 3 - 1 にまとめて示す。

表 3 - 1 発振周波数の測定結果

C_2 [pF]	F [KHz]					
	6V		4.5V		2V	
	10K	1K	10K	1K	10K	1K
470	2.28E+02	2.05E+03	2.17E+02	1.92E+03	1.41E+02	9.93E+02
330	3.20E+02	2.90E+03	3.04E+02	2.69E+03	1.94E+02	1.32E+03
220	4.66E+02	3.53E+03	4.36E+02	3.36E+03	2.67E+02	1.73E+03
100	9.22E+02	6.32E+03	8.13E+02	5.78E+03	4.73E+02	2.69E+03
47	1.55E+03	8.85E+03	1.49E+03	8.07E+03	7.87E+02	4.20E+03
22	2.90E+03	1.65E+04	2.73E+03	1.09E+04	1.21E+03	5.31E+03

発振周波数は $R_2=10K$ と $R_2=1K$ で約 1 桁違い、予想される通りである。また、電源電圧 6V と 4.5V では発振周波数にそれほど差がないが、2V では大きな差があらわれている。以下の図に発振周波数の C_2 、 R_2 、電源電圧への依存性を示す。

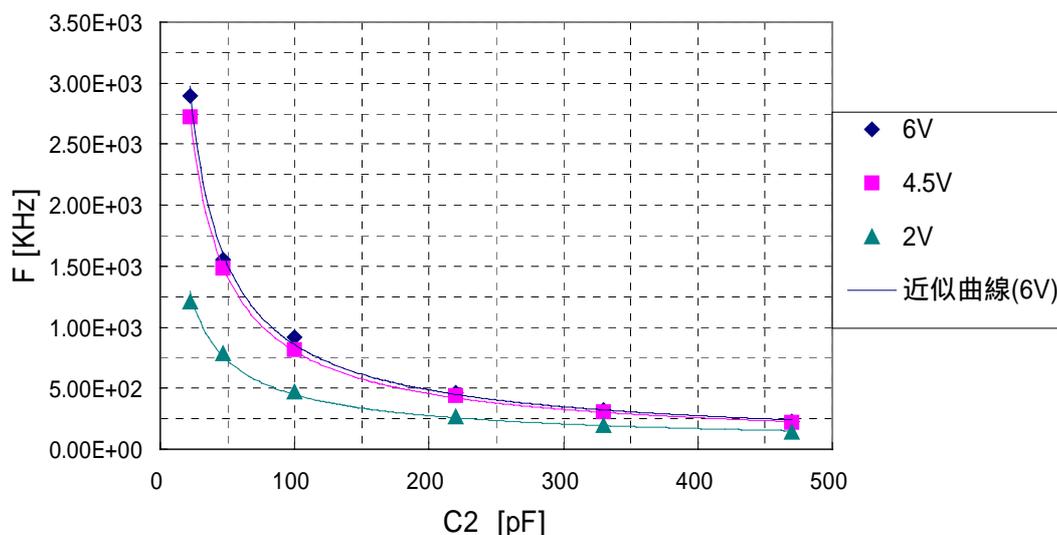


図 3 - 1 電源電圧をパラメータとした、発振周波数の C_2 依存性 ($R_2=10K$)

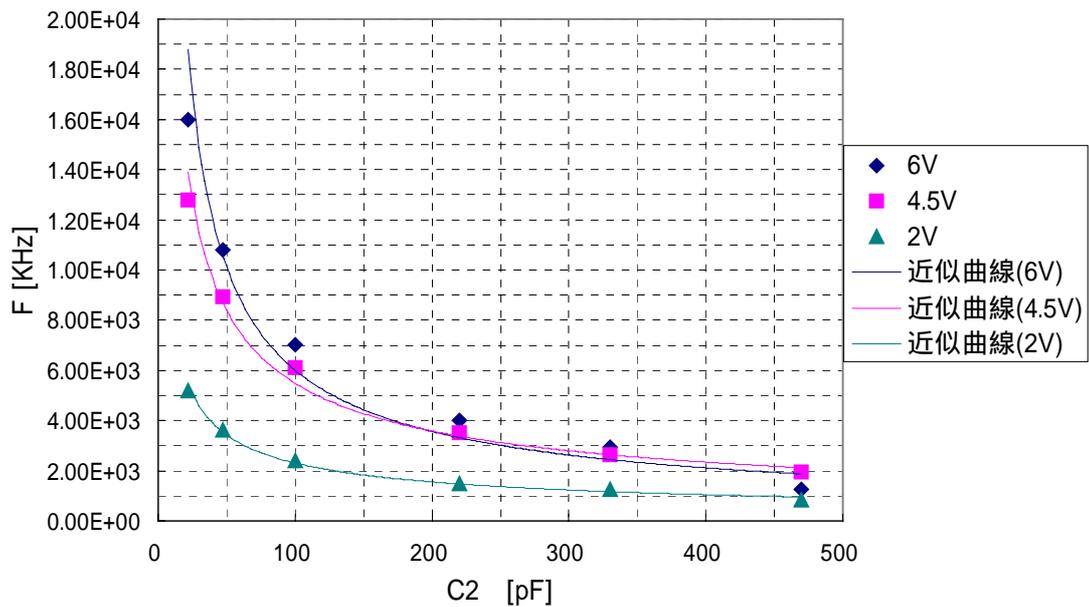


図 3 - 2 電源電圧をパラメータとした、発振周波数の C_2 依存性 ($R_2=1K$)

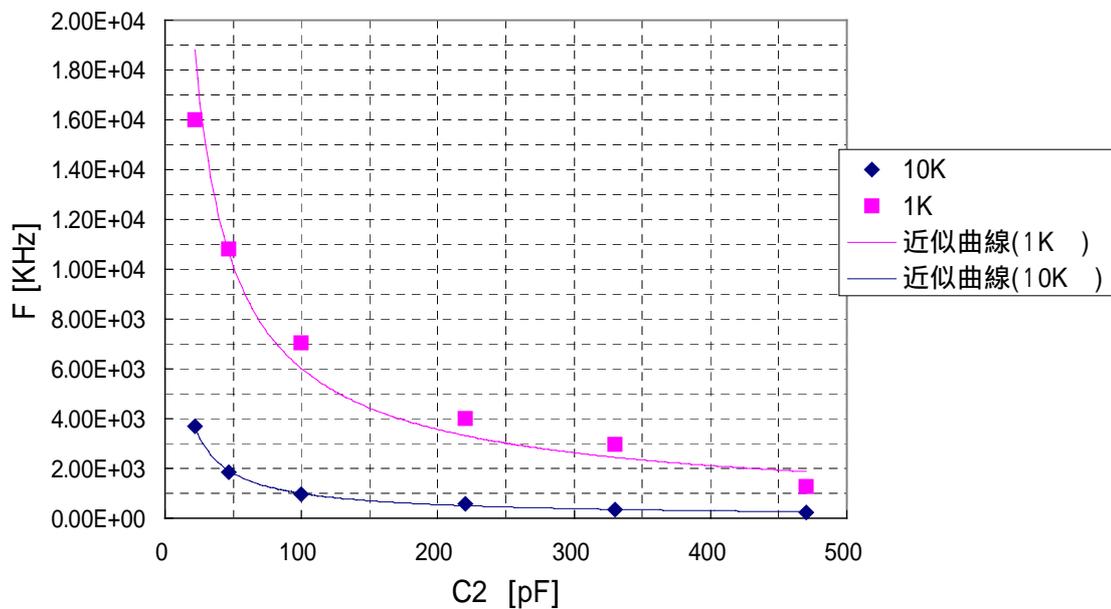


図 3 - 3 抵抗をパラメータとした、発振周波数の C_2 依存性 ($V_{cc}=6V$)

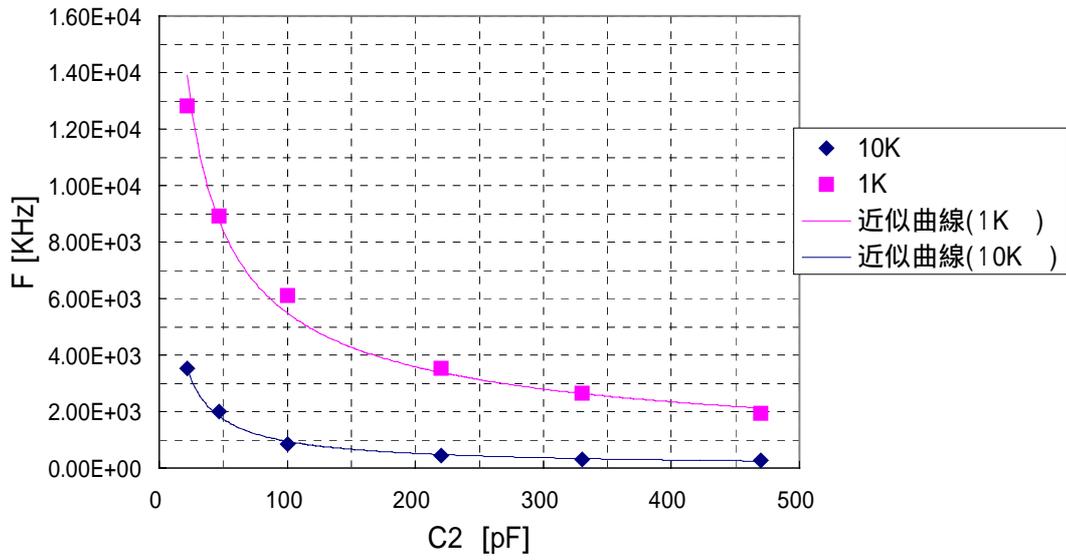


図 3 - 4 抵抗をパラメータとした、発振周波数の C_2 依存性 ($V_{cc}=4.5V$)

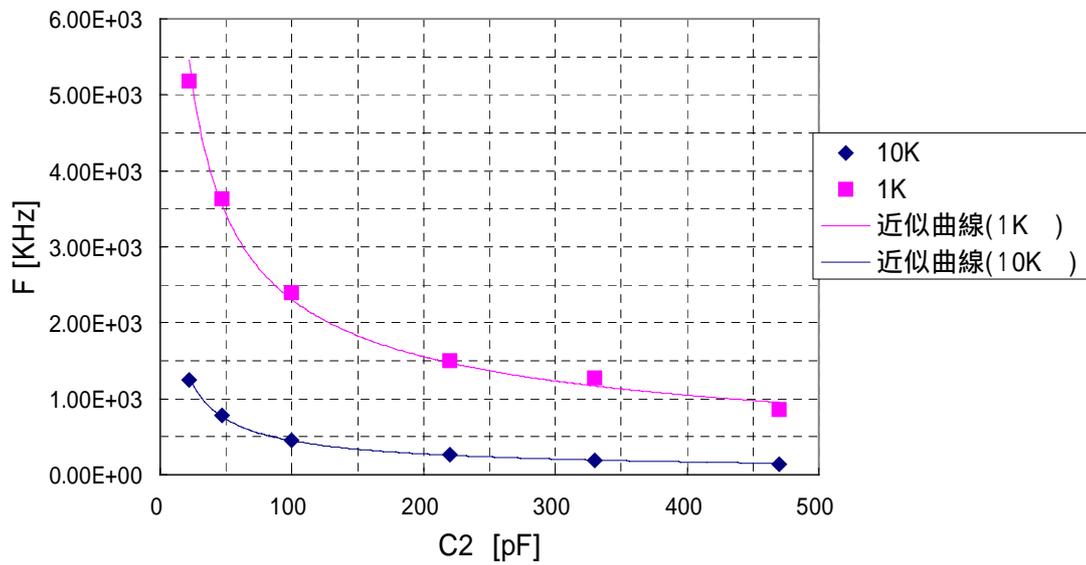


図 3 - 5 抵抗をパラメータとした、発振周波数の C_2 依存性 ($V_{cc}=2V$)

3 - 2 バリキャップを用いた発振回路の測定

バリキャップの制御電圧 V_c を 0~10V まで変化させて発振周波数を測定した結果を表 3 - 2 と図 3 - 6 にまとめる。

表 3 - 2 発振周波数の測定結果

VC1[V]	F[KHz]	
	10K	1K
0.0	1.34E+02	1.20E+03
1.0	2.10E+02	1.78E+03
2.0	3.13E+02	2.57E+03
3.0	4.95E+02	3.87E+03
4.0	8.15E+02	6.15E+03
5.0	1.25E+03	8.20E+03
6.0	1.87E+03	1.08E+04
7.0	2.50E+03	1.30E+04
8.0	3.00E+03	1.48E+04
9.0	3.37E+03	1.63E+04
10.0	3.64E+03	1.72E+04

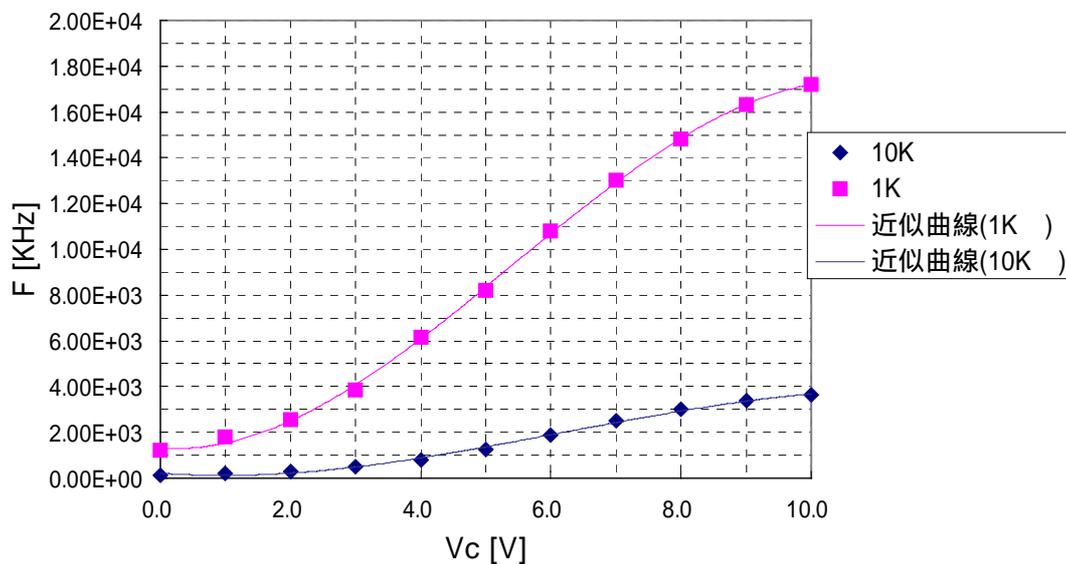


図 3 - 6 バリキャップの制御電圧 V_c と発振周波数の関係

制御電圧が低い場合は、発振周波数は $R_2=10K$ と $R_2=1K$ では約 1 桁異なるが、制御電圧が高くなると発振周波数の差は縮まる。

この結果からわかるように、 R_2 を $10K$ と $1K$ の 2 段切替を行うことにより発振周波数を $0.13MHz$ から $17MHz$ まで、約 2 桁の範囲で発振周波数を制御できることがわかった。

4 解析

発振回路の動作をシミュレーションを用いて解析することを試みた。研究室にシミュレータ MultiSIM が備えられており、最初にこれを用いることにした。

MultiSIM を調べている段階で判明ことであるが、このシミュレータには高速演算のために次のような方法が採用されている。ゲートの内部では遅れ時間を伴ったデジタル処理をし(すなわち、入力と出力に一定の遅れを持たせるためだけ)、ゲート外部の CR 回路でアナログ計算をしているのである。

回路特性の電源電圧依存性は、アナログ計算をするゲートの外部だけで考慮されることになる。したがって、回路の電源電圧依存性を十分に解析できなくなる。そこで MultiSIM では、電源電圧 6V 用の IC ファミリー、4V の IC ファミリー、2V 用の IC ファミリーと 3 種類のファミリーが用意されており、電源に応じて使いわけることになっている。これらの IC ファミリーでは、電源電圧に応じたゲート遅延時を設定できるようになっている。

実験に用いたシュミットインバータ(TC74HC14)は、そのデータシートから

電源電圧 [V]	6	4.5	2
ゲート遅延時間 [ns]	12	14	42
H レベルスレッシュOLD電圧 [V]	3.5	2.7	1.25
L レベルスレッシュOLD電圧 [V]	2.3	1.6	0.65

である。電源電圧に応じて、ゲート遅延時間と H レベル、L レベルのスレッシュOLD電圧が変化する。

MultiSIM では、残念なことに TC74HC14 のモデルでは、スレッシュOLD電圧は、電源電圧によらず H レベルで 1.8V、L レベルで 0.95V に固定されており、外部から書き直すことができない。

そこで以下の解析では、まず MultiSIM を用いて発振周波数の抵抗 R_2 、容量 C_2 、電源電圧への依存性を解析し、後半で T-Spice を用いて発振周波数のスレッシュOLD電圧への依存性を解析することにする。

最後にバリキャップを用いた場合と一定容量を用いた場合の実験値の比較を行う。

4 - 1 MultiSIM を用いたシミュレーション

コンデンサを用いた発振回路について MultiSIM を用いて解析した。

MultiSIM のシュミットインバータのモデルには、電源電圧 6V で 26ns の遅れ、4V で 31ns の遅れ、2V で 155ns の遅れがデフォルトで入っている。これら遅れの値を用いた場合と、TC74HC14 の遅れ、12ns、14ns、42ns を用いた場合について発振周波数に関して解析した。その結果を実験値（4V のときは 4.5V 時の実験値）と比較して以下の表 4 - 1 ~ 6 や図 4 - 1 ~ 6 に示す。

表 4 - 1 $V_{CC}=6V$, $R_2=10K$

		F [KHz]		
		シミュレータ		実験
delay		26ns	12ns	12ns
C_2 [pF]	470	1.53E+02	1.54E+02	2.28E+02
	330	2.10E+02	2.11E+02	3.20E+02
	220	3.06E+02	3.11E+02	4.66E+02
	100	6.62E+02	6.73E+02	9.22E+02
	47	1.32E+03	1.38E+03	1.55E+03
	22	2.50E+03	2.81E+03	2.90E+03

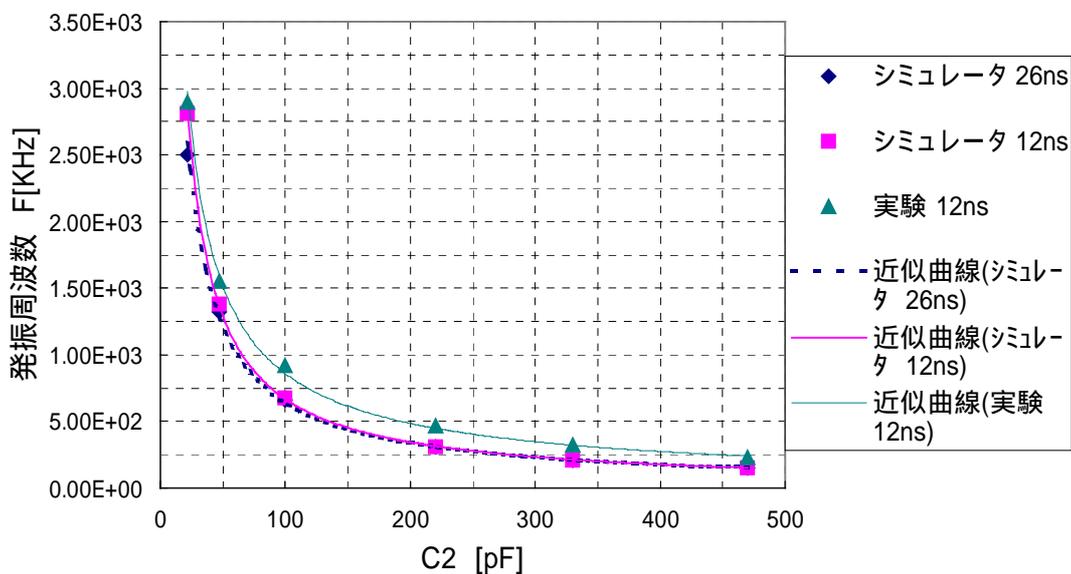


図 4 - 1 シミュレーションと実測値の比較 ($V_{CC}=6V$, $R_2=10K$)

表 4 - 2 $V_{CC}=6V$, $R_2=1K$

		F [KHz]		
		シミュレータ		実験
delay		26ns	12ns	12ns
C_2 [pF]	470	1.27E+03	1.35E+03	2.05E+03
	330	1.56E+03	1.72E+03	2.90E+03
	220	2.00E+03	2.15E+03	3.53E+03
	100	4.27E+03	5.15E+03	6.32E+03
	47	6.78E+03	8.98E+03	8.85E+03
	22	9.47E+03	1.35E+04	1.65E+04

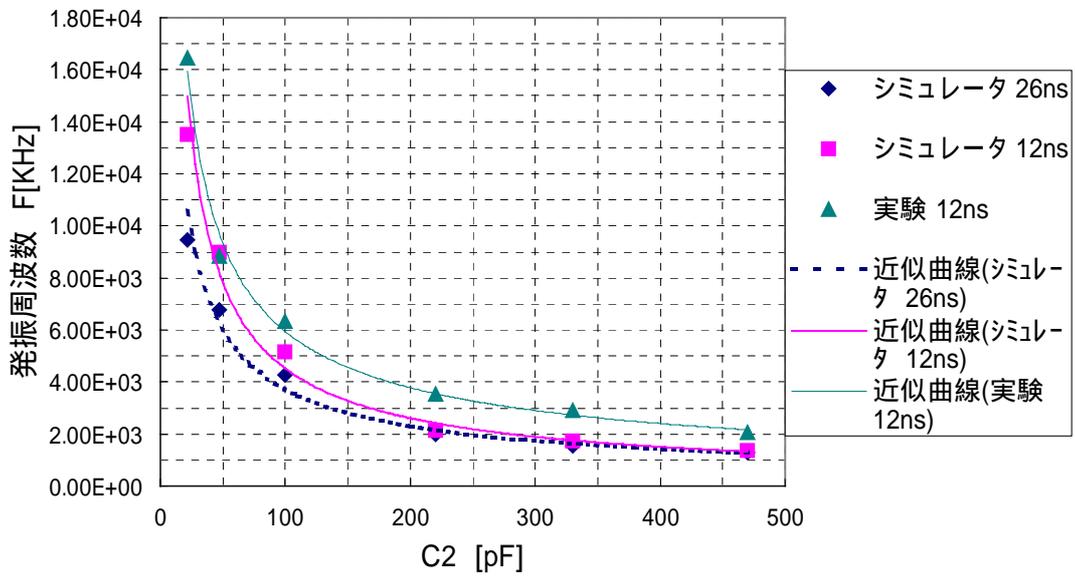


図 4 - 2 シミュレーションと実測値の比較 ($V_{CC}=6V$, $R_2=1K$)

表 4 - 3 $V_{CC}=4V$, $R_2=10K$

		F [KHz]		
		シミュレータ		実験
delay		31ns	14ns	14ns
C_2 [pF]	470	1.43E+02	1.42E+02	2.17E+02
	330	1.98E+02	2.00E+02	3.04E+02
	220	2.92E+02	2.93E+02	4.36E+02
	100	6.18E+02	6.28E+02	8.13E+02
	47	1.23E+03	1.30E+03	1.49E+03
	22	2.31E+03	2.56E+03	2.73E+03

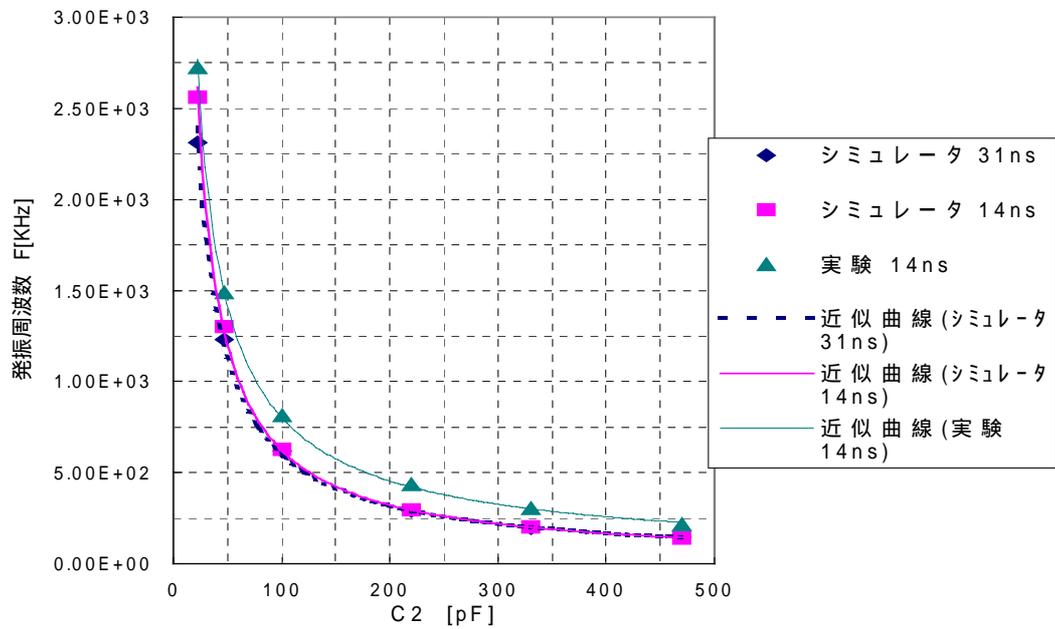


図 4 - 3 シミュレーションと実測値の比較 ($V_{CC}=4V$, $R_2=10K$)

表 4 - 4 $V_{CC}=4V$, $R_2=1K$

		F [KHz]		
		シミュレータ		実験
delay		31ns	14ns	14ns
C_2 [pF]	470	1.09E+03	1.19E+03	1.92E+03
	330	1.43E+03	1.67E+03	2.69E+03
	220	2.00E+03	2.31E+03	3.36E+03
	100	3.80E+03	4.30E+03	5.78E+03
	47	5.95E+03	7.03E+03	8.07E+03
	22	8.33E+03	1.09E+04	1.09E+04

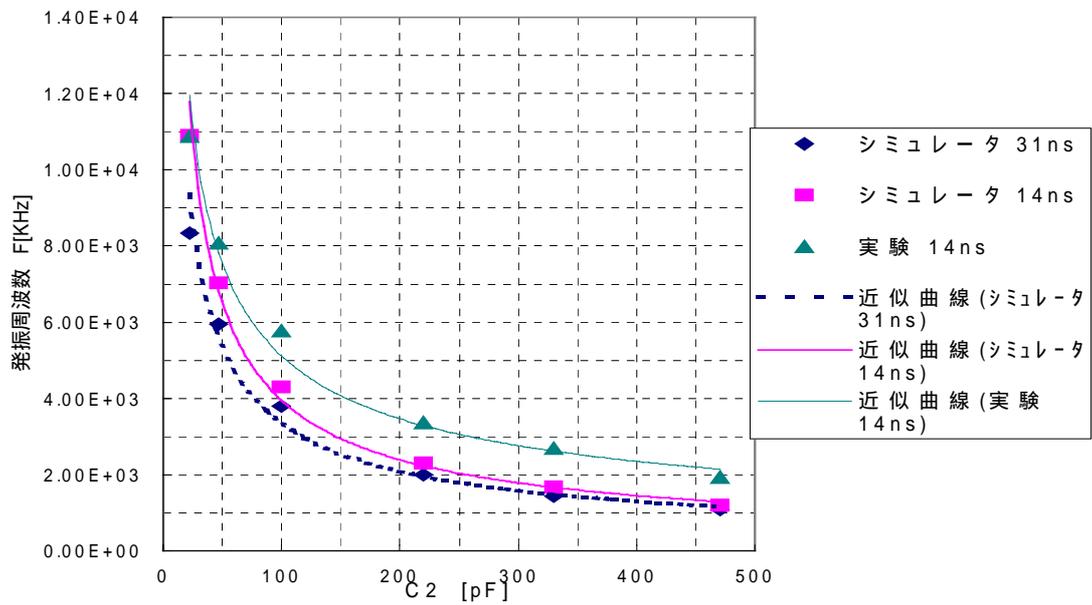


図 4 - 4 シミュレーションと実測値の比較 ($V_{CC}=4V$, $R_2=1K$)

表 4 - 5 $V_{CC}=2V$, $R_2=10K$

		F [KHz]		
		シミュレータ		実験
delay		155ns	42ns	42ns
C [pF]	470	1.04E+02	1.08E+02	1.41E+02
	330	1.44E+02	1.52E+02	1.94E+02
	220	2.08E+02	2.33E+02	2.67E+02
	100	4.00E+02	4.70E+02	4.73E+02
	47	7.27E+02	9.39E+02	7.87E+02
	22	1.19E+03	1.77E+03	1.21E+03

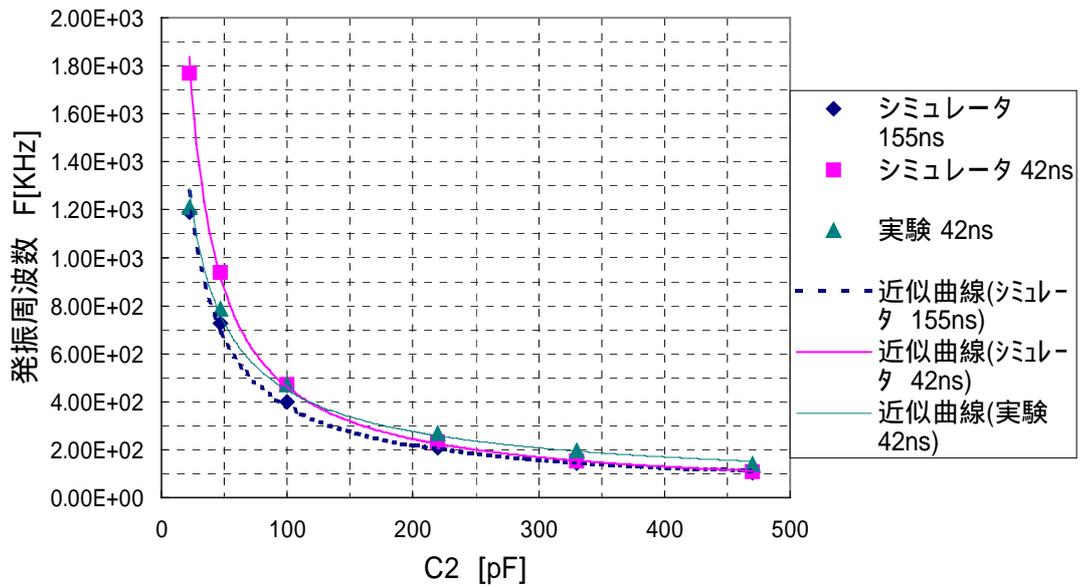


図 4 - 5 シミュレーションと実測値の比較 ($V_{CC}=2V$, $R_2=10K$)

表 4 - 6 $V_{CC} = 2V$, $R_2 = 1K$

		F [KHz]		
		シミュレータ		実験
delay		155ns	42ns	42ns
C_2 [pF]	470	6.49E+02	8.14E+02	9.93E+02
	330	7.97E+02	1.11E+03	1.32E+03
	220	1.00E+03	1.56E+03	1.73E+03
	100	1.63E+03	2.80E+03	2.69E+03
	47	2.15E+03	4.42E+03	4.20E+03
	22	2.60E+03	6.49E+03	5.31E+03

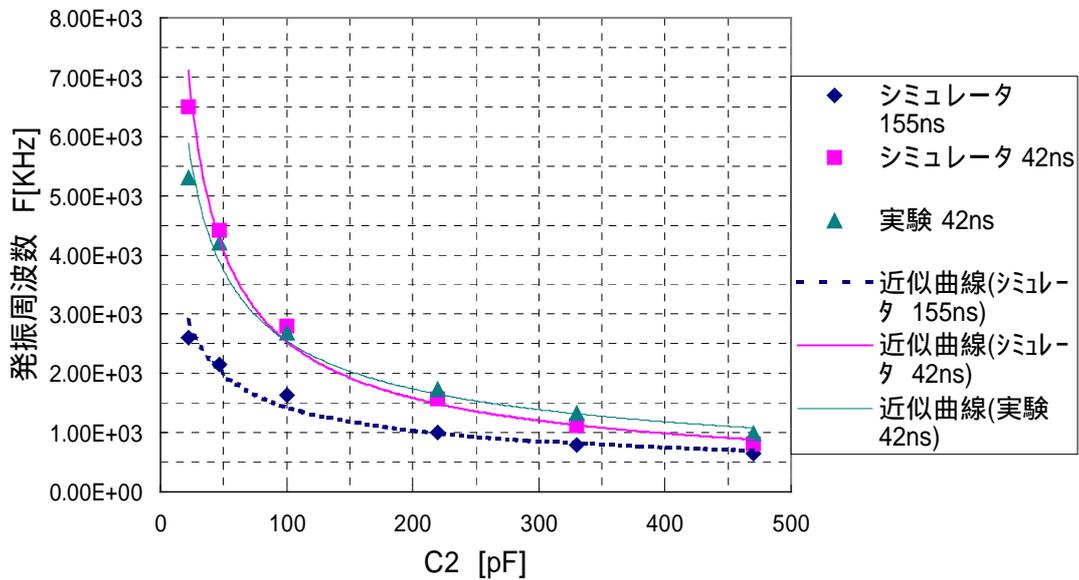


図 4 - 6 シミュレーションと実測値の比較 ($V_{CC} = 2V$, $R_2 = 1K$)

これらのシミュレーション結果から

- (1) シミュレーションにおいて、各電源電圧のモデルにおけるゲート遅延時間の影響、

電源電圧 6V ではゲート遅延時間 26ns と 12ns による差、
 電源電圧 4V ではゲート遅延時間 31ns と 14ns による差、
 電源電圧 2V ではゲート遅延時間 155ns と 42ns による差
 は大きくはあらわれていない。これらのゲート遅延時間が発振周期に比べ小さいためだと思われる。

- (2) シミュレーション結果と実験結果を比較して、一般的にシミュレーションの方が発振周波数は低い。容量 C_2 が小さくなるとシミュレーションと実験とで発振周波数の差は縮まっている。電源電圧 2V では、逆転して実験の方が発振周波数は低くなっている。ゲート駆動力が落ちた状態で、プローブの容量が測定誤差をまねいた可能性が考えられる。
- (3) 発振周波数に関して、(2)で述べたようシミュレーションと実験では数値で多少の誤差があるものの、発振周波数の C_2 依存性、 R_2 依存性、電源電圧 V_{CC} 依存性はよく一致している。

4 - 2 T-Spice を用いたシミュレーション

4 - 2 - 1 シュミット回路

MultiSIM ではスレッシュホールド電圧を変更できなかった。ゆえに、このような H レベルのしきい値電圧 V_P 、L レベルのしきい値電圧 V_N が大きな影響を与える回路では、実験とシミュレーションを比べることができない。また、 V_P 、 V_N の回路特性への影響をシミュレーションで調べることもできない。そこで、 V_P 、 V_N を変更できる回路を作成し、それを T-Spice を用いてシミュレーションし、CR 発振回路への V_P 、 V_N の影響を調べる。

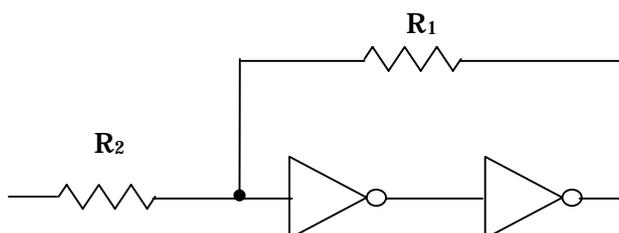


図 4 - 7 シュミット回路

図 4 - 7 はしきい値にヒステリシス電圧をもたせる回路である。2 段のインバータで帰還をもたせ、抵抗 R_1 と R_2 の分割により初段のインバータに入力される電圧を R_2 の入力電圧とは変える方法である。図 1 に示すように、2 段のインバータを縦続接続してバッファを構成した回路で、そのしきい値電圧を、理想的な回路を想定して、 $V_{CC} / 2$ と仮定する。H レベルのしきい値電圧、L レベルのしきい値電圧はつぎのように与えられる。

$$V_P = \frac{V_{DD}}{2} \frac{R_1 + R_2}{R_1} \quad (4 - 1)$$

$$V_N = \frac{V_{DD}}{2} \frac{R_1 - R_2}{R_1} \quad (4 - 2)$$

このように R_1 、 R_2 を変えることにより、目的の H レベルのしきい値電圧、L レベルのしきい値電圧を実現することを考える。

4 - 2 - 2 T - Spice に載せるシュミットインバータ回路の作成

シュミットインバータを実現するためには、3 段のインバータが必要である。図 4 - 8 に回路図を示す。図 4 - 8 では、ヒステリシス効果をもたせるための抵抗 R_1 、 R_2 はまだ示していない。

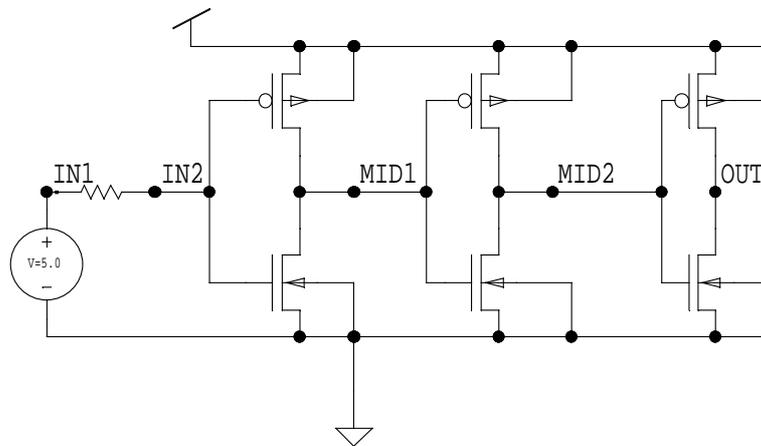


図 4 - 8 3 段の CMOS インバータ

T-Spice はアナログ量の解析であり、これを実行するには図 4 - 8 の回路のトランジスタ寸法を決めなければならない。製品 TC74HC14 (CMOS シュミットインバータ) の資料に、トランジスタの詳細な寸法等は記載されていないので、TC74HC14 の特性等から大胆に推定することにした。

電源電圧 4.5 V で、 $V_{OH} = 4.31$ V、 $I_{OH} = -4$ mA (ソース電流) である。これは P チャネルトランジスタの寸法を推定する材料になる。同様に、電源電圧 4.5 V で、 $V_{OL} = 0.17$ V、 $I_{OL} = -4$ mA (シンク電流) である。これは N チャネルトランジスタの寸法を推定する材料になる。

P、N 両チャネルとも、ゲート電圧 -4.5 V (P チャネル)、 $+4.5$ V (N チャネル)、ドレイン -0.2 V (P チャネル)、 $+0.2$ V (N チャネル) で、4 mA 程度のドレイン電流を流すことになる。

製品の加工技術として $L = 3$ μ m、ゲート酸化膜厚 $T_{ox} = 500$ A を、ゲートしきい値電圧として -1 V (P チャネル)、 $+1$ V (N チャネル) (電源電圧の $1/5$) を想定し、電子の移動度として 400 $\text{cm}^2/\text{s}\cdot\text{V}$ を用いると (正孔に対しては、この半分)、N チャネルトランジスタのチャンネル幅は約 600 μ m、P チャネルトランジスタのチャンネル幅は約 1200 μ m と計算できる。

これらの議論は出力段に関するものであり、内部の素子に当然小さく、 $1/3$ と考える。

これらの推測から

チャンネル長 $L = 3$ μ m (両チャネルとも)

ゲート酸化膜厚 $T_{ox} = 500$ A (両チャネルとも)

チャンネル幅 $W = 200$ μ m (N チャネル)

チャンネル幅 $W = 400$ μ m (P チャネル)

ゲートしきい値電圧 $V_T = 1V$ (Nチャネル)

ゲートしきい値電圧 $V_T = -1V$ (Pチャネル)

これらのパラメータの値を用いて、図4-8の3段インバータの入出力特性をシミュレーションした結果を図4-9に示す。回路のしきい値電圧が電源電圧(4.5Vを用いた)の半分になっていることがわかる。

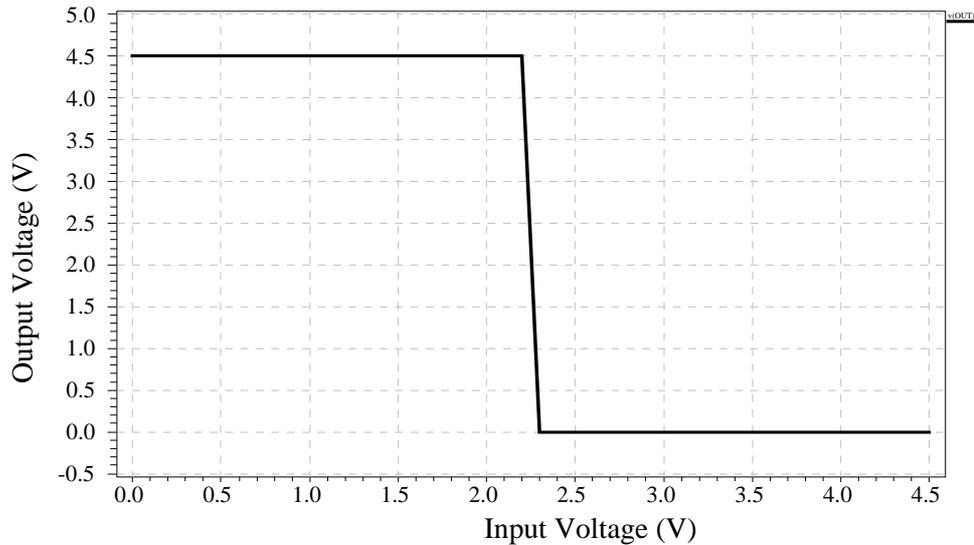


図4-9 3段CMOSインバータの入出力特性 ($V_{cc}=4.5V$)

図4-8の3段インバータの過渡特性をシミュレーションした結果を図4-10、11に示す。入力電圧をステップ状に0から4.5Vに立ち上げた場合、ノードIN2、出力ノードOUTの電圧変化を示している。

過渡特性の計算では、P、N両チャネルのドレイン領域の面積を決めなければならない(この部分の寄生キャパシタンスが重要であるから)。チャネル幅Wは決まっているから、それと直交する長さは加工寸法(=L)の3倍をとり、

ドレイン領域の面積 $AD=200\text{um} \times 9\text{um}=1800\text{pm}^2$ (Nチャネル)

ドレイン領域の面積 $AD=400\text{um} \times 9\text{um}=3600\text{pm}^2$ (Pチャネル)

図4-8の回路で、ノードIN1とIN2の間に抵抗R2を挿入してシミュレーションを行ったが、これは後述するシュミットインバータを実現するための抵抗で、ここでは25Kの値を用いた。図4-10でノードIN2の電圧の立ち上がりが遅いのは、このCR時定数のためである。図4-10、図4-11の波形を比較すればわかるように、IN2からOUTに到る遅れは少ないこと、すなわち、回路のゲート遅延は小さいことが

わかる。

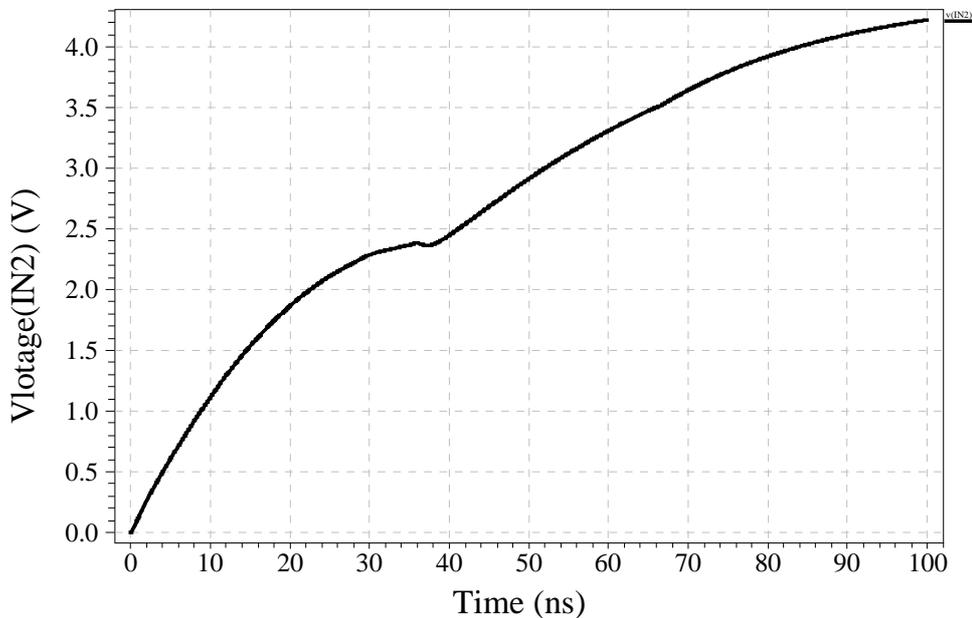


図 4 - 1 0 3 段インバータの過渡応答 (ノード IN2 の電圧)
入力立上り、 $V_{CC} = 4.5 \text{ V}$

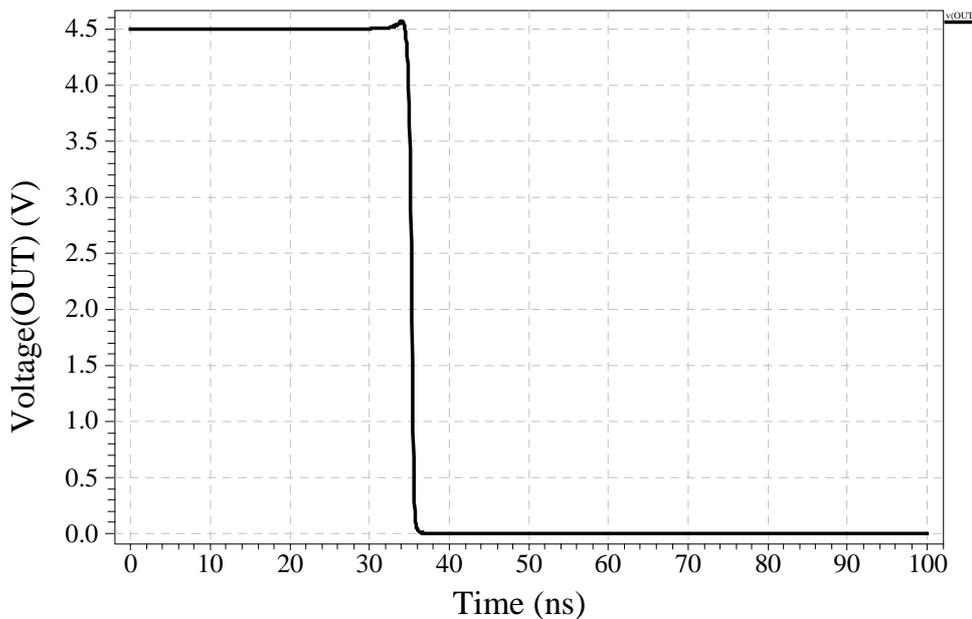


図 4 - 1 1 3 段インバータの過渡応答 (ノード OUT の電圧)
入力立上り、 $V_{CC} = 4.5 \text{ V}$

シュミットインバータの回路を作成する。図4 - 8の回路に抵抗 R1、R2 を付け加えた回路を図4 - 12に示す。

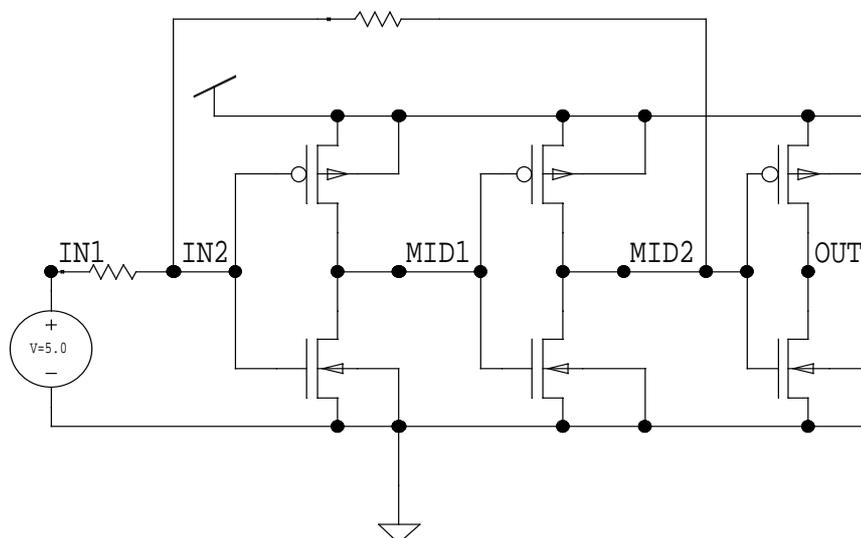


図4 - 12 シュミットインバータの回路

ここで、簡単に R1、R2 の値を推定してみる。前述した式(4 - 1)、(4 - 2)から、

$$\frac{V_H - V_L}{V_H + V_L} = \frac{R2}{R1} \quad (4 - 3)$$

と計算できる。製品 TC74HC14 のデータによると、V_{CC} = 4.5 V では、V_P = 2.7 V、V_N = 1.6 V であるから、ほぼ

$$\frac{R2}{R1} \approx \frac{1}{4} \quad (4 - 4)$$

と考えてよいことが分かる。

図4 - 13、14に、R2 = 25 K、R1 = 100 K として、入出力特性をシミュレーションした結果を示す。図4 - 13は、入力電圧を 0 から 4.5 V にあげた場合である。図4 - 14は、入力電圧を 4.5 から 0 V に下げた場合である。大きなヒステシス効果があらわれていることが分かる。

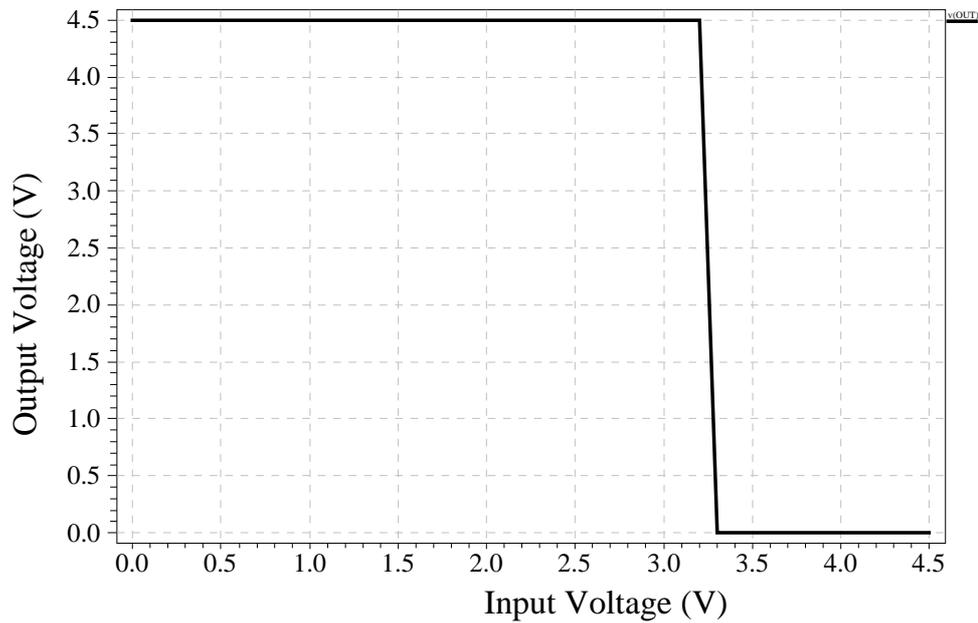


図 4 - 1 3 シュミットインバータの入出力特性
 (入力電圧を 0 V から上げた場合)
 $R_2=25\text{ K}$ 、 $R_1=100\text{ K}$ 、 $V_{CC} = 4.5\text{ V}$

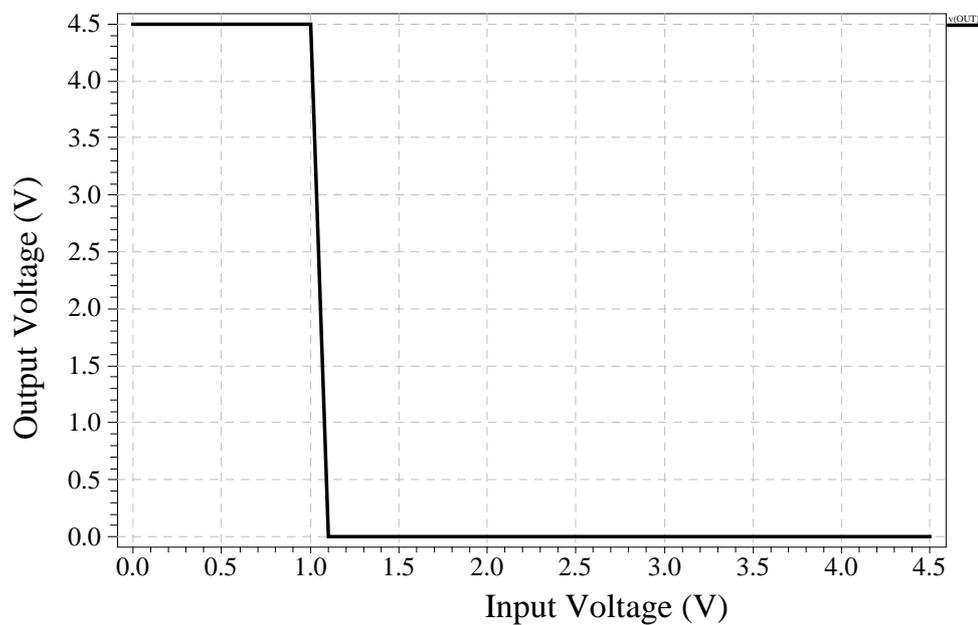


図 4 - 1 4 シュミットインバータの入出力特性
 (入力電圧を 4.5 V から下げた場合)
 $R_2=25\text{ K}$ 、 $R_1=100\text{ K}$ 、 $V_{CC} = 4.5\text{ V}$

4 - 2 - 3 Hレベルのしきい値電圧、Lレベルの

しきい値電圧のシミュレーション

電源電圧 $V_{CC} = 4.5V$ 、抵抗 $R2 = 25K$ に固定して、抵抗 $R1$ を変えて、
図 4 - 13、14 と同様な方法で、H レベル、L レベルのしきい値電圧
(V_P 、 V_N) をシミュレーションで求めた結果を下表に示す。

表 4 - 7 Hレベル、Lレベルのしきい値電圧 (V_P 、 V_N)

R1 [K]	V_P [V]	V_N [V]	$(V_P + V_N) / 2$ [V]
175	3.0	1.7	2.35
150	3.1	1.5	2.3
125	3.2	1.4	2.3
100	3.3	1.1	2.2
75	3.5	0.6	2.05
60	3.9	0.2	2.05
50	4.3		

表 4 - 7 の結果と製品 TC74HC14 のしきい値電圧を比較して、明確に
 $R1$ 、 $R2$ の値を決めるのは困難であるが、以下の発振のシミュレーション
では、下記の二組

$$R2 = 25 K \quad , \quad R1 = 100 K$$

$$R2 = 25 K \quad , \quad R1 = 175 K$$

の値を、シュミットインバータ回路での抵抗として用いることにする。

4 - 2 - 4 発振波形

発振回路を図 4 - 15 に示す。発振を起こさせるために、出力ノード
OUT から入力ノード IN1 に帰還する抵抗を $R3$ とする。また、入力ノード
IN1 と接地間につながる容量を C とする。

図 13 ~ 15 に、 $V_{CC} = 4.5V$ で、シュミット回路の抵抗が $R2 = 25K$ 、
 $R1 = 100K$ 、発振回路の抵抗と容量が $R3 = 1K$ 、 $C = 470 pF$ の場合につ
いて、ノード IN1、IN2、MID1、MID2、OUT の定常状態に近づいた状態
での発振波形を示す。これらの波形から発振周期を求めることができる。

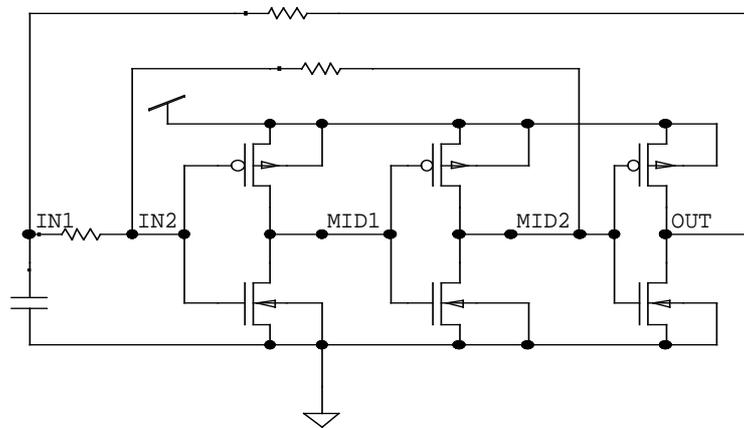


図 4 - 1 5 発振回路

R3 : 出力ノード OUT から入力ノード IN1 に帰還する抵抗
 C : 入力ノード IN1 と接地間につながる容量

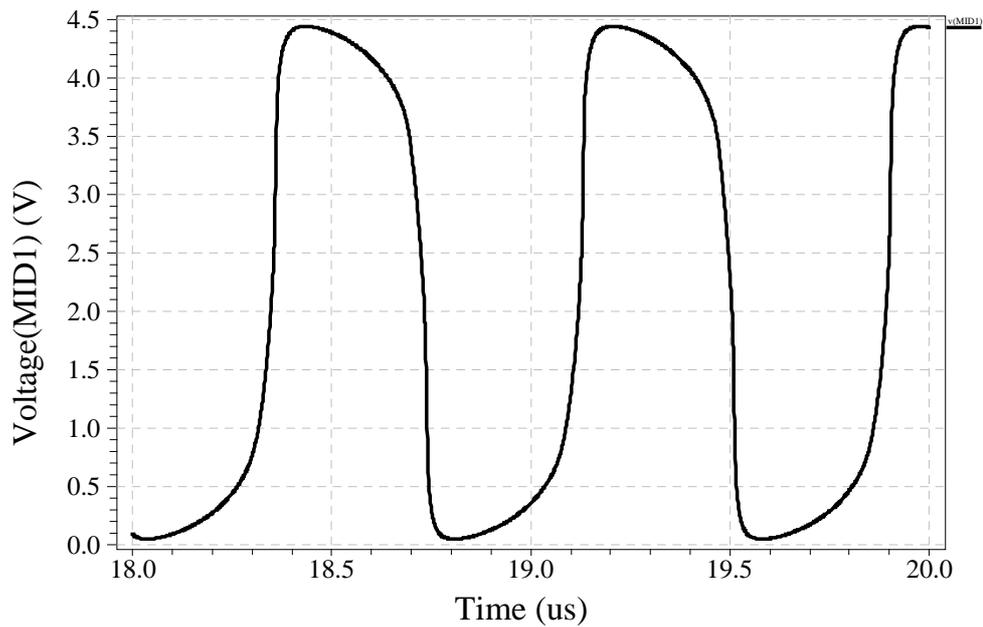


図 4 - 1 6 発振波形 (ノード MID1、 $V_{CC} = 4.5 \text{ V}$)

シュミット回路の抵抗 $R2 = 25 \text{ K}$ 、 $R1 = 100 \text{ K}$

発振回路の抵抗と容量 $R3 = 1 \text{ K}$ 、 $C = 470 \text{ pF}$

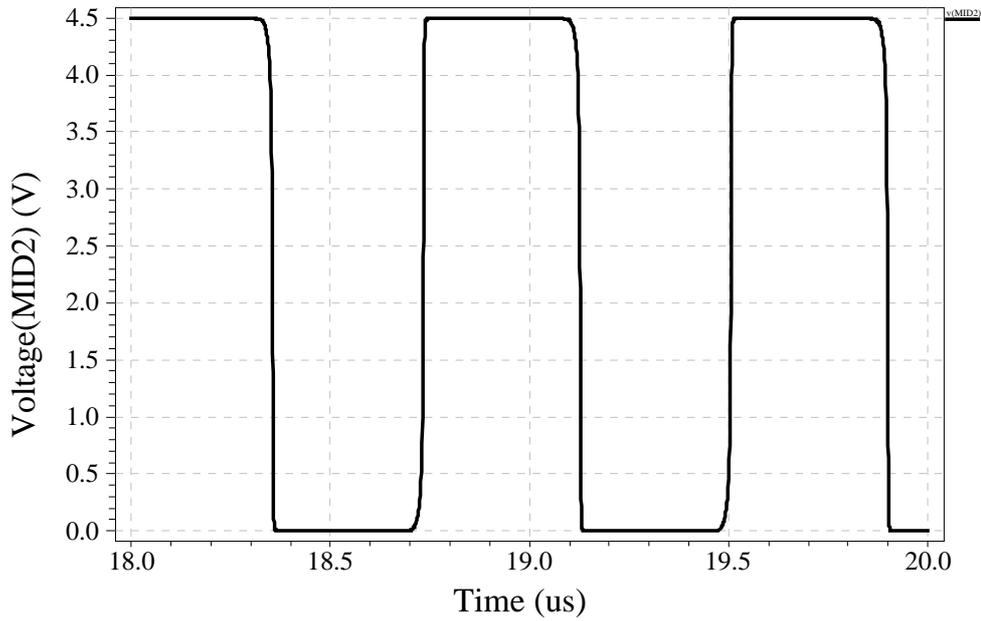


図 4 - 1 7 発振波形 (ノード MID2、 $V_{CC} = 4.5 \text{ V}$)
 シュミット回路の抵抗 $R_2 = 25 \text{ K}$ 、 $R_1 = 100 \text{ K}$
 発振回路の抵抗と容量 $R_3 = 1 \text{ K}$ 、 $C = 470 \text{ pF}$

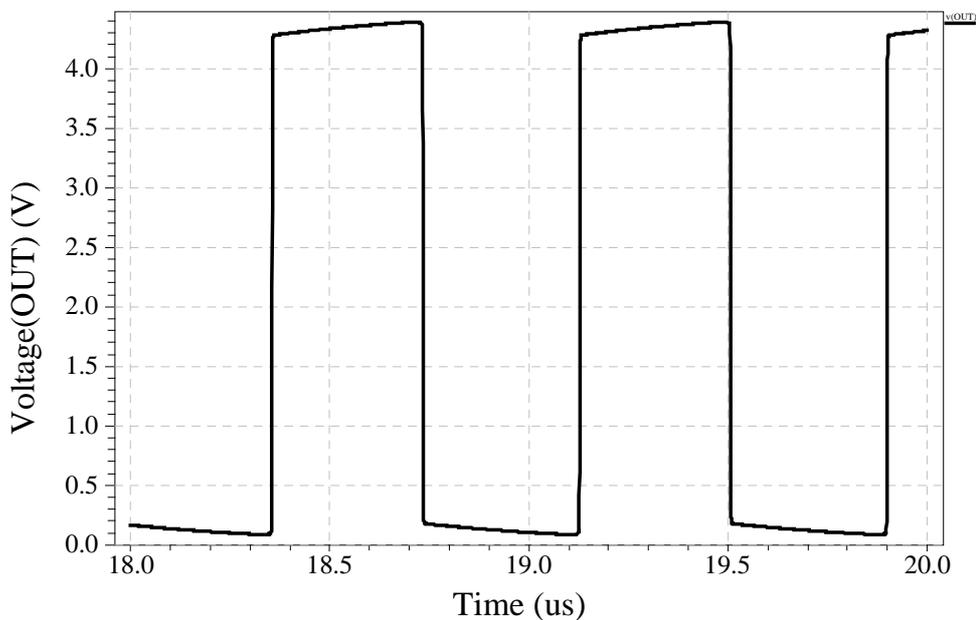


図 4 - 1 8 発振波形 (ノード OUT、 $V_{CC} = 4.5 \text{ V}$)
 シュミット回路の抵抗 $R_2 = 25 \text{ K}$ 、 $R_1 = 100 \text{ K}$
 発振回路の抵抗と容量 $R_3 = 1 \text{ K}$ 、 $C = 470 \text{ pF}$

4 - 2 - 5 発振周期

R2、R1 について

$$R2 = 25 \text{ K} \quad , \quad R1 = 100 \text{ K}$$

$$R2 = 25 \text{ K} \quad , \quad R1 = 175 \text{ K}$$

の場合について、発振回路で R3 は 1 K と 10 K の二つのケースを考え、容量 C は 470pF から 22pF に変えてシミュレーションし、発振周期を求めた結果を下表に示す。

表 4 - 8 シュミット回路の発振周期

R2=25 K 、 R1=100 K ($V_P = 3.3V$ 、 $V_N = 1.1V$)

発振回路	R3=1 K の場合	R3=10 K の場合
C2 [pF]	発振周期 [us]	発振周期 [us]
470	0.773	5.71
330	0.605	4.08
220	0.458	2.84
100	0.272	1.44
47	0.170	0.780
22	0.106	0.460

表 4 - 9 シュミット回路の発振周期

R2=25 K 、 R1=175 K ($V_P = 3.0V$ 、 $V_N = 1.7V$)

発振回路	R3=1 K の場合	R3=10 K の場合
C2 [pF]	発振周期 [us]	発振周期 [us]
470	0.570	3.34
330	0.454	2.49
220	0.353	1.75
100	0.218	0.960
47	0.142	0.553
22	0.089	0.346

ここで表 4 - 8、4 - 9 の結果と電源電圧 $V_{cc}=4.5V$ の実験結果 (図 3 - 4) を、発振周波数で比較した結果を図 4 - 19、20 に示す。

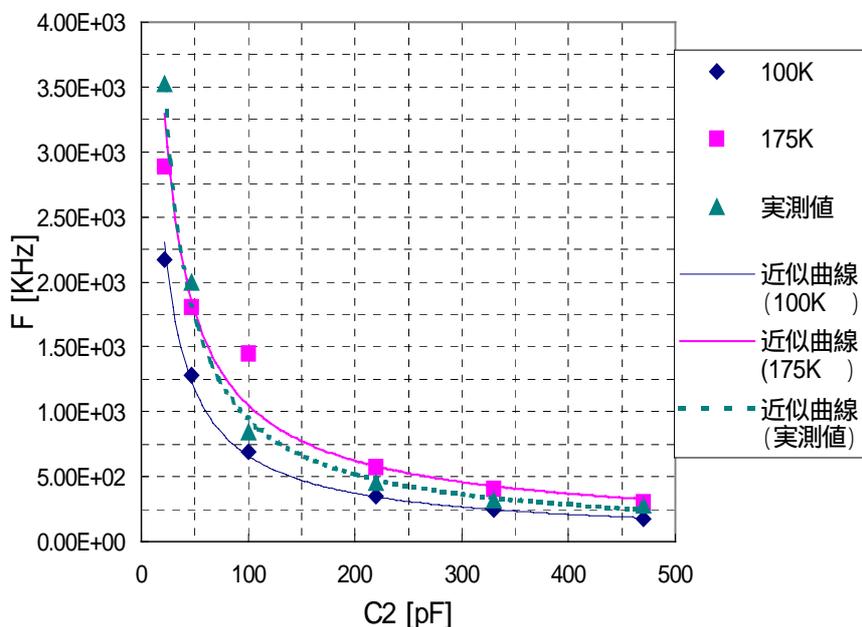


図 4 - 19 シミュレーションと実験値の比較
($R_3 = 10K$ 。表中の 100K、175K は R_1 の値。)

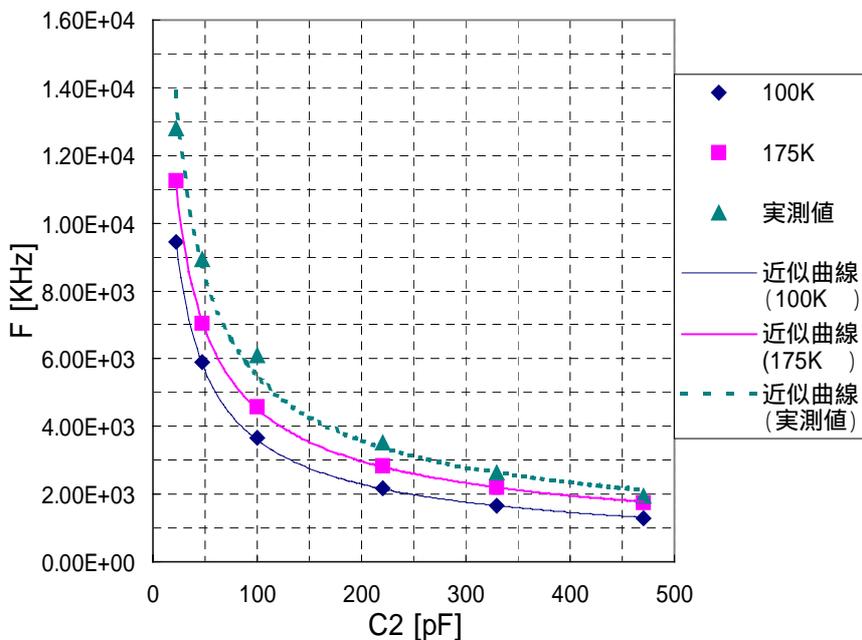


図 4 - 20 シミュレーションと実験値の比較
($R_3 = 1K$ 。表中の 100K、175K は R_1 の値。)

R3=10K の場合は、実験値は 2 つのケース(R1=100K と 175K の場合)のシミュレーション値の間にある。R3=1K の場合は、実験値は 2 つのケース(R1=100K と 175K の場合)のシミュレーション値より大きい。

このシミュレーションの結果は、実測値と多少の値の違いはあるものの、C2 依存性はほとんど同じである。

ここで、H レベルのしきい値電圧、L レベルのしきい値電圧による発振周期の変化を検討する。

電源電圧 $V_{CC} = 4.5V$ 、抵抗 $R2 = 25K$ に固定して、抵抗 $R1$ を 175 ~ 60K まで変えてシミュレーションする。以下に発振回路の抵抗と容量を、1K と 470pF、10K と 470pF との 2 つのケースについてシミュレーション結果を以下の表に出す。

表 4 - 10 H レベル、L レベルのしきい値電圧 (V_P 、 V_N) による発振周期の変化

R1[K]	$V_P[V]$	$V_N[V]$	$V_P - V_N [V]$	発振周期[us]	
				R3=1K	R3=10K
175	3.0	1.7	1.3	0.567	3.34
150	3.1	1.5	1.6	0.617	3.83
125	3.2	1.4	1.8	0.679	4.56
100	3.3	1.1	2.2	0.769	5.63
75	3.5	0.6	2.9	0.951	7.69
60	3.9	0.2	3.7	1.140	10.06

V_P と V_N の差が大きければ発振周期は大きくなる。発振周期はしきい値の差に大きく依存することが、シミュレーション上で確認できた。

4 - 3 バリキャップとコンデンサとの比較

バリキャップを用いた発振周波数と、バリキャップのバイアス点の容量とほとんど同じ一定容量での発振周波数を比較した結果を表4 - 1 1、1 2、図4 - 2 1、2 2に示す。

表4 - 1 1 $V_{CC} = 5V$, $R_2 = 10K$

バリキャップ			コンデンサ	
$V_c[V]$	$VC_1[pF]$	$F[KHz]$	$C_2[pF]$	$F[KHz]$
0.0	670.0E-12	1.32E+02		
1.0	485.0E-12	1.91E+02	470.0E-12	2.29E+02
2.0	300.0E-12	2.73E+02	330.0E-12	3.19E+02
3.0	187.0E-12	3.99E+02	220.0E-12	4.49E+02
4.0	100.0E-12	6.09E+02	100.0E-12	8.25E+02
5.0	75.0E-12	8.37E+02		
6.0	45.0E-12	1.17E+03	47.0E-12	1.47E+03
7.0	30.0E-12	1.59E+03		
8.0	24.0E-12	1.93E+03	22.0E-12	2.40E+03
9.0	20.0E-12	2.15E+03		
10.0	16.0E-12	2.33E+03		

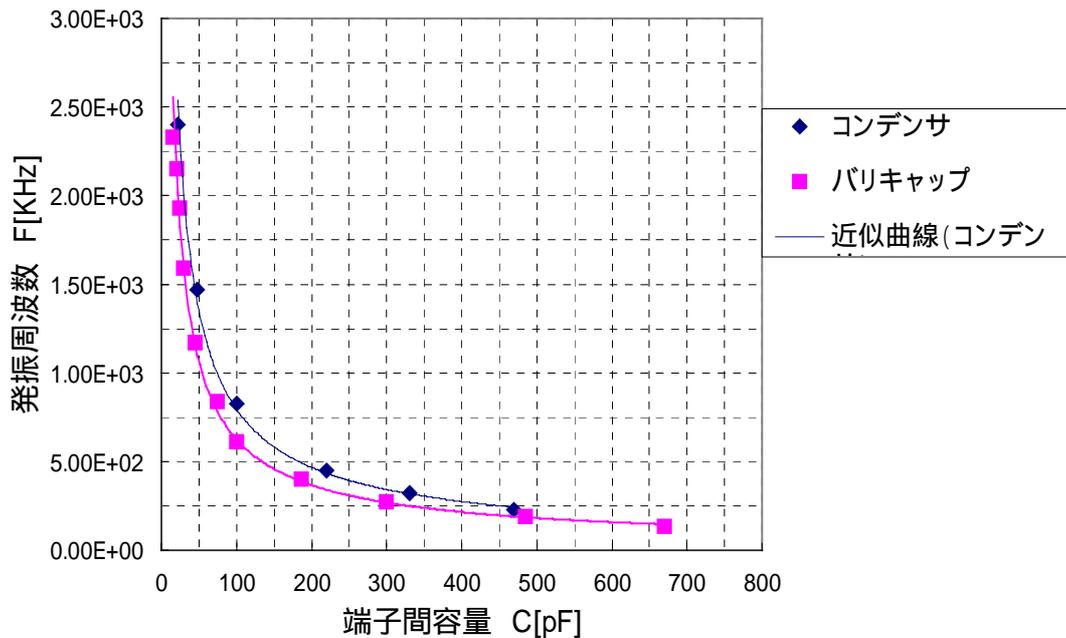


図4 - 2 1 端子間容量と発振周波数の関係 ($V_{CC} = 5V$, $R_2 = 10K$)

表 4 - 1 2 $V_{CC} = 5V$, $R_2 = 1K$

バリキャップ			コンデンサ	
$V_c[V]$	$VC_1[pF]$	$F[KHz]$	$C_2[pF]$	$F[KHz]$
0.0	670.0E-12	1.20E+03		
1.0	485.0E-12	1.78E+03	470.0E-12	2.06E+03
2.0	300.0E-12	2.57E+03	330.0E-12	2.90E+03
3.0	187.0E-12	3.87E+03	220.0E-12	3.80E+03
4.0	100.0E-12	6.15E+03	100.0E-12	6.68E+03
5.0	75.0E-12	8.20E+03		
6.0	45.0E-12	1.08E+04	47.0E-12	9.95E+03
7.0	30.0E-12	1.30E+04		
8.0	24.0E-12	1.48E+04	22.0E-12	1.42E+04
9.0	20.0E-12	1.63E+04		
10.0	16.0E-12	1.72E+04		

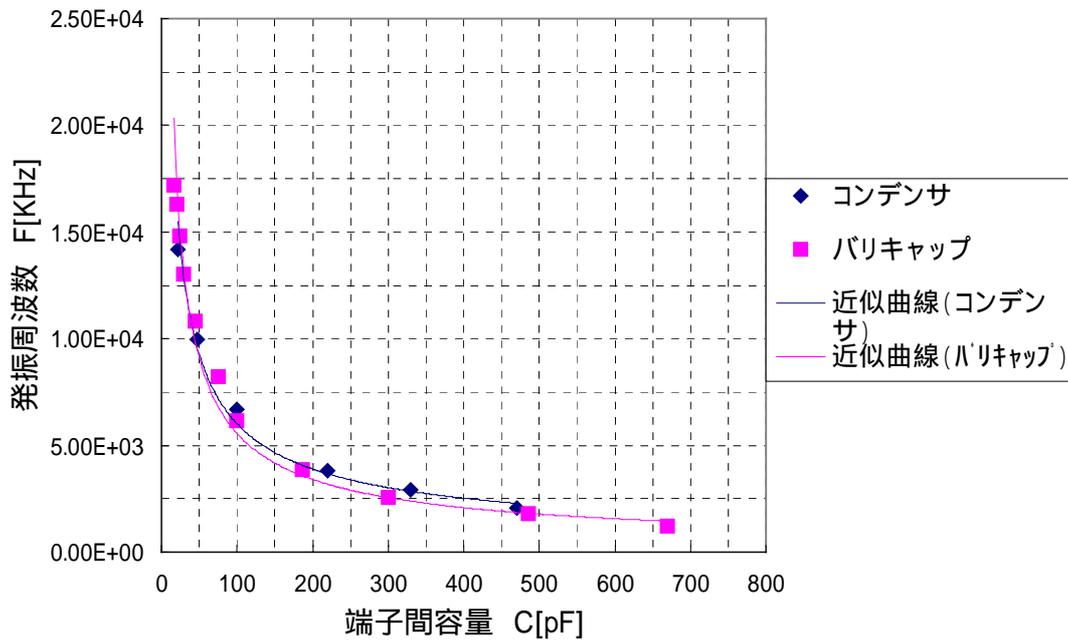


図 4 - 2 2 端子間容量と発振周波数の関係 ($V_{CC} = 5V$, $R_2 = 1K$)

これらの表、図より、一般的にバリキャップを用いた回路では発振周波数が低くあらわれている。特にバリキャップの制御電圧が低い場合に、

発振周波数が低くあらわれている。これはバリキャップのバイアス点を中心にして発振電圧が大振幅で振れるためであると考えられる。

発振電圧がバイアス点よりも低い電圧では大きな容量、バイアス点より高い電圧では小さな容量となるので、大きな容量効果がより支配的にあらわれるためであると考えられる。

5 結び

今回、方形波の VCO を簡単に実現するため、シュミットインバータと CR 回路を用いた発振回路を製作し、その特性を解析した。低周波の発振回路であるため、製作上の問題はあまりなかった。ただ、低い電源電圧（例えば 2 V）では、発振波形にひずみが見られた。

この発振回路をシミュレーションする上では多くの問題に遭遇した。

MultiSIM では、TC74HC14 のスレッシュホールド電圧が電源電圧によらず一定に固定されていたため、発振周波数に対するコンデンサと抵抗、電源電圧、delay の依存性を調べることになった。また、バリキャップについては同じモデルが無く、他のバリキャップの設定を変更させてシミュレーションしようと試みた。しかし、思うように動作しなく、VCO の発振については、シミュレーションとの比較は諦め、固定容量を用いた発振回路との比較を行った。

また、T-Spice を用いて、MultiSIM ではできなかったスレッシュホールド電圧の発振周波数に対する影響を調べた。まず、シュミットインバータと発振回路を作成した。T-Spice はアナログ解析のため、トランジスタ寸法から決める必要があり、データシートからチャネル長やゲート酸化膜厚などを推定しなければならなかった。作成した回路でシミュレーションした結果は、実験値とかなりよく一致した。また、簡単な計算では帰還側の抵抗値に対し入力側の抵抗値は $1 / 4$ と推定されていたが、シミュレーション結果では $1 / 7$ の方が実験値により近かった。

本卒業研究では、おもにデジタル処理を行う MultiSIM、厳密にアナログ計算をする T-Spice を経験し、それらの限界と使い方の難しさを知り、シミュレーションに対する理解が深まった。

6 謝辞

ご多忙の中、いたらない私をご指導くださいました原先生には深く感謝いたします。また、大学院生の柏田さんや新妻さんには、的確な助言をくださいましたことをたいへん感謝しております。

矢野先生や橘先生につきましては臨港でたいへんお世話になりました。さらに、原研究室・矢野研究室・橘研究室の大学院生や友人の多くの方に支えられたこと、お礼申し上げます。

7 参考文献

発振回路の設計と応用

稲葉 保 著

発振・変復調回路の考え方

小柴 典居・植田 佳典 共著

MultiSIM User Guide

T-Spice Circuit Simulator User Guide Reference