

平成 14 年度

修士論文

高速パルススキニングC-V法による
担体発生量評価

Study of the carrier generation
by a high speed pulse scanning C-V method

指導教員

河津 哲 教授

学籍番号 1055080

大橋 健二

平成 15 年 1 月 27 日

高知工科大学大学院

工学研究科 基盤工学専攻

電子・光エレクトロニクスコース

目次

第1章 序論	1
第2章 原理・理論	2
2.1 MOS 構造	2
2.2 バイアス条件と状態の変化	2
2.3 表面空乏領域の解析	7
2.4 C-V 特性	10
2.5 測定周波数による C-V 特性の変化	11
2.6 仕事関数差	12
2.7 担体発生量評価法	13
2.7.1 Zelbst 法	13
2.7.2 パルススキニング C-V 法	13
第3章 測定システム	15
3.1 構成	15
3.2 測定回路・増幅回路	18
3.3 ソフトウェア	19
3.4 システム試験	20
第4章 光担体発生量の測定	22
4.1 測定試料	22
4.2 光担体発生量測定	23
4.2.1 温度による光担体発生量の変化	23
4.2.2 測定結果	23
4.2.3 重金属による光担体発生量への影響	25
4.2.4 測定結果	25
第5章 光担体発生量測定考察	27
5.1 温度による光担体発生量の変化	27
5.1.1 バンドギャップ以上での発生量減少	27
5.1.2 ピーク量の減少	28
5.1.3 ピーク位置	28
5.1.4 立上がりのシフト	28
5.2 重金属による光担体発生量への影響	29

5.2.1	シヨルダ-部の考察	29
5.2.2	鉄のトラツプ測定	30
第6章	担体発生量測定	31
6.1	測定試料	31
6.1.1	VDEC による TEG の作成	31
6.2	担体発生量測定	35
6.2.1	担体発生量と pn 接合リーク電流	35
6.3	測定結果	37
第7章	担体発生量測定考察	39
7.0.1	$I_R - V_G$ 特性	39
7.0.2	$I_R - V_S$ 特性	40
第8章	結論	41
	謝辞	42
	本論文に関する発表	43
	参考文献	44
	付録	46
	TEG レイアウト図	46
	理論 C-V 特性計算プログラム	55

第 1 章

序論

1947年に半導体デバイスが誕生して以来、半世紀以上が経過した。この間、半導体に関する技術は猛烈なスピードで向上し、今や半導体は我々の生活に欠かすことのできないものとなった。特に近年は情報化が叫ばれ、パソコンやインターネット、携帯電話が爆発的に普及した。これまで以上のスピードで進化することが期待されている半導体業界にとって、さらに高度な技術の開発が常に求められており、その1つとして半導体製造プロセスに起因する担体発生の減少がある。

シリコン材料の改良が急速に進んだ結果、担体発生量は減少し、DRAMのリフレッシュ時間の延長や、CCDのノイズの減少など、多くのデバイスの性能が向上した。しかし、担体発生量の減少によって、その評価が難しくなっている。従来の静電容量-時間特性を用いた担体発生量測定では、1試料の測定に多くの時間が必要となり、開発に必要な特性評価などが十分に行えないのである。

そこで、パルススキニングC-V法を用いることによって、測定時間を大幅に短縮することを可能にした。パルススキニングC-V法は、MOSダイオードのC-V測定においてバイアス電圧をパルス状に印加し、その印加時間における担体発生量をパルスの立ち上がり、立ち下がりのC-V特性から求める方法である。従来は空乏層幅の変化から担体発生量を求めていたが、パルススキニングC-V法では空乏層幅がほとんど変化しない、微少な担体発生の測定が可能である。

本研究では、高速のA/D,D/A変換器を用いた、極短時間における担体発生を測定できるシステムを構築し、その有用性について検討を行った。また、光エネルギーによる担体発生について、温度特性、重金属の影響を調べた。

第 2 章

原理・理論

2.1 MOS 構造

図 2.1 は MIS の構造を示したものである。金属 (Metal)-絶縁物 (Insulator)-半導体 (Semiconductor) で構成されているために MIS と呼ばれる。MIS の中でも特に絶縁物として酸化物 (Oxide) を用いた物を MOS と呼んでいる。

上部の金属部分はゲートと呼ばれ、以降これに印加する電圧をゲート電圧 V_G と表記する。一般に絶縁膜 (酸化膜) 厚 T_{OX} はゲート電極に比べ極めて薄いものであり、実際には図示できるほどの厚さはない。

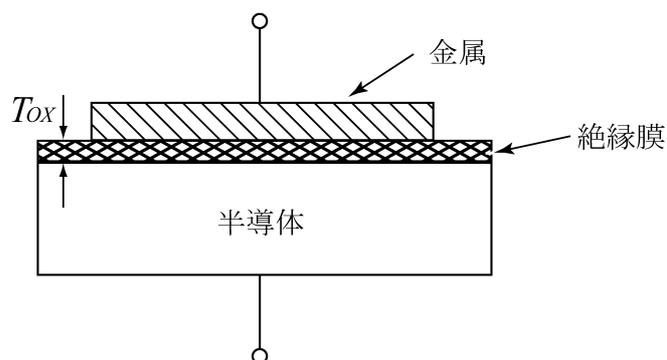


図 2.1 MOS 構造

2.2 バイアス条件と状態の変化

図 2.2 は電圧を印加しない場合の理想的な MOS のバンド構造を示したものである。このときの金属と半導体の仕事関数の差 ϕ_{MS} は次式で表され、0[eV] となる。

$$\text{n 形} \quad q\phi_{MS} = q\phi_M - \left(q\chi + \frac{E_g}{2} - q\phi_B \right) = 0 \quad (2.1a)$$

$$\text{p 形} \quad q\phi_{MS} = q\phi_M - \left(q\chi + \frac{E_g}{2} + q\phi_B \right) = 0 \quad (2.1b)$$

ここで、 q は単位電荷、 χ は電子親和力である。このように半導体のバンドの曲がりが生じていない状態をフラットバンド状態という。

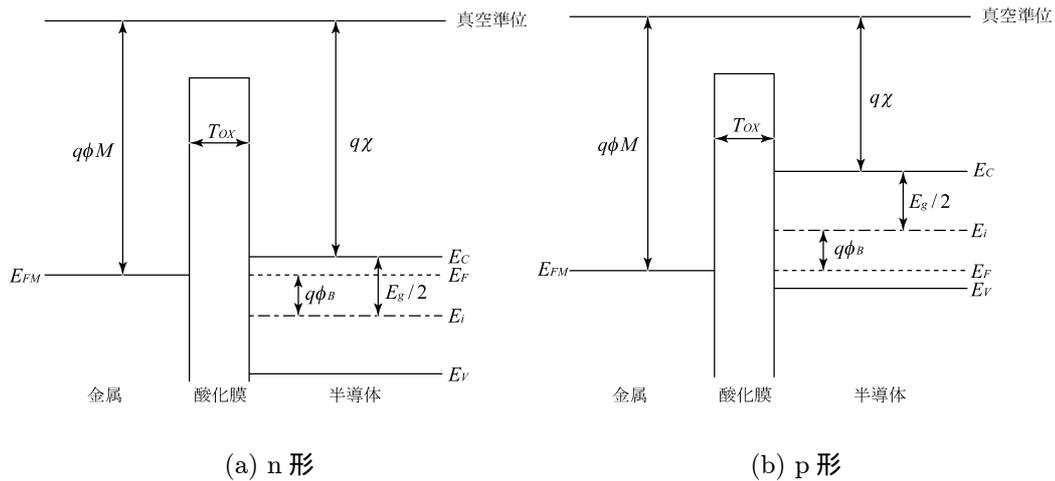


図 2.2 フラットバンド状態のバンド構造

次にゲート電圧を加えた場合を考える。まず p 形半導体について、負の電圧 ($V_G < 0$) を印加すると、図 2.3(a) のようにバンドが上方に曲がり、半導体表面付近に多数キャリアである正孔が引きつけられる。これを蓄積状態という。理想的な MOS 構造においては電流は流れないため、フェルミレベル (E_F) は変化しない。従って半導体表面付近のエネルギー差 ($E_i - E_F$) は増加し、そのキャリア濃度は次式で表される。

$$p_p = n_i \exp \left[\frac{E_i - E_F}{kT} \right] \quad (2.2)$$

ここで、 n_i は真性半導体キャリア濃度、 k はボルツマン定数、 T は絶対温度である。

次に正の電圧 ($V_G > 0$) を印加すると、図 2.3(b) のようにバンドは下方に曲がり、半導体表面付近の多数キャリア (正孔) は欠乏する。従って動きにくいアクセプタイオンからなる空乏層が生じ、この状態を空乏状態という。このときの半導体中の単位面積あたりの空間電荷 Q_{SC} は

$$Q_{SC} = -qN_AW \quad (2.3)$$

で表される。ここで N_A はアクセプタ濃度、 W は空乏層幅である。さらに印加する電圧を大きくすると、図 2.3(c) のようにバンドはさらに上方に曲がり、空乏層幅も増加する。すると半導体表面付近ではフェルミレベル E_F が価電子帯 E_V よりも伝導帯 E_C に近づく。これによって電子の濃度が急激に大きくなり、半導体表面の極薄い部分があたかも n 形半導体のような状況になる。この部分を反転層と呼び、この状態を反転状態という。このときの電子の濃度は次式で与えられる。

$$n_p = n_i \exp \left[\frac{E_f - E_i}{kT} \right] \quad (2.4)$$

反転層が形成されると空乏層幅はそこで最大となり、それ以上のゲート電圧を加えても増えることはない。これは、いったん反転層が形成されるまでバンドが曲げられると、それ以上バンドの湾曲が増えなくても、すなわち空乏層幅が増えなくても反転層中の電荷 Q_n は大きく増加するからである。このような強い反転状態における半導体中の単位面積あたりの電荷は

$$Q_S = Q_n + Q_{SC} = Q_n + (-qN_A W_{max}) \quad (2.5)$$

で与えられる。ここで、 W_{max} は最大空乏層幅である。

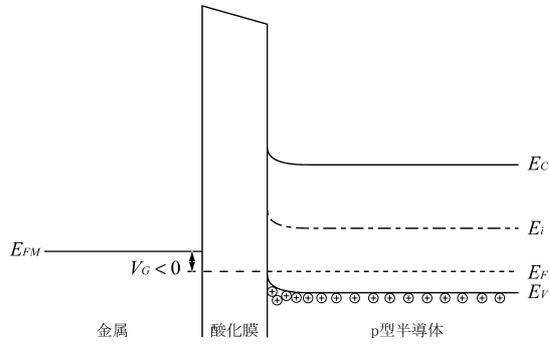
n 形半導体については、p 形半導体の場合と印加する電圧が逆になる。n 形半導体におけるそれぞれの状態のバンド構造を図 2.4 に示す。また、(2.2) 式から (2.5) 式は次のように書き換えられる。

$$p_n = n_i \exp \left[\frac{E_F - E_i}{kT} \right] \quad (2.6)$$

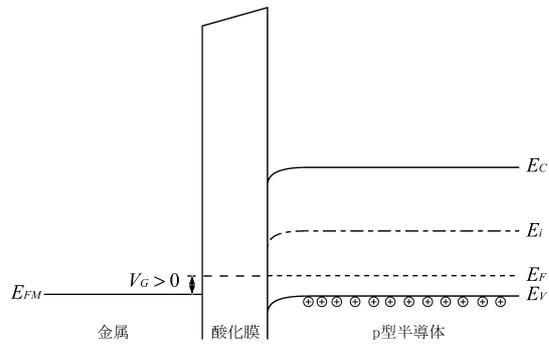
$$Q_{SC} = -qN_D W \quad (2.7)$$

$$n_n = n_i \exp \left[\frac{E_i - E_f}{kT} \right] \quad (2.8)$$

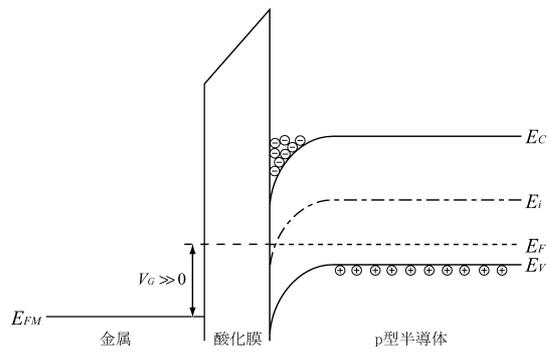
$$Q_S = Q_n + (-qN_D W) = Q_n + Q_{SC} \quad (2.9)$$



(a) 蓄積状態

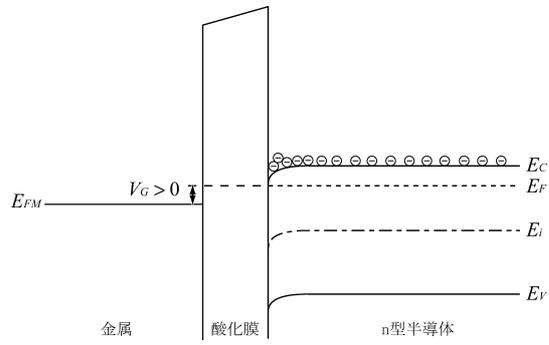


(b) 空乏状態

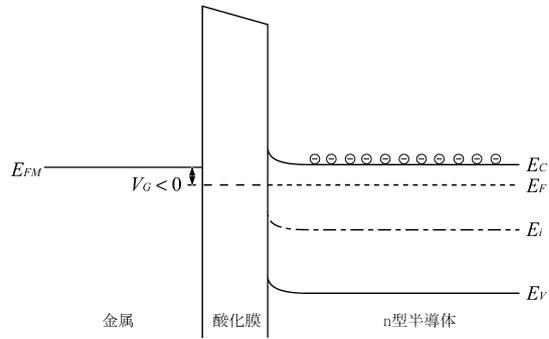


(c) 反転状態

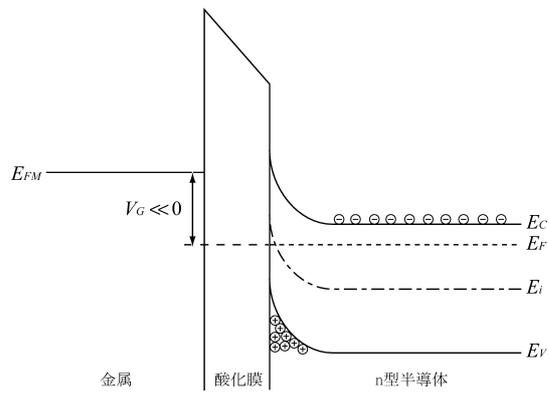
図 2.3 電圧印加時のバンド構造 (p 形)



(a) 蓄積状態



(b) 空乏状態



(c) 反転状態

図 2.4 電圧印加時のバンド構造 (n 形)

2.3 表面空乏領域の解析

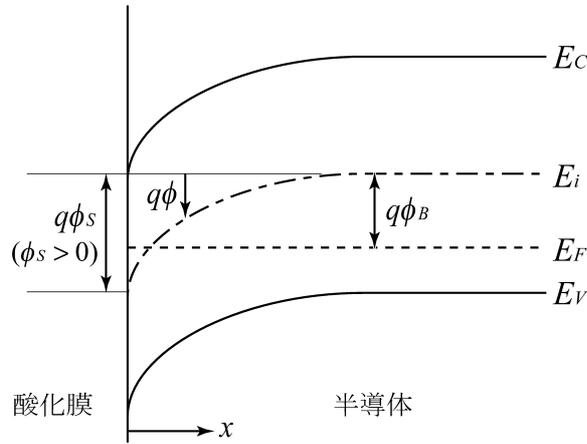


図 2.5 p 形半導体の表面付近のバンド図

図 2.5 は p 形半導体の表面付近のバンド構造を示したものである。表面付近の静電ポテンシャル ϕ はバンドの曲がりを表しており、半導体表面の E_i と十分深い半導体内部の E_i の差に対応している。半導体表面の静電ポテンシャルを特に ϕ_s として表す。 ϕ を関数として電子及び正孔の濃度を表すと

$$n_p = n_{p0} e^{\frac{q\phi}{kT}} \quad (2.10a)$$

$$p_p = P_{p0} e^{-\frac{q\phi}{kT}} \quad (2.10b)$$

となる。ここで n_{p0} 及び p_{p0} は平衡状態における半導体内部の電子及び正孔の濃度である。これより、半導体表面の電子及び正孔の濃度は次のように表される。

$$n_{pS} = n_{p0} e^{\frac{q\phi_s}{kT}} \quad (2.11a)$$

$$p_{pS} = P_{p0} e^{-\frac{q\phi_s}{kT}} \quad (2.11b)$$

また、 ϕ は半導体表面から内部へ向かう距離 x の関数として、次のポアソン方程式によって得られる。

$$\frac{d^2\phi}{dx^2} = -\frac{\rho(x)}{\epsilon_0\epsilon_S} \quad (2.12)$$

ここで ϵ_0 は真空誘電率、 ϵ_S は半導体の比誘電率である。 $\rho(x)$ は全空間電荷密度で、次式で与えられる。

$$\rho(x) = q(N_D^+ - N_A^- + n_{p0} - p_{p0}) \quad (2.13)$$

ここで、 N_D^+ 及び N_A^- はイオン化したドナー及びアクセプタの密度である。半導体表面から遠い内部では電荷は存在せず $\rho(x) = 0$ であり、バンドの曲がりもないから $\phi = 0$ である。これより次式を得る。

$$N_D^+ - N_A^- = n_{p0} - p_{p0} \quad (2.14)$$

また、(2.10) 式より、任意の値 ϕ は一般に次式で表される。

$$p_p - n_p = p_{p0} e^{-\frac{q\phi}{kT}} - n_{p0} e^{\frac{q\phi}{kT}} \quad (2.15)$$

これより、ポアソン方程式を解くと

$$\frac{\partial^2 \phi}{\partial x^2} = -\frac{q}{\varepsilon_0 \varepsilon_S} \left[p_{p0} \left(e^{-\frac{q\phi}{kT}} - 1 \right) - n_{p0} \left(e^{\frac{q\phi}{kT}} - 1 \right) \right] \quad (2.16)$$

となる。これを半導体内部から表面まで積分すると次式のようになる。

$$\begin{aligned} \int_0^{\partial\phi/\partial x} \left(\frac{\partial\phi}{\partial x} \right) d \left(\frac{\partial\phi}{\partial x} \right) = \\ -\frac{q}{\varepsilon_0 \varepsilon_S} \int_0^\phi \left[p_{p0} \left(e^{-\frac{q\phi}{kT}} - 1 \right) - n_{p0} \left(e^{\frac{q\phi}{kT}} - 1 \right) \right] d\phi \end{aligned} \quad (2.17)$$

これより、電界 $\mathbb{E} (= -d\phi/dx)$ と ϕ の関係として次式が得られる。

$$\mathbb{E}^2 = \left(\frac{2kT}{q} \right)^2 \left(\frac{q^2 p_{p0}}{2kT \varepsilon_0 \varepsilon_S} \right) \left[\left(e^{-\frac{q\phi}{kT}} + \frac{q\phi}{kT} - 1 \right) + \frac{n_{p0}}{p_{p0}} \left(e^{\frac{q\phi}{kT}} - \frac{q\phi}{kT} - 1 \right) \right] \quad (2.18)$$

ここで、式を簡単にするために次の関数を定義する

$$L_D = \sqrt{\frac{kT \varepsilon_0 \varepsilon_S}{P_{p0} q^2}} \quad (2.19)$$

$$F \left(\frac{q\phi}{kT}, \frac{n_{p0}}{p_{p0}} \right) = \left[\left(e^{-\frac{q\phi}{kT}} + \frac{q\phi}{kT} - 1 \right) + \frac{n_{p0}}{p_{p0}} \left(e^{\frac{q\phi}{kT}} - \frac{q\phi}{kT} - 1 \right) \right]^{\frac{1}{2}} \geq 0 \quad (2.20)$$

ここで、 L_D は正孔のデバイ長と呼ばれるものである。これを用いて電界を記述すると

$$\mathbb{E} = \frac{\varepsilon\phi}{\varepsilon x} = \pm \frac{\sqrt{2}kT}{qL_D} F \left(\frac{q\phi}{kT}, \frac{n_{p0}}{p_{p0}} \right) \quad (2.21)$$

となる。そして、半導体表面の電界 \mathbb{E}_S は

$$\mathbb{E}_S = \pm \frac{\sqrt{2}kT}{qL_D} F \left(\frac{q\phi_S}{kT}, \frac{n_{p0}}{p_{p0}} \right) \quad (2.22)$$

となる。同じく半導体表面の単位面積あたりの電荷 Q_S はガウスの法則より

$$Q_S = -\varepsilon_0\varepsilon_S\mathbb{E}_S = \mp \frac{\sqrt{2}\varepsilon_0\varepsilon_S kT}{qL_D} F\left(\frac{q\phi_S}{kT}, \frac{n_{p0}}{p_{p0}}\right) \quad (2.23)$$

となる。

以上より、 $\phi_S < 0$ の場合、つまりバンドが上に曲がる蓄積状態においては Q_S は正電荷を示し、 $\exp(q|\phi_S|/2kT)$ によって支配される。 $\phi_S = 0$ ではフラットバンド状態であり、 Q_S は 0 である。 $\phi_B > \phi_S > 0$ では Q_S は負電荷を示し、 $\sqrt{\phi_S}$ によって支配される。次に $\phi_S \gg \phi_B$ では、 Q_S は $-\exp(q\phi_S/2kT)$ によって支配される。

また、強い反転状態が発生し始める ϕ_S はほぼ $2\phi_B$ である。 ϕ_B は

$$\phi_B = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right) \quad (2.24)$$

で表される。

以上をまとめると、半導体の空乏層による静電容量 C_S は次式で与えられる。

$$C_S = \frac{\partial Q_S}{\partial \phi_S} = \frac{\varepsilon_0\varepsilon_S}{\sqrt{2}L_D} \frac{[1 - e^{-\frac{q\phi_S}{kT}} + (n_{p0}/p_{p0})(e^{\frac{q\phi_S}{kT}} - 1)]}{F(\frac{q\phi_S}{kT}, \frac{n_{p0}}{p_{p0}})} F/cm^2 \quad (2.25)$$

また、この式は kT 単位でのバンドの曲がり Y によって次式で表すことができ、実際の計算ではこれを利用している。

$$C_S = \frac{\partial Q_S}{\partial \phi_S} = \frac{dQ_S}{dY} / \frac{d\phi_S}{dY} \quad (2.26)$$

以上の式を用いた理論 C-V 特性計算プログラムを付録に添付した。

2.4 C-V特性

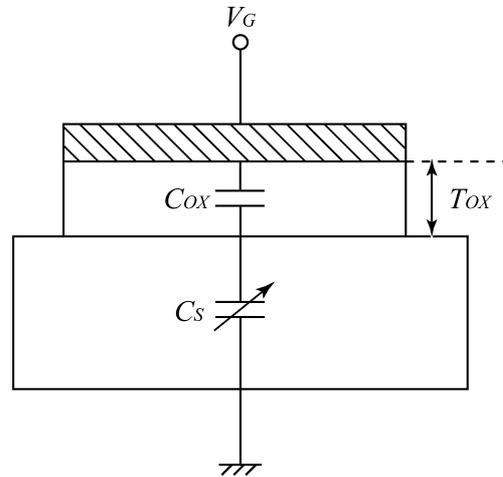


図 2.6 静電容量の構成

MOS 構造のキャパシタンスは図 2.6 に示すように酸化膜によるものと半導体中の空乏層によるものとに分けられる。従ってゲートに電圧を印加すると、酸化膜にかかる電圧 V_{OX} と半導体にかかる電圧 ϕ_S に分けられる。

$$V_G = V_{OX} + \phi_S \quad (2.27)$$

$$V_{OX} = \frac{|Q_S|T_{OX}}{\epsilon_0\epsilon_{OX}} \quad (2.28)$$

ここで、 ϵ_{OX} は酸化膜の比誘電率、 T_{OX} は酸化膜厚である。また、MOS 構造の合成静電容量 C は酸化膜の静電容量 C_{OX} と半導体の静電容量 C_S の直列接続であるから次式で表される。

$$C = \frac{C_{OX}C_S}{C_{OX} + C_S} \quad (2.29)$$

C_{OX} は酸化膜厚によって決まる固定の容量であり、 C_S は電圧によって変化する容量 (2.25 式) である。従って、 $C_S = 0$ のとき C は最大となり、それは C_{OX} のみによって決まる。また、 C の最小値は空乏層が最大になったときであるから、これは表面が強度に反転する点と等しい。従って (2.24 式) を用いて最大空乏層幅 W_{MAX} を表すと次のようになる。

$$W_{MAX} = \sqrt{\frac{4\epsilon_0\epsilon_S kT \ln(N_A/n_i)}{q^2 N_A}} \quad (2.30)$$

2.5 測定周波数による C-V 特性の変化

これまでの計算では、ゲート電圧の変化に対して生じる電荷は空乏層の端に現れるものと仮定した。しかし、測定周波数が低い場合 (概ね 100Hz 以下)、この仮定は成立しない。

印加電圧が増加するに従って半導体内に多くの負電荷が発生する。これに伴って正孔が半導体内部に押しやられ、空乏層幅は増加する。ところが、電子・正孔対が測定周波数に対して十分速く発生しうるならば、遠ざけられた正孔を補完するように再び正孔が現れ、空乏層は増加しない。そして、反転層には過剰な電子が現れ、半導体表面には更に多くの負電荷が発生する。この結果、容量は酸化膜によるもののみとなる。

図 2.7 に周波数による C-V 特性の違いを示す。(a) の曲線は容量測定周波数に担体の増減が追従できる場合、即ち周波数が低い場合、及びゲートコントロールダイオードで $n^+(p^+)$ から電子 (正孔) を注入した場合、(b) の曲線はバイアス電圧には追従できるが、容量測定周波数には追従できない場合、(c) の曲線は担体の発生が非常に少ない場合、もしくはパルス的なバイアス電圧を急速に印加した場合である。

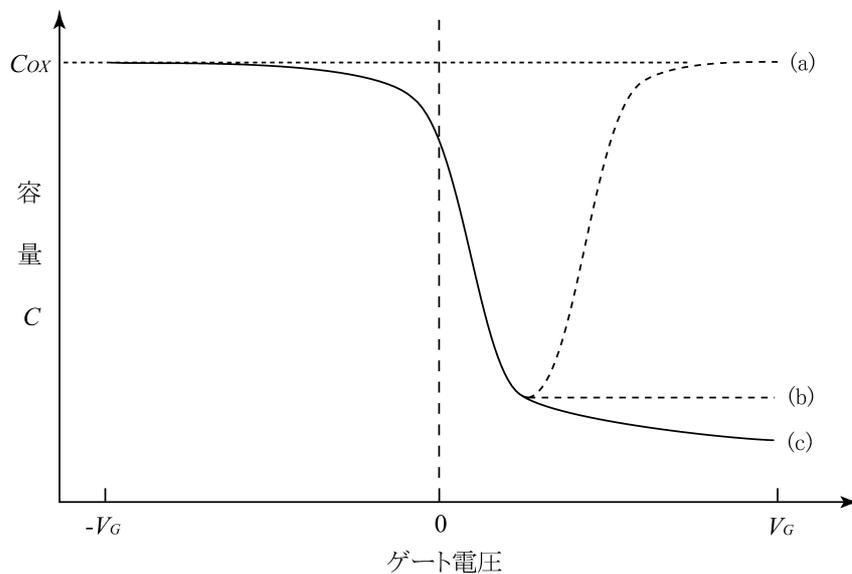


図 2.7 測定周波数による C-V 特性の相違

2.6 仕事関数差

これまで述べてきた理論は理想的な MOS 構造の場合についてであり、 $V_G = 0$ でフラットバンド状態になると仮定していた。しかし、一般的には電圧を印加しない場合でもフラットバンド状態にはならない。これは金属と半導体の仕事関数差、酸化膜中の固定電荷、界面準位等の影響等によるものである。このうち、酸化膜中の固定電荷、界面準位についてはプロセス技術の向上によりほとんど影響のないレベルに抑えられている。しかし、仕事関数の差は材料によって変化する大きな因子である。仕事関数差 V_0 は

$$\text{n 形} \quad V_0 = \phi_M - \left(\chi + \frac{E_g}{2} - \phi_B \right) \quad (2.31a)$$

$$\text{p 形} \quad V_0 = \phi_M - \left(\chi + \frac{E_g}{2} + \phi_B \right) \quad (2.31b)$$

で表され、フラットバンド電圧と呼ばれる。この V_0 だけシフトさせれば理想 MOS 構造と同様に取り扱うことができる。

2.7 担体発生量評価法

2.7.1 Zebst 法

Zebst 法は空乏層における担体発生量を求める一般的な方法である。Zebst 法における C-V 特性の概念図を図 2.8 に示す。前述したように、MOS 構造に電圧を印加するとそれによって空乏層が拡がり、容量が減少する。容量がもっとも小さくなった所 (a 点) で印加電圧を保持しておく、担体の発生に伴って徐々に空乏層幅が縮まり、容量は増加する (b 点)。これにより C-t (容量の過渡応答) 曲線を得ることができる。この C-t 曲線を縦軸が $\frac{d}{dt}(C_{OX}/C)$ 、横軸が $C_F/C - 1$ となるように処理して得られた曲線を Zebst 曲線と呼ぶ。この曲線の傾きや Y 切片から、計算によって少数担体の発生ライフタイム、少数担体の発生速度を求めることができる。

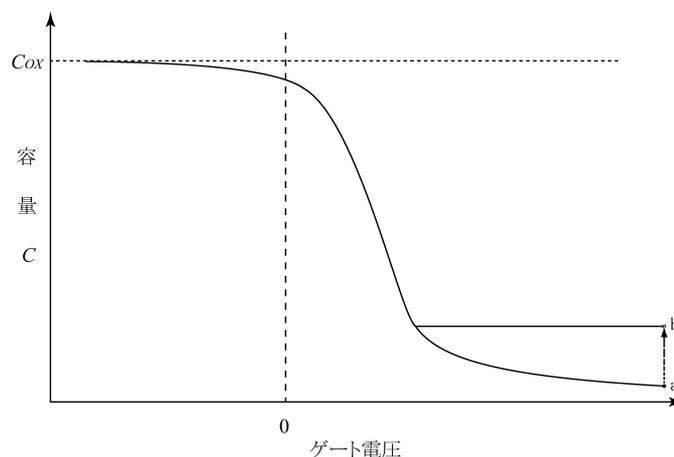


図 2.8 Zebst 法における C-V 特性の概念図

2.7.2 パルススキヤニング C-V 法

パルススキヤニング C-V 法は、図 2.7 の (b) と (c) の曲線の関係から、発生した少数キャリアの数を求める方法である。図 2.9 はパルススキヤニング C-V 法による C-V 特性の概念図である。急速にゲート電圧を印加すると、少数キャリアの発生が追従しないことから、C-V 曲線は a 点から b 点を経て c 点に到達する。c 点で T_{HOLD} 時間ゲート電圧を印加し、急にゲート電圧をゼロに戻すと、今度は c 点から d 点を経て b, a 点の曲線に沿って推移する。また、abde の曲線

は少数キャリアがバイアス電圧に追従する場合の C-V 曲線である。これより、電圧を 0 に戻したとき cdba に沿って推移すれば、d 点における熱平衡状態の少数キャリアの数と、 G_V を T_{HOLD} 時間印加した場合に発生する少数キャリアの数が等しいとすることができる。故に、d 点の電圧から発生する少数キャリアの数を測定できる。また、 ΔV と少数キャリアの数 n との間には

$$q \times n = C_{OX} \times \Delta V \quad (2.32)$$

の関係がある。ここで、 q は単位電荷である。

パルススキニング C-V 法は、静電容量の変化が見られない状態でも ΔV が現れる。これは、Zelbst 法より感度が高いことを示している。Zelbst 法は、静電容量から担体発生量を求めるため、浮遊容量の影響を受けるが、パルススキニング C-V 法は ΔV だけで測定するので、その影響を受けない。容量測定用 TEG について詳しくは後述するが、この TEG の設計でボンディングパッドの容量は無視できないことが分かった。

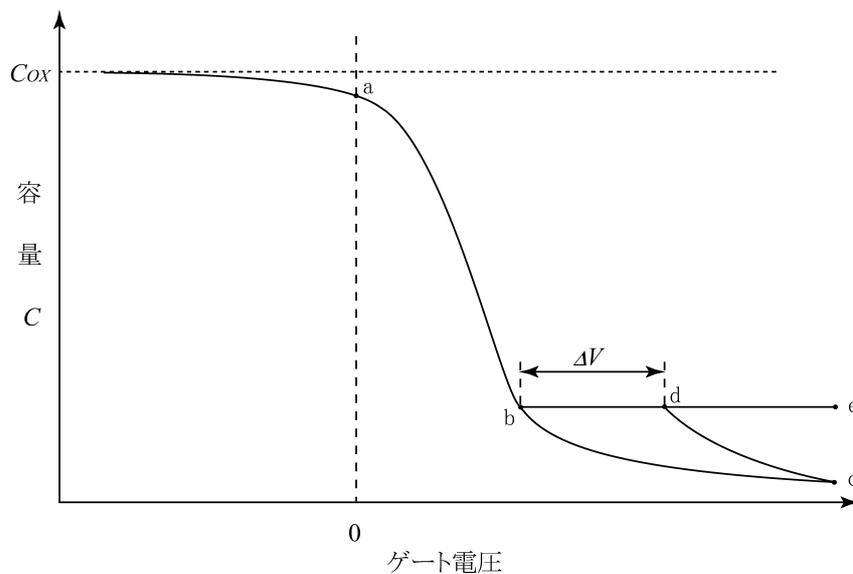


図 2.9 パルススキニング C-V 法における C-V 特性の概念図

第3章

測定システム

3.1 構成

図 3.1 に測定システムの概略図を示す。

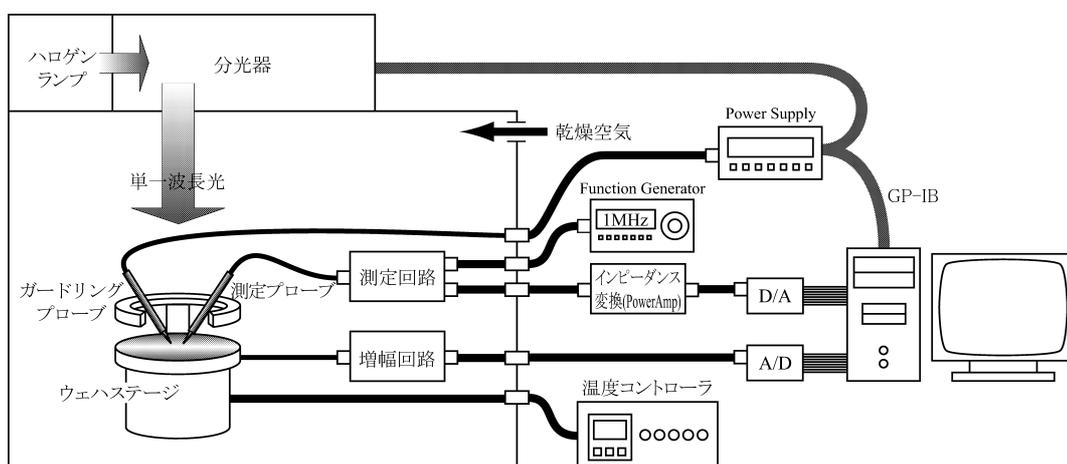


図 3.1 測定システム概略図

コンピュータ

後述の A/D, D/A 変換ボードを搭載したコンピュータ (Pentium® 1GHz) によって測定を行う。また、GP-IB 接続によって照射光の波長設定 (分光器の制御) 及びガードリング電圧の設定も行う。

A/D, D/A 変換ボード

使用した A/D, D/A 変換ボードは、それぞれ Interface 社の PCI-3163、PCI-3305 で、基本的な仕様を表 3.1 に示す。これらは PCI バスによってコンピュー

タと接続されている。D/A はゲート電圧印加のための波形パルスを作成し、A/D は測定回路から出力される電圧を取得する。サンプリング周波数は動作の遅い D/A に合わせ、最高 5MHz となるが、実験では余裕を持たせて 1MHz でのサンプリングを基本とした。D/A と A/D のサンプリング動作は A/D ボードに内蔵された発信器の信号を D/A に送り、同一のパルス信号によって行う。これによりそれぞれのデータの相関性を得ているが、動作のタイミングは D/A がパルスの立ち上がり、A/D が立ち下がりに設定した。これは、D/A の出力が十分安定した後に A/D のサンプリングを行うためである。また、後述の電流アンプなどによる時間遅れを補正するために、サンプリング開始のタイミングを制御している。

表 3.1 A/D,D/A 変換ボード基本仕様

型番	PCI-3163	PCI-3305
分解能	12bit	12bit
サンプリング周波数	最高 10MHz	最高 5MHz
入出力仕様	インピーダンス 10M Ω	インピーダンス 1 Ω 以下 負荷抵抗 2k Ω 以上 負荷容量 500pF 以下
レンジ	-5 ~ +5V 可変	-10.24 ~ +10.24V 可変
相対制度	最大 ± 3 LSB	最大 ± 3 LSB
誤差	最大 $\pm 0.5\%$	最大 $\pm 0.5\%$

インピーダンス変換

D/A 変換ボードの出力インピーダンスは比較的高いため、そのまま測定回路に入力することは出来ない。そこで、パワーアンプ (HewlettPackard:6827A) を用いてインピーダンス変換を行った。電流増幅のみを目的としているため、電圧の増幅率は 1 倍に設定した。

正弦波発信器

静電容量を測定するための正弦波形を得るため、ファンクションジェネレータ (AgilentTechnology:) を用いた。周波数は 1MHz である。出力電圧は $1.00[V_{p-p}]$ であるが、後述の測定回路で分圧しているため、素子に印加される電圧は kT (27mV:300K) 程度の電圧、約 $20[mV_{p-p}]$ を用いた。

分光器

光による担体発生に関する測定を行うため、反射型回折格子分光器(日本分光:CT-50)を用いて単色光の取り出しを行った。光源はハロゲンランプを使用し、電源の電流制限によって光量の調節を行った。ウェハステージ上における、各エネルギーにおける光パワーを真空熱電対を用いて測定した。熱電対は、原理的に検知感度が光の波長によらず、フラットな波長感度特性を有している。この真空熱電対からの出力電圧をDMMで測定し、仕様に基づいて電力に換算した。この結果を図3.2に示す。

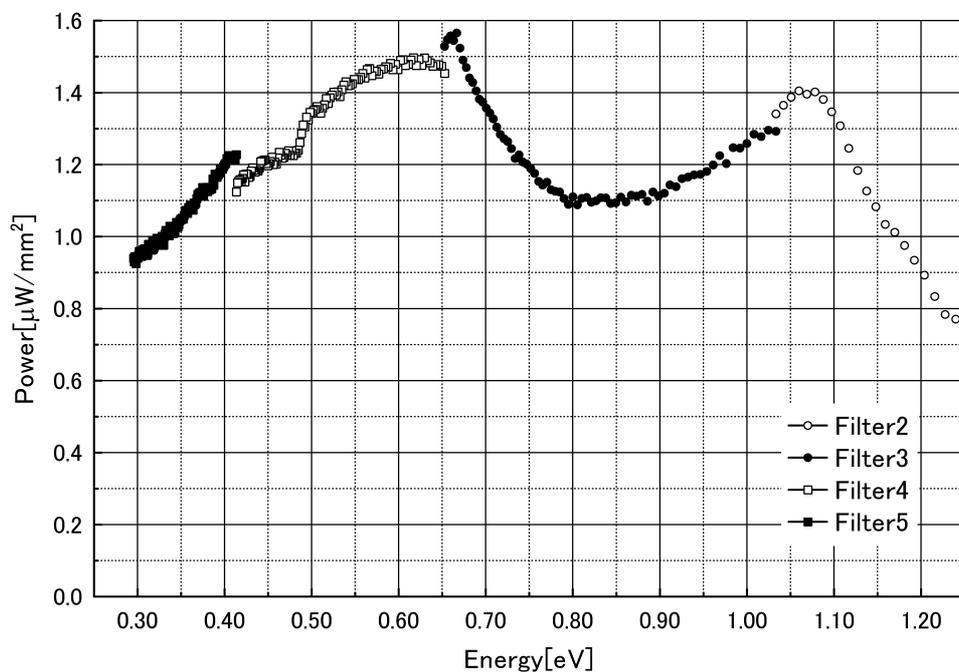


図 3.2 各エネルギーにおける光パワー

ウェーハプローバ

ウェーハ状態の試料を測定するために用いた。試料は真空ポンプによってステージ上に固定され、測定素子との接触はタングステン針を用いた。ステージはペルチェ素子と冷却水によって加熱及び冷却することが可能である。温度範囲は約 50 ~ -50 である。

乾燥空気

ウェーハステージの冷却を行った場合、空気中の水分が氷結し測定に影響を与える。これを防ぐため、シールドボックス内に乾燥空気を導入した。正確な露点は不明であるが、 -50 においても全く結露しなかった。

3.2 測定回路・増幅回路

図 3.3 にパルススキニング C-V 法の基本的な回路を示す。ここで、 R_L は容量を測定するための負荷抵抗で、これを変更することによって様々な大きさの容量に対応することができる。

原理的にはこの基本回路で測定することが可能であるが、現実には次のような問題がある。

- 出力電圧 v_{out} が非常に小さいため増幅しなければ A/D によるサンプリングができない
- C_C 及び C への充放電電流のために波形が歪む
- インピーダンス不整合によりリングングが発生する

これらの問題を解決するために改良を施した回路を図 3.4 に示す。また、図中のアンプ、ローカットフィルタ (LCF) の部分の回路を図 3.5 に示す。

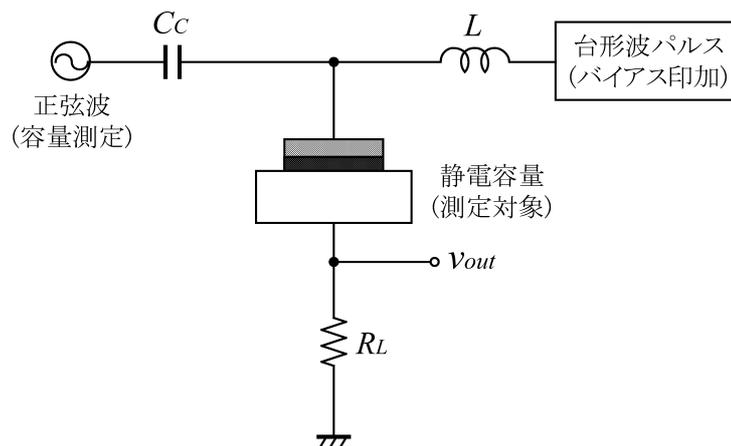


図 3.3 パルススキニング C-V 基本回路

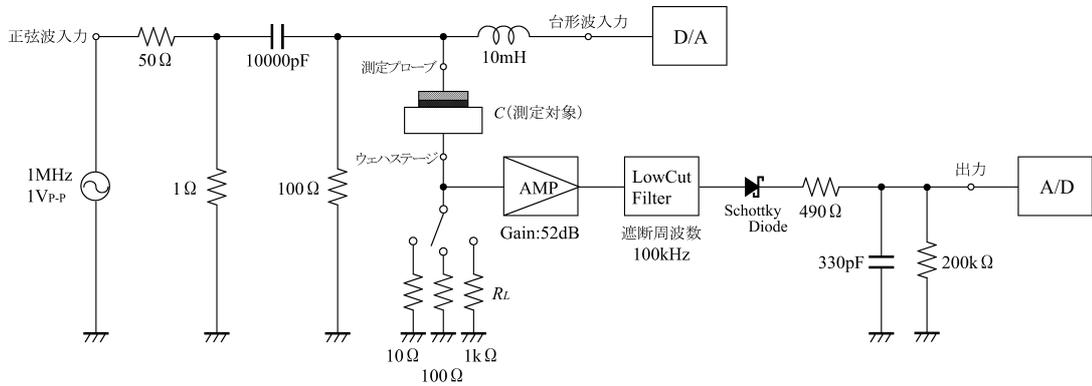


図 3.4 測定回路図

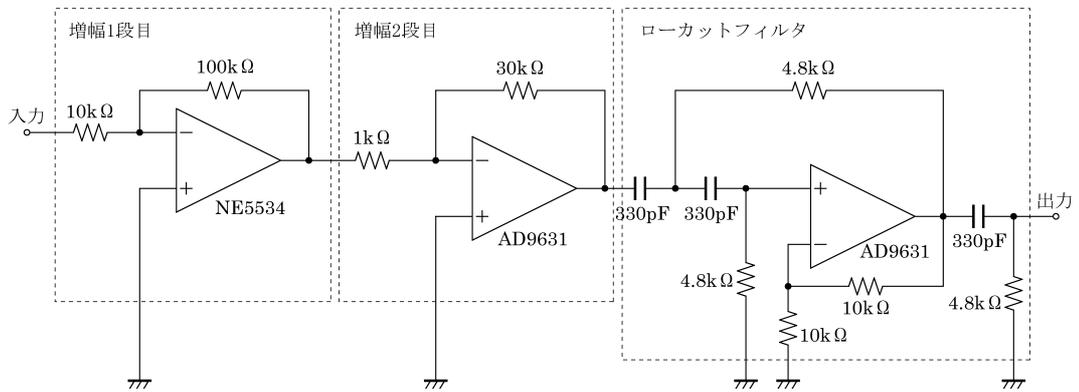


図 3.5 アンプ、LCF 回路図

3.3 ソフトウェア

測定に関する重要な部分は、すべてコンピュータによって制御しなければならないため、ソフトウェアが必要となる。また、本研究に特化した制御、データ処理等を行うためにも重要な役割を果たす。

開発は VisualBasic6.0 を用いて行った。サンプリングの各種設定、ガードリング電圧の設定、光波長の設定、特異値を考慮したノイズ低減処理、 ΔV の自動測定などを行うことが可能である。

3.4 システム試験

あらゆる測定装置において、そのシステムで正確な測定が行えるかは大変重要な事項である。今回構築したシステムでもこれを確かめなければならない。そこで、様々な容量のコンデンサの測定を行い、出力電圧との関係を確認した。

測定サンプルは、25pF 以上では固定容量のコンデンサ、それ以下ではバリキャップダイオードもしくは通常のダイオードを使用した。サンプルの真値は容量計 (YokogawaHewlettPackard:4275A) にて測定したものである。

$R_L = 10\Omega$ の場合の結果を図 3.6 に示す。300pF 以下の容量では直線から外れているが、それ以上では良好な結果が得られている。これより、 $R_L = 10\Omega$ では、300pF ~ 2000pF の測定が可能である。

$R_L = 100\Omega$ の場合の結果を図 3.7 に示す。すべての測定点でリニアな特性が得られており、300pF ~ 500pF の測定が可能であることが確かめられた。

$R_L = 1k\Omega$ の場合の結果を図 3.8 に示す。この結果も、ほとんどの測定点で良好な結果が得られているが、0pF の点では若干の誤差が見られる。この点は端子を解放して測定したものであるが、測定系の浮遊容量によって生じたものであると考えられる。測定容量にもよるが、最小 0.01pF の浮遊容量であった。

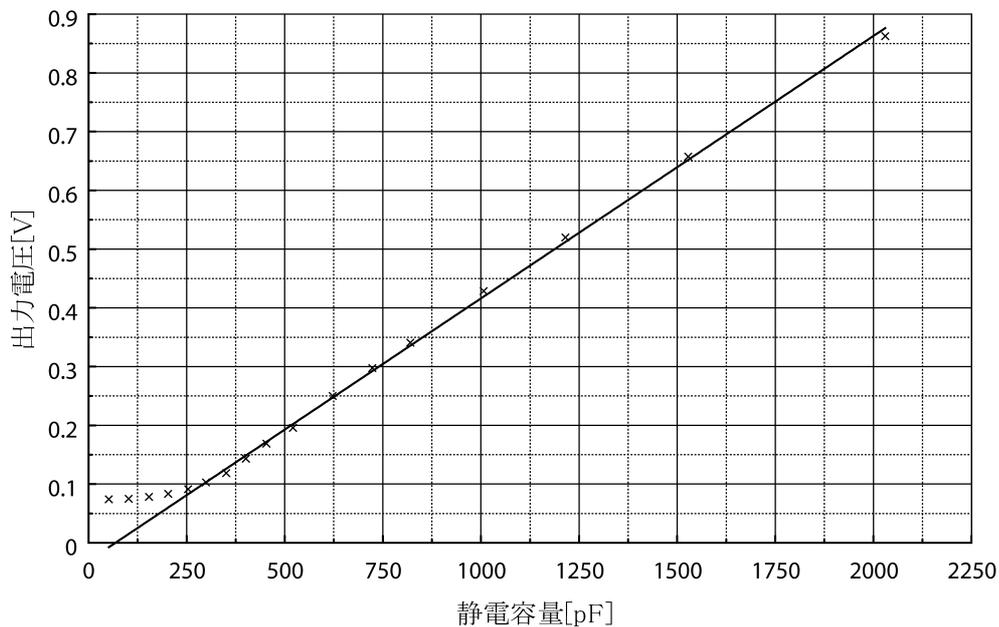


図 3.6 $R_L = 10\Omega$ の場合の静電容量と出力電圧の関係

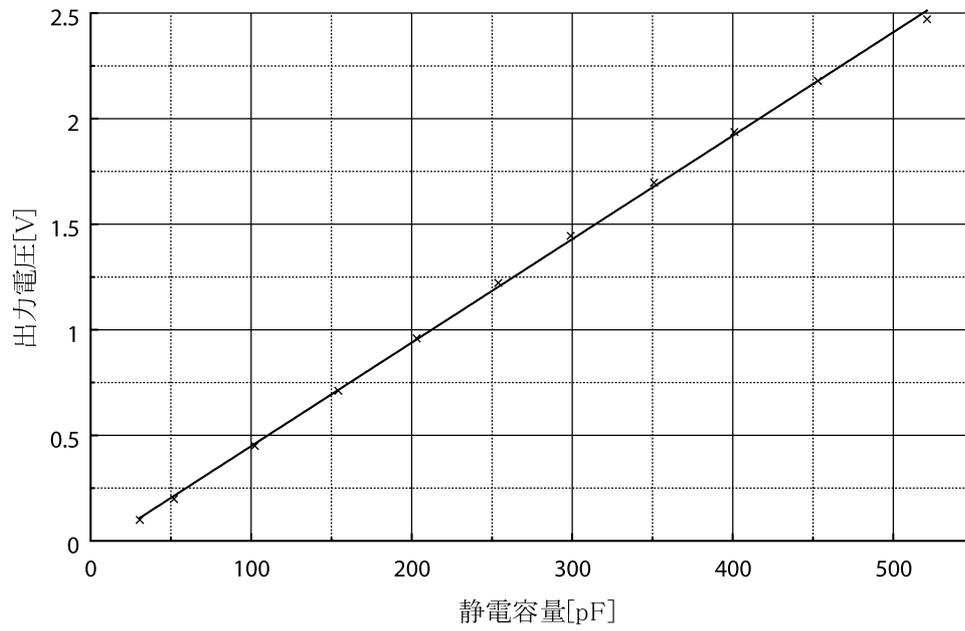


図 3.7 $R_L = 100\Omega$ の場合の静電容量と出力電圧の関係

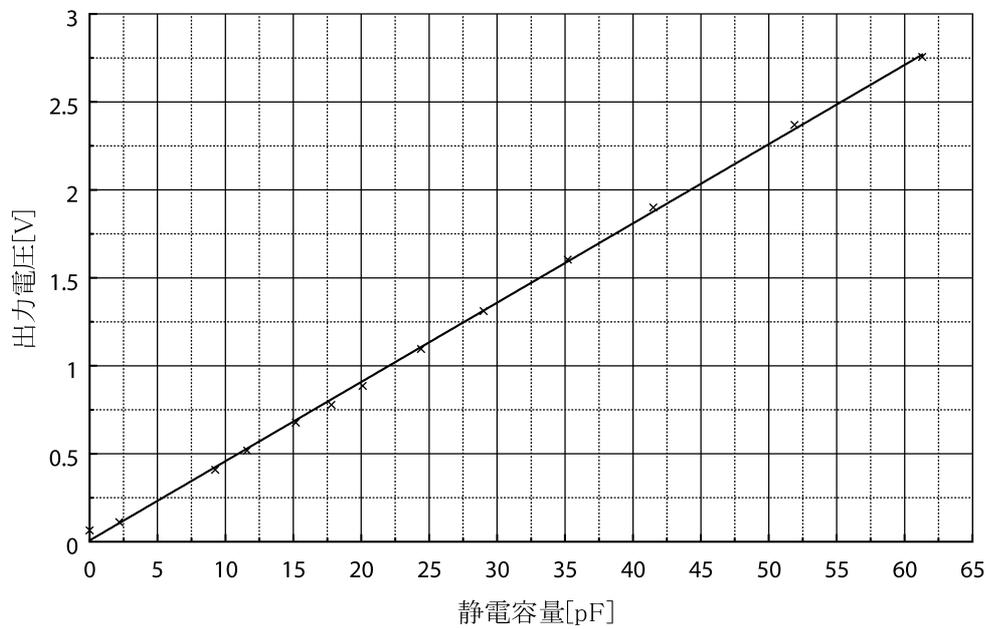


図 3.8 $R_L = 1k\Omega$ の場合の静電容量と出力電圧の関係

第4章

光担体発生量の測定

4.1 測定試料

試料は、シリコンウェハ上に形成されたMOSキャパシタを用いた。この試料はプレナープロセスで製造されたものである。現在主流であるLOCOS(選択酸化)プロセスを用いると、フィールド酸化膜端でのストレス誘起欠陥が発生し、この欠陥による担体発生が生じる。プレナープロセスによって製造されたものは、ウェハ全体を酸化して除去するという方式のため、フィールド酸化膜端でのストレス誘起欠陥は少なく、欠陥による準位を介した担体発生の影響を少なくすることができる。

表4.1に試料の各パラメータを示す。尚、この試料は三菱金属(株)のご好意により頂いたものである。

表 4.1 光担体発生量測定試料パラメータ

試料名	SPRef-1	SNRef-1	SNFe-1	SNFe-2
ゲート電極面積 [cm ²]	1.96 × 10 ⁻³			
酸化膜厚	25nm			
基板伝導形	p形	n形		
基板濃度 [cm ⁻³]	5.0 × 10 ¹⁵			
汚染物元素	なし		Fe(鉄)	
汚染物濃度 [cm ⁻³]	-		2.3 × 10 ¹¹	2.3 × 10 ¹³
製造方式	プレナープロセス			

4.2 光担体発生量測定

4.2.1 温度による光担体発生量の変化

試料 SPRef-1 において温度を 20 , 0 , -40 の 3 つの温度に保ち、シリコンのバンドギャップ付近である 0.95 ~ 1.2eV(約 1305 ~ 1033nm) に相当するエネルギーの光を照射し、各エネルギーにおける担体発生量の温度による変化を測定した。

測定の各パラメータを表 4.2 に示す。

表 4.2 温度特性測定パラメータ

測定試料	SPRef-1
開始ゲート電圧	-2.5V
保持ゲート電圧	2.5V
保持時間	200msec
ゲート電圧立上がり 立下がり時間	5msec
ガードリング電圧	-10V
光エネルギー範囲 (測定間隔)	0.95eV ~ 1.2eV (0.002eV)
測定温度	20 , 0 , -40

4.2.2 測定結果

測定結果を図 4.1 に示す。このグラフより、温度が下がるに従って全体的な担体発生量が減少し、立上がり始めるエネルギー位置は増加していることが分かる。また、20 ではグラフにはっきりとショルダーがあるが、温度が下がるに従って、それは小さくなっている。

バンドギャップ近傍での C-V あるいは I-V 測定で、室温で 2 つのピークを計測したのは我々が初めてである。短時間の測定時にのみ現れ、長時間の測定では計測できなかった。これは、熱励起による担体発生が、短時間測定ではその影響が少なくなるので、計測可能となったのである。

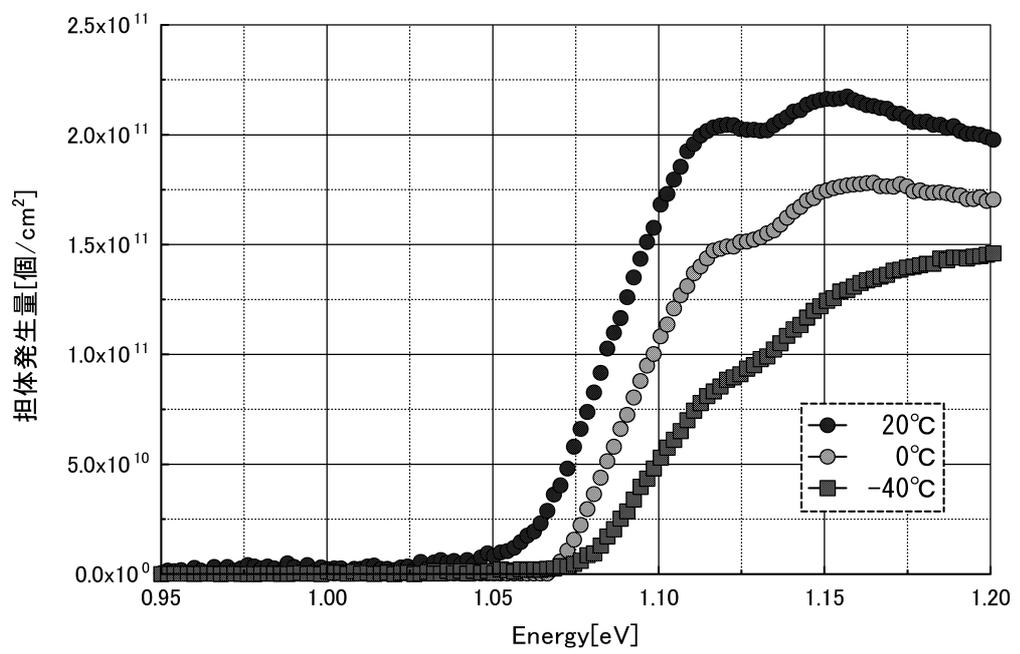


図 4.1 温度による光担体発生量の変化

4.2.3 重金属による光担体発生量への影響

微量の鉄汚染を施した試料 SNFe-1(2.3×10^{11}), SNFe-2(2.3×10^{13}) と、鉄汚染されていない試料 SNRef-1 を用いて、前項と同じくシリコンのバンドギャップ付近である 0.95 ~ 1.2eV に相当するエネルギーの光を照射し、担体の発生量を測定した。

測定のパラメータを表 4.3 に示す。

表 4.3 重金属の影響測定パラメータ

測定試料	SNRef-1	SNFe-1	SNFe-2
開始ゲート電圧	-2.5V		
保持ゲート電圧	2.5V		
保持時間	300msec		
ゲート電圧立上がり 立下がり時間	5msec		
ガードリング電圧	なし		
光エネルギー範囲 (測定間隔)	0.95eV ~ 1.2eV (0.002eV)		
測定温度	20		

4.2.4 測定結果

測定結果を図 4.2 に示す。測定結果より、汚染物質の濃度が高い SNFe-2 のサンプルがもっとも担体発生量が少なく、汚染物質を添加していない SNRef-1 が最も多いことが分かった。

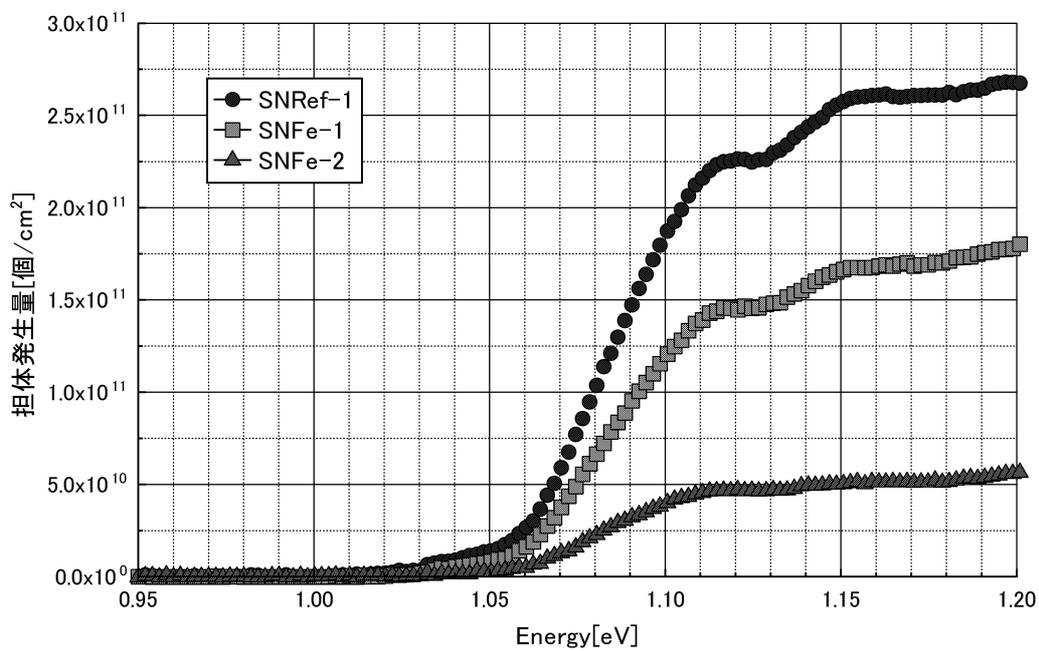


図 4.2 重金属による光担体発生への影響

第5章

光担体発生量測定考察

光を照射した場合の担体発生量を測定した2つの計測結果について考察を行う。

両方の測定結果で微細構造が見られるが、これは1つのトラップ準位からの影響と、バンドギャップからの担体発生が重なった事による。その様子を模式的に示したのが図5.1である。このようなバンド端にピークを認めたのは我々が初めてである。

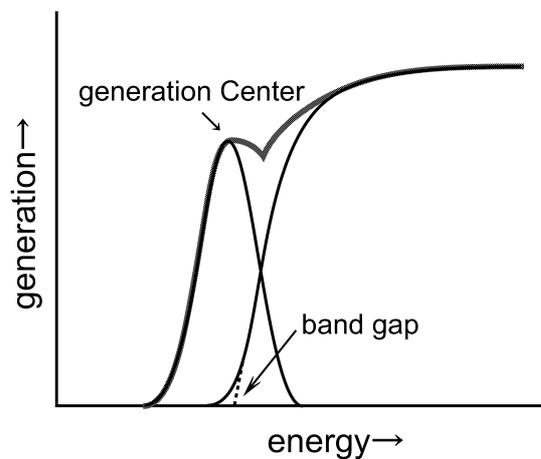


図 5.1 generation center と band gap

5.1 温度による光担体発生量の変化

5.1.1 バンドギャップ以上での発生量減少

温度が低下すると、バンドギャップより高エネルギーの光を照射したときの担体発生量が減少している。これは、エネルギーギャップに相当する担体発生

は間接遷移であるので、フォノンとフォトンを共に必要とする。温度が低下すると、フォノンが少なくなり、結果的に担体発生が少なくなるものと考えられる。

5.1.2 ピーク量の減少

バンドギャップ端のピークが減少するのは、これに対応するジェネレーションセンターが非常に浅いトラップであり、このことは運動量 $p = 0$ に近い所に存在するトラップからの発生であると推定できる。従って、担体発生にはフォノンを必要とするので、バンドギャップ以上での減少と同様な機構であると考えて良い。

5.1.3 ピーク位置

ジェネレーションセンターのピーク位置は温度を変化させても変わらなかった。これは、特定の位置に存在する未確認センターが存在していることを意味すると思われる。

5.1.4 立上がりのシフト

バンド端に起因する担体発生の立上がりエネルギーが高エネルギー側にシフトしている。これは、エネルギーギャップ E_g が、温度 $T[\text{K}]$ の式として

$$E_g = 1.21 - 4.2 \times 10^{-4}T \quad (5.1)$$

で与えられ、低温になると共にエネルギーギャップが広がるためであることと、浅いトラップ準位からの担体発生量が低下することの2つが考えられる。立上がり点における担体発生量の比と、ピーク点における比を比較すると、浅いトラップ準位からの担体発生量が低下したと考えることができる。

ショルダーの立上がりについては、温度が低下すると格子振動の影響が少なくなり、光の吸収がシャープになる。このことを反映しているものと考えられる。

5.2 重金属による光担体発生量への影響

5.2.1 ショルダー部の考察

図 4.1 を正規化したグラフを図 5.2 に示す。この図より、ショルダーを与えるトラップは、鉄に関係しないトラップによるものであることを確認した。このトラップの発生原因については、今後検討を続ける必要がある。

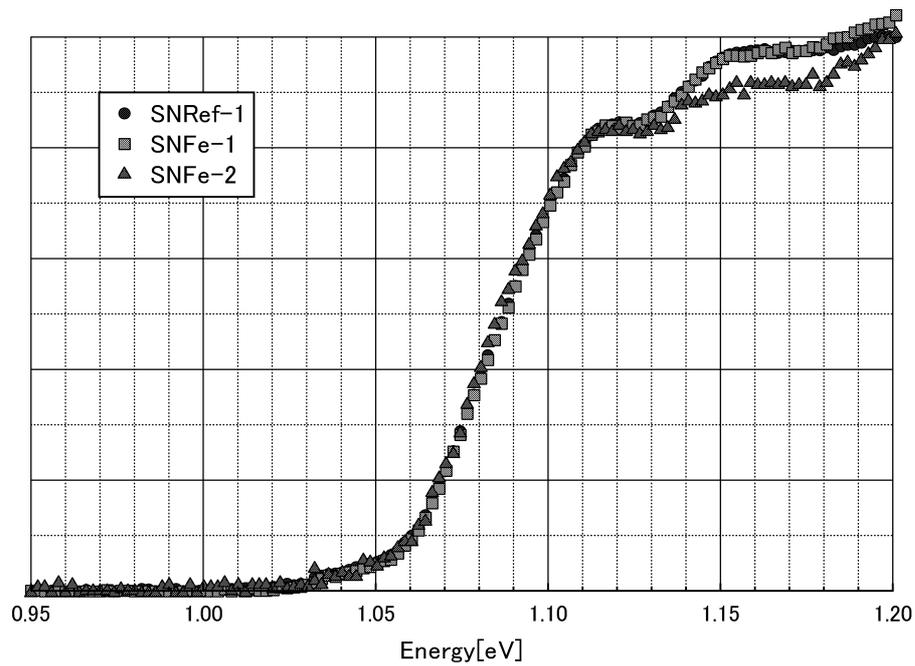


図 5.2 図 4.2 の正規化

5.2.2 鉄のトラップ測定

$2.3 \times 10^{13} [\text{cm}^{-3}]$ の鉄汚染を施した試料 (SNFe-2) と、鉄を添加していない試料 (SNRef-1) について、深い準位からの担体発生を評価した。この結果を図 5.3 に示す。

室温ではほとんど差は見られなかったが、 -50 の低温測定では雑音が大きいのものの、鉄の準位である $0.4\text{eV}, 0.55\text{eV}, 0.62\text{eV}$ 近傍で、わずかであるがピークを見ることが可能なことを確認した。

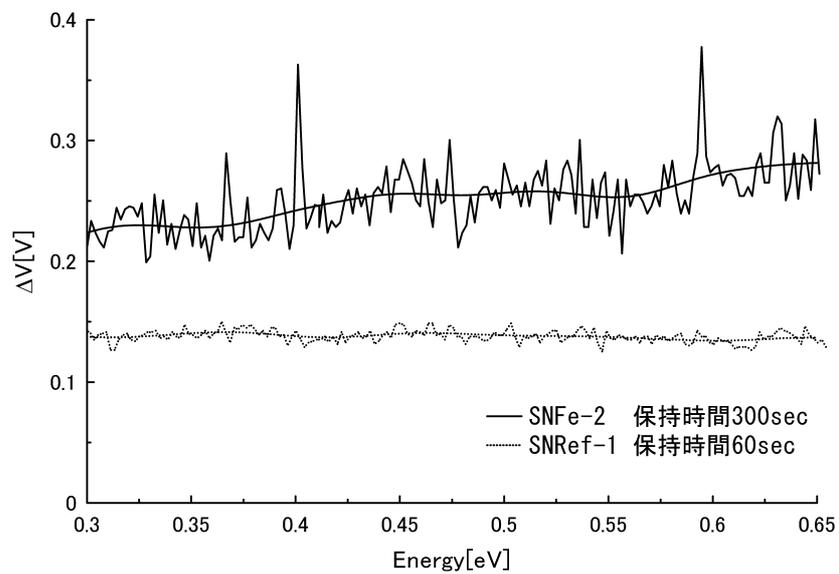


図 5.3 深いトラップ準位の測定

第6章

担体発生量測定

6.1 測定試料

6.1.1 VDEC による TEG の作成

担体発生量について、高速パルススキニング C-V 法による測定と微小電流計による測定を比較するため、VDEC(VLSI Design and Education Center) による TEG(Test Elements Group) の作成を行った。¹

MOS キャパシタ部分を大きくし、 n^+ 領域を小さくしたゲートコントロールダイオードを設計した(図 6.1)。ゲートに蓄積方向(ゲート下は $p \rightarrow p^+$ 方向)に電圧を印加すると、pn 接合のリーク電流を測定することになる。

これに対して、MOS キャパシタの空乏層を形成する方向に電圧を印加すると、空乏層で発生した担体が n^+ に流れ、リーク電流の増加として測定できる。リーク電流は、現状では 2×10^{-15} [A] 程度が最高感度である。パルススキニング C-V 法が、この電流以下の測定が可能となることを確認するためのゲートコントロールダイオードと MOS キャパシタを設計した。

各種のパターン面積の素子を作成したのは、面積と容量の関係から浮遊容量を正確に求めること及び、これを基に電流測定より高感度の測定が可能なることを検証するためである。

表 6.1 に今回制作した素子の一覧、図 6.2 と図 6.3 にチップの写真を示す。また、TEG レイアウト図を付録に添付する。

¹本チップ試作は東京大学大規模集積システム設計教育研究センターを通し ローム(株) および凸版印刷(株)の協力で行われたものである。

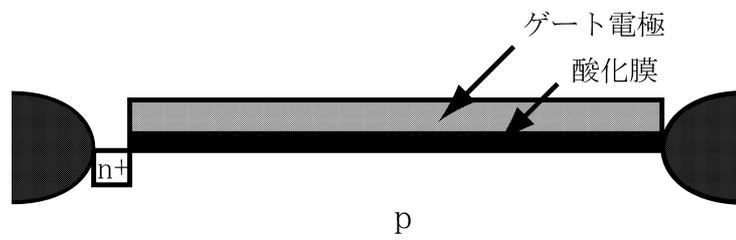


図 6.1 ゲートコントロールダイオード

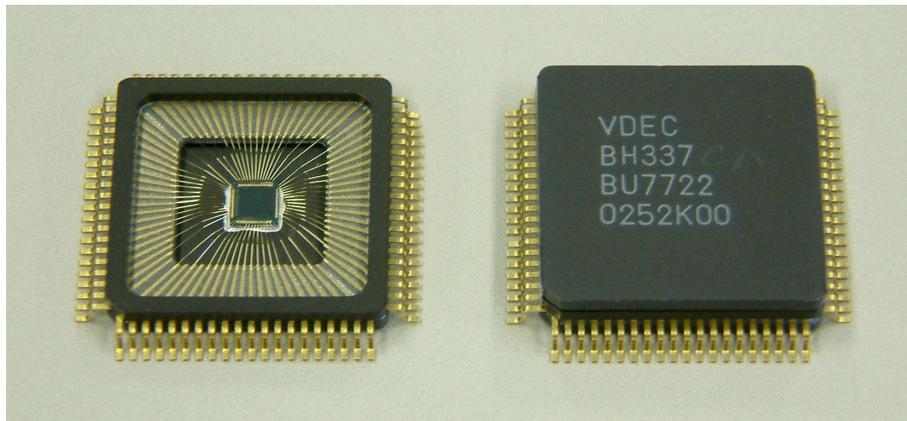


図 6.2 チップ写真

表 6.1 素子一覧

種類	面積	Well 種
MOS キャパシタ	$2 \times 2\mu m^2$	p 形, n 形
	$5 \times 5\mu m^2$	
	$10 \times 10\mu m^2$	
	$20 \times 20\mu m^2$	
	$40 \times 40\mu m^2$	
	$100 \times 100\mu m^2$	p 形
	$200 \times 200\mu m^2$	
	$50 \times 200\mu m^2$	n 形
	$4 \times (50 \times 200\mu m^2)$	
GCD(Gate Controled Diode)	$2 \times 2\mu m^2$	p 形, n 形
	$5 \times 5\mu m^2$	
	$10 \times 10\mu m^2$	
	$20 \times 20\mu m^2$	
	$40 \times 40\mu m^2$	
	$100 \times 100\mu m^2$	p 形
	$200 \times 200\mu m^2$	
	$50 \times 200\mu m^2$	n 形
	$4 \times (50 \times 200\mu m^2)$	

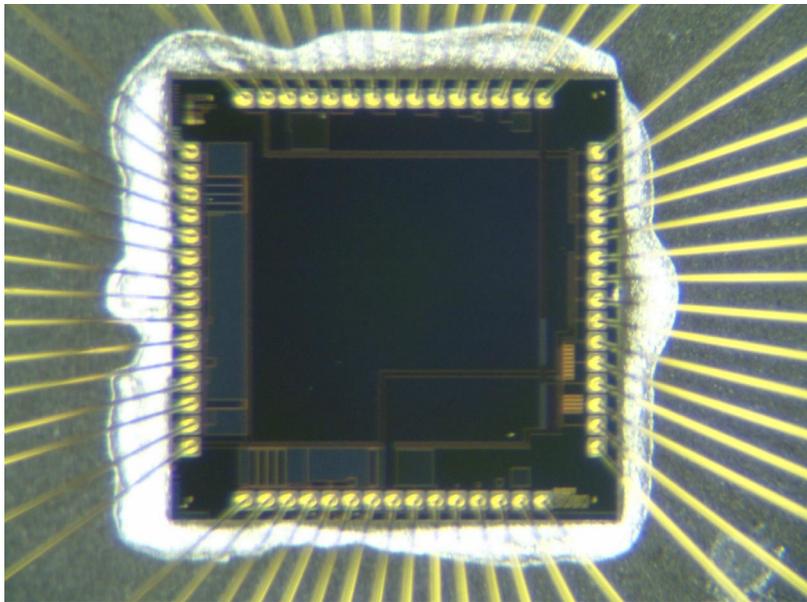


図 6.3 チップ拡大写真

6.2 担体発生量測定

6.2.1 担体発生量と pn 接合リーク電流

ゲート面積 $200 \times 200 \mu\text{m}^2$ 、pn 接合面積 $5 \times 2 \mu\text{m}^2$ のゲートコントロールドダイオードを用いて測定した。ここで、pn 接合の面積はゲート面積と比較して極めて小さく設計したのは、LOCOS 端の結晶欠陥による pn 接合リーク電流の増加をできるだけ抑えるためである。

ゲート電圧 V_G と基板電圧 V_S をパラメータとしてゲートコントロールドダイオードの pn 接合リーク電流を測定できるシステムを開発し、測定を行った。電流計の接続にはトリアキシャルケーブルを用い、テフロンで絶縁することによりシステムのリークを極めて低くした。図 6.4 にシステム図を、図 6.5 に接続図を示す。

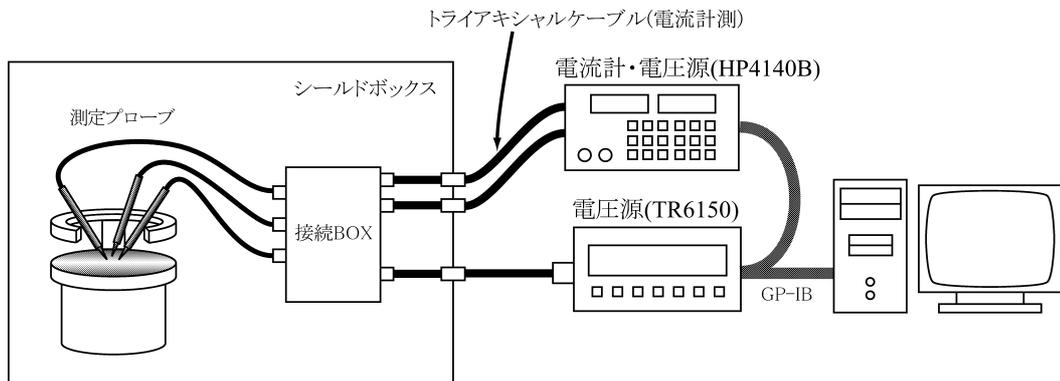


図 6.4 微少電流測定システム図

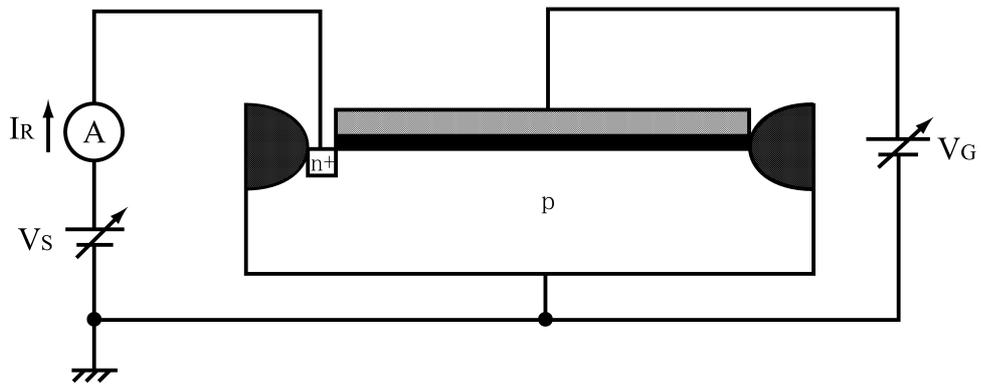


図 6.5 ゲートコントロールダイオード接続図

6.3 測定結果

ゲート面積 $200 \times 200 \mu\text{m}^2$ のゲートコントロールダイオードを用いて、基板電圧 V_S をパラメータとしてゲート電圧 V_G による pn 接合リーク電流及び、 V_G をパラメータとして V_S による pn 接合リーク電流の測定を行った。その結果を図 6.6、図 6.7 に示す。

測定探針を上げた非接触状態での電流値は、 $2 \times 10^{-15} [\text{A}]$ 程度であり、概ね $\pm 1 \times 10^{-15} [\text{A}]$ の安定度であった。測定値は $10^{-15} \sim 10^{-13} [\text{A}]$ のオーダーであり、これより測定値は精度的に確かな値を得ているものと考えられる。

測定結果は、pn 接合リークによるものとゲート下での担体発生によるリーク電流を分離して測定可能であることを示している。

pn 接合リーク電流は $1 \times 10^{-14} [\text{A}/5 \times 2 \mu\text{m}^2] = 1 \times 10^{-7} [\text{A}/\text{cm}^2]$ 、Si/SiO₂ 界面での担体発生によるリーク電流は $1 \times 10^{-13} [\text{A}/200 \times 200 \mu\text{m}^2] = 2.5 \times 10^{-10} [\text{A}/\text{cm}^2]$ であり、pn 接合リーク電流は Si/SiO₂ 界面の 400 倍と大きな値となった。

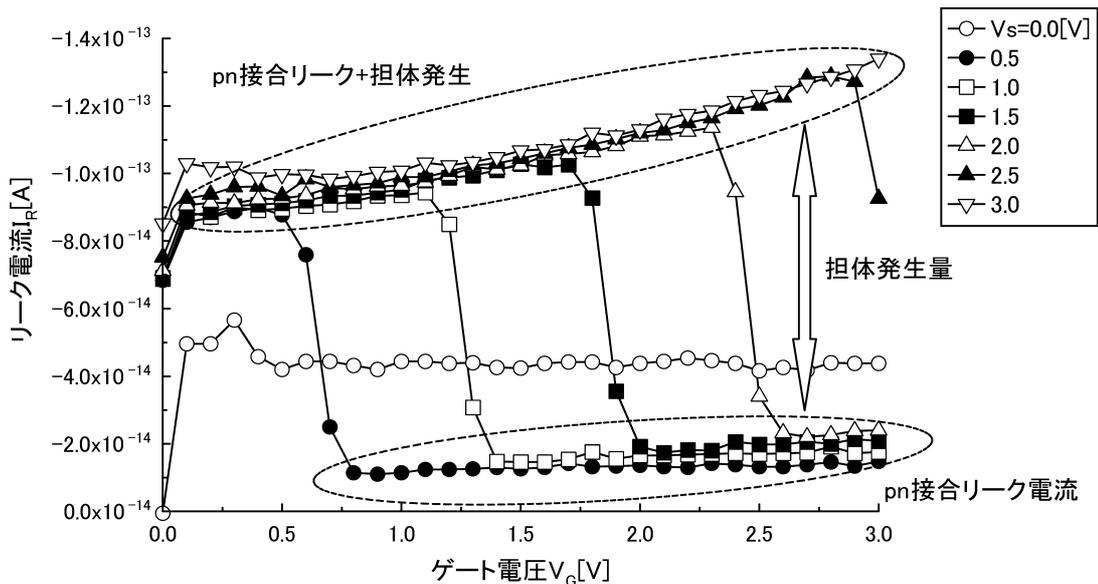


図 6.6 ゲートコントロールダイオードの $I_R - V_G$ 特性

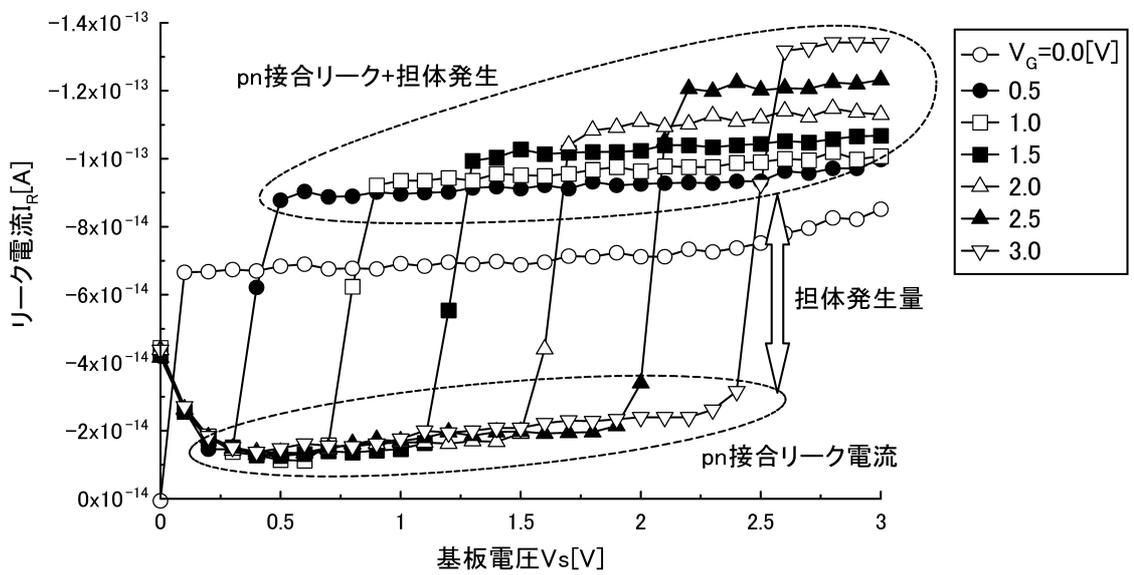


図 6.7 ゲートコントロールドダイオードの $I_R - V_S$ 特性

第7章

担体発生量測定考察

VDEC で設計試作したゲートコントロールダイオードは、設計時に pn 接合リーク電流とゲート下の担体発生量によるリーク電流を分離して測定可能となるパターンを検討した。測定結果から、この検討が正確であったことが確認できた。

7.0.1 $I_R - V_G$ 特性

V_S をパラメータとして V_G を変化させたとき、 V_G が小さい場合にリーク電流が大きくなり、 V_G が大きくなると、ある所で急激に減少している。この急激に減少している部分の $V_G (= V_{G0})$ は基板電圧 V_S を与えたときの

$$V_{G0} = V_{th}(V_S) + V_S \quad (7.1)$$

を示している。ここで、 $V_{th}(V_S)$ は基板電圧 V_S を与えたときの閾値電圧である。

V_G が V_{G0} より小さなときには、ゲート下で発生した担体が pn 接合の n^+ 領域に流れ、リーク電流として測定されている (図中、上のデータ群)。 V_S を大きくするに従って V_{G0} が大きくなり、pn 接合リーク電流とゲート下の担体発生によるリーク電流を合わせた値になる。この値は V_S を変化させてもほとんど変化していない。

$V_S = 3.0V$ で、 V_G が小さなときは、pn 接合端で電界が強くなり、耐圧に近い値となったので pn 接合リーク電流が増加している。 V_G が V_{G0} を超えると、ゲート下は空乏状態となり、ここで発生した担体は n^+ 領域には流れず、空乏層に蓄積される。従って、この状態では pn 接合リーク電流のみを測定していることになる (図中、下のデータ群)。 V_G を長時間印加するとゲート下の担体が飽和状態となり、これ以降に発生した担体は、 n^+ 領域に流れ、リーク電流として測定される。しかし、担体が飽和するのに必要な時間は DRAM の保持時間と同じ程度の時間 (通常、室温で 100 秒以上) が必要である。

7.0.2 $I_R - V_S$ 特性

pn 接合リーク電流は V_G によらず、ほぼ一定である。これは、pn 接合リーク電流とゲート下の担体発生によるリーク電流を分離しているとした前述の考察が正しいことを証明している。

ゲート下の担体発生によるリーク量が増加しているのは、 V_G により空乏層幅が広がったため、担体発生量が増加したことに対応している。この発生量が V_S によらず一定であることも、前述の考察が正しいことを証明している。

第 8 章

結論

高速パルススキヤニング C-V 法による担体発生量の自動測定システムを開発した。この装置を用いて、以下のことが分かった。

1. 材料が進歩した現在、Zelbst 法では長時間の測定が必要であるため 1 日に数点の測定しかできない状況にあり、開発を阻害する原因となっているが、このシステムによって 1/10 の時間で測定が可能となり、阻害条件を解くことができた。
2. バンド端に近い浅いトラップ準位が存在することを確認した。この方式を用いて、室温で測定することに初めて成功した。
3. VDEC の TEG を用いて、リーク電流をゲートコントロールダイオードを測定評価し、pn 接合リーク電流と担体発生によるリーク電流を分離することができた。これにより、基板電圧とゲート電圧に関するリーク電流の関係を明らかにした。

謝辞

本研究の遂行にあたり、終始御指導と御教授を賜りました高知工科大学 工学部 電子・光システム工学科 河津 哲 教授に心から感謝の意を捧げます。

本論文の執筆において、御助言を賜りました高知工科大学 工学部 電子・光システム工学科 神戸 宏 教授、橘 昌良 助教授に御礼申し上げます。

VDEC による TEG 作成におきましては、高知工科大学 工学部 電子・光システム工学科 橘 昌良 助教授を始め、幾井崇博氏、松見隆之氏ほか、諸研究室の方々に多くの御協力、御助言を賜りました。本当に有り難うございました。

大学入学当初から、多くの御指導をいただきました高知工科大学 工学部 電子・光システム工学科 井上昌昭 助教授に深く御礼申し上げます。

これまでの学生生活におきまして、たくさんの御指導、御世話をいただきました高知工科大学 工学部 電子・光システム工学科 原 央 学科長を始めとする教職員、秘書の皆様にご感謝の意を表します。

同研究室の仲間と一緒に研究を行いました、片岡隆司氏、中上大輔氏、平成 13 年度修士課程修了生 大畠旬平氏、同じく学部卒業生 山根優氏、弓岡浩二氏に心からお礼申し上げます。

多くの時間を共に過ごし、笑い合い、語り合った、寺西正臣氏、吉村紘明氏、富士敬司氏、濱田正典氏、大橋 渉氏、松久治可氏を始めとする多くの友人のみなさん、院生室のみなさん、後輩達に、楽しい時間が過ごせましたことを深く感謝いたします。

最後に、たくさんの苦勞、心配をかけました家族はじめ、愛する者へ心から感謝いたします。

本論文に関する発表

- 大橋健二、河津哲「高速 Pulse Scanning C-V 測定システムの構築」
平成 13 年度電気関係学会四国支部連合大会 (2001.9.29)
- 大橋健二、河津哲「高速 Pulse Scanning C-V 法による光担体発生量評価」
平成 14 年度電気関係学会四国支部連合大会 (2002.10.5)

参考文献

- 1) S.M.Sze: “ Physics of Semiconductor Devices SECOND EDITION”, John Wiley & Sons, 1981
- 2) S.M.Sze: “ VLSI Technology SECOND EDITION ”, McGraw-Hill Book Company, 1988
- 3) S.M.Sze: “ SEMICONDUCTOR DEVICES Physics and Technology ”, John Wiley & Sons, 1985
- 4) Eiji Takeda, Cary Y. Yang Akemi Miura-Hamada: “ HOT-CARRIER EFFECTS IN MOSDEVICES ”, ACADEMIC PRESS, 1995
- 5) W.Shockley: “ The Theory of p-n Junction in Semiconductors and p-n Junction Transistors ”
- 6) N.Lifshitz, S.Luryi: “ Influence of the State of Polysilicon/Silicon Dioxide Interface on MOS Properties ”, 1982
- 7) H.J.Ruks: “ TEMPERATURE DEPENDENT CAPACITANCE VOLTAGE MEASUREMENTS FOR THE DETECTION OF TRAP LEVELS IN SEMICONDUCTORS ”, Solid-State Electronics Vol.24, pp.476-478, 1981
- 8) Andrzej Jakubowski, Krzysztof Iniewski: “ SIMPLE FORMULAS FOR ANALYSIS OF C-V CHARACTERISTICS OF MIS CAPACITOR ”, Solid-State Electronics Vol.26, No.8, pp.755-756, 1983
- 9) Z.Shanfield: “ THERMALLY STIMULATED CURRENT MEASUREMENTS ON IRRADIATED MOS CAPACITORS ”, IEEE Transactions on Nuclear Science, Vol.NS-30, No.6, 1983
- 10) S.M. ジー 著, 南日康夫, 川辺光央, 長谷川文夫 訳: “ 半導体デバイス-基礎理論とプロセス技術- ”, 産業図書, 1987
- 11) Andrew S.Grove 著, 垂井康夫 監訳, 杉淵清, 杉山尚志, 吉川武夫 共訳: “ 半導体デバイスの基礎 ”, オーム社, 1995
- 12) 河東田隆: “ 半導体評価技術 ”, 産業図書, 1989
- 13) 河東田隆: “ デバイスプロセス ”, 倍風館, 1993
- 14) 作道恒太郎: “ 個体物理 ”, 裳華房, 1993
- 15) 筒井一生: “ よくわかる電子デバイス ”, オーム社, 1999
- 16) 清水潤治: “ 半導体工学の基礎 ”, コロナ社, 1986
- 17) 角野浩二: “ 半導体の結晶欠陥制御の科学と技術 シリコン編 ”, サイエンスフォーラム, 1993
- 18) 宇佐美晶: “ 100例にみる半導体評価技術 ”, 工業調査会, 1988
- 19) 安達三郎, 大貫繁雄 共著: “ 電気磁気学 ”, 森北出版株式会社, 1988

- 20) 家村伸吾:“ PN 接合リーク電流と MOS キャリアジェネレーションの相関関係について ”,2001
- 21) 大畠旬平:“ 超 LSI 用微細 MOS トランジスタのゲート酸化膜破壊機構の解明 ”,2002

付録

TEG レイアウト図

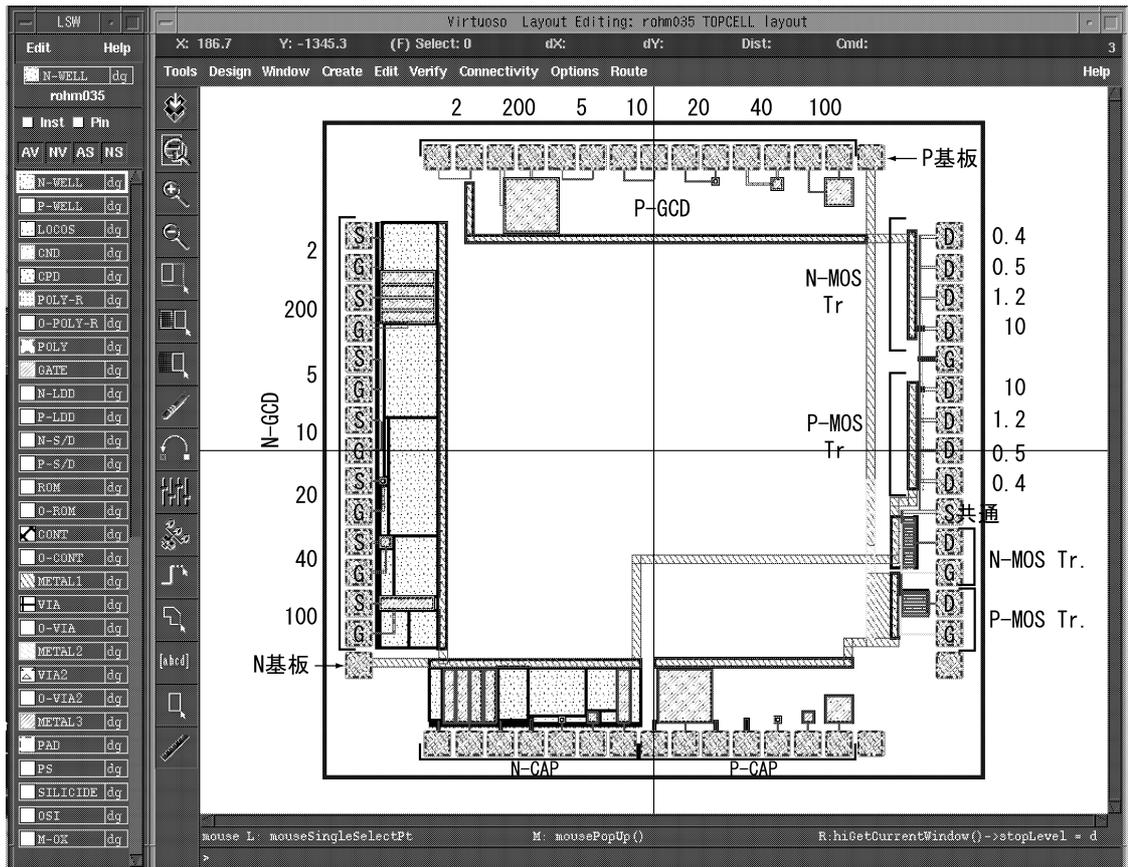
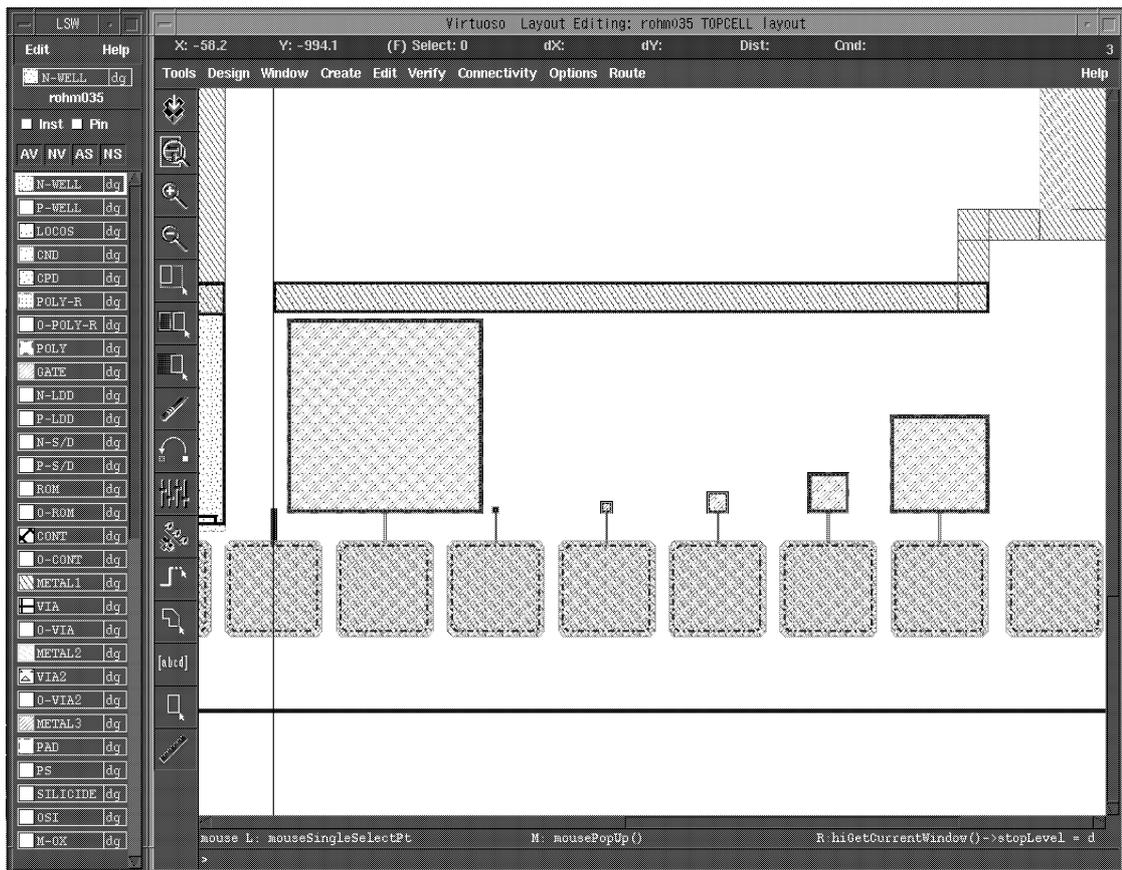


図 8.1 チップ全体図



☒ 8.2 Capacitor p-well

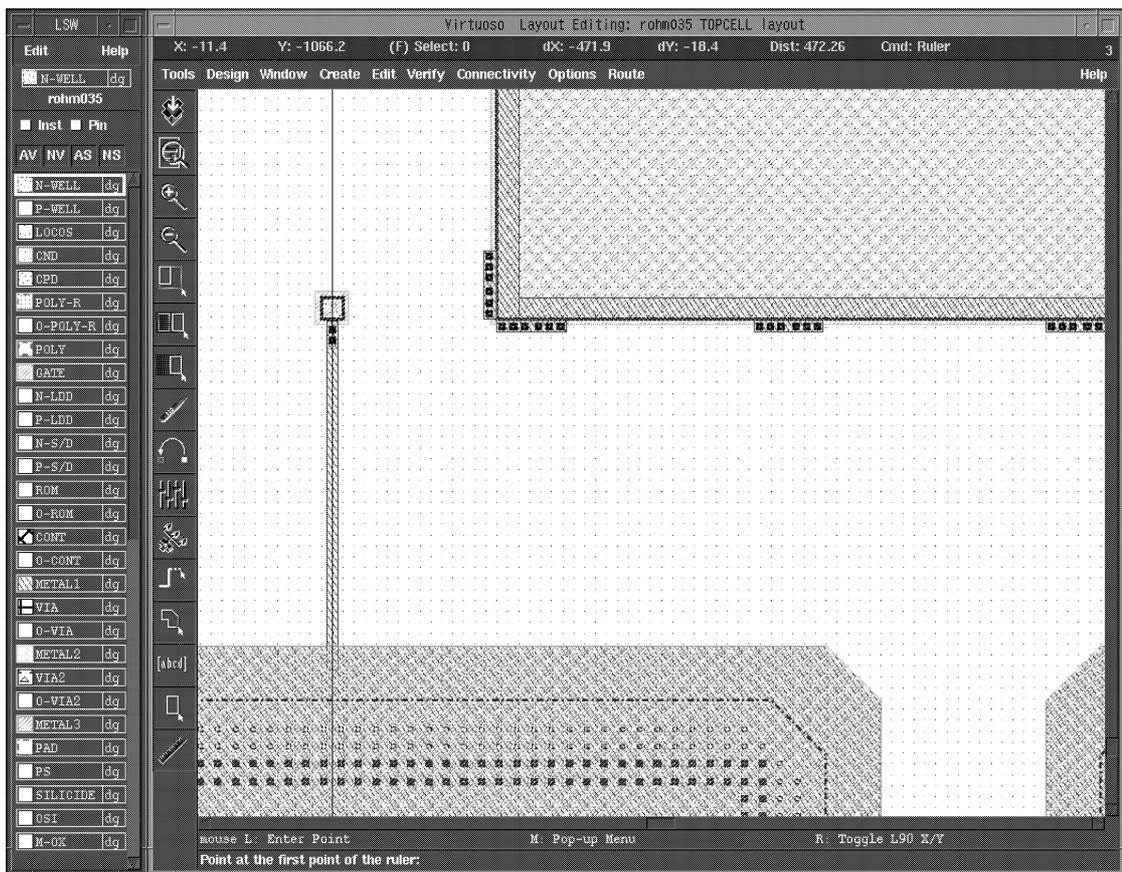


図 8.3 Capacitor p-well(一部拡大)

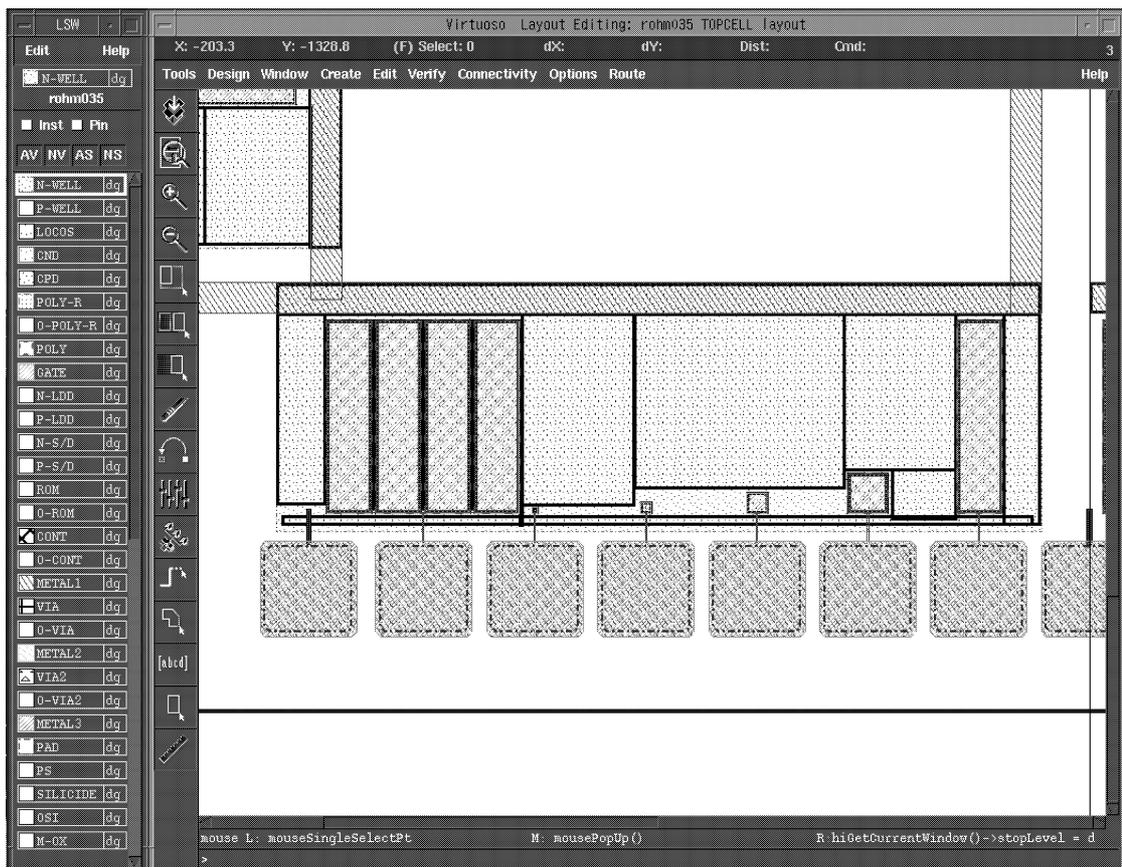


图 8.4 Capacitor n-well

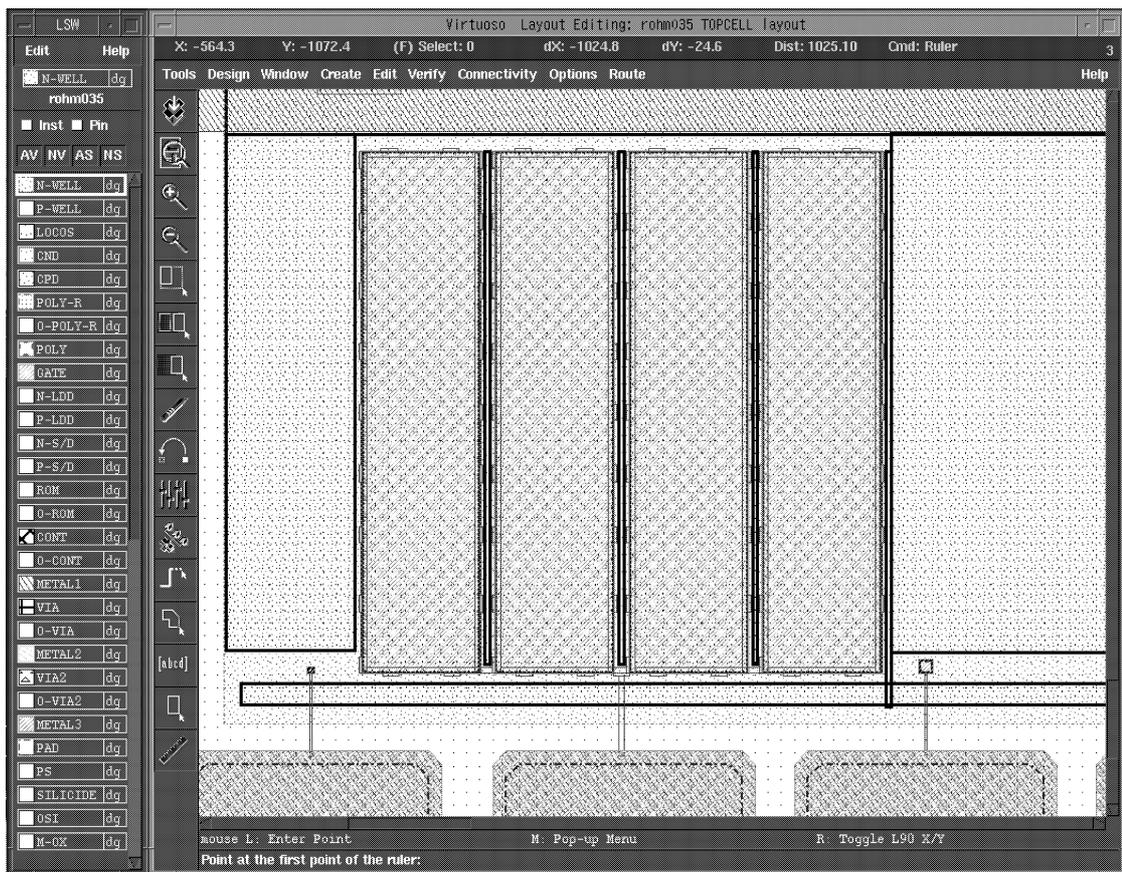


図 8.5 Capacitor n-well(一部拡大)

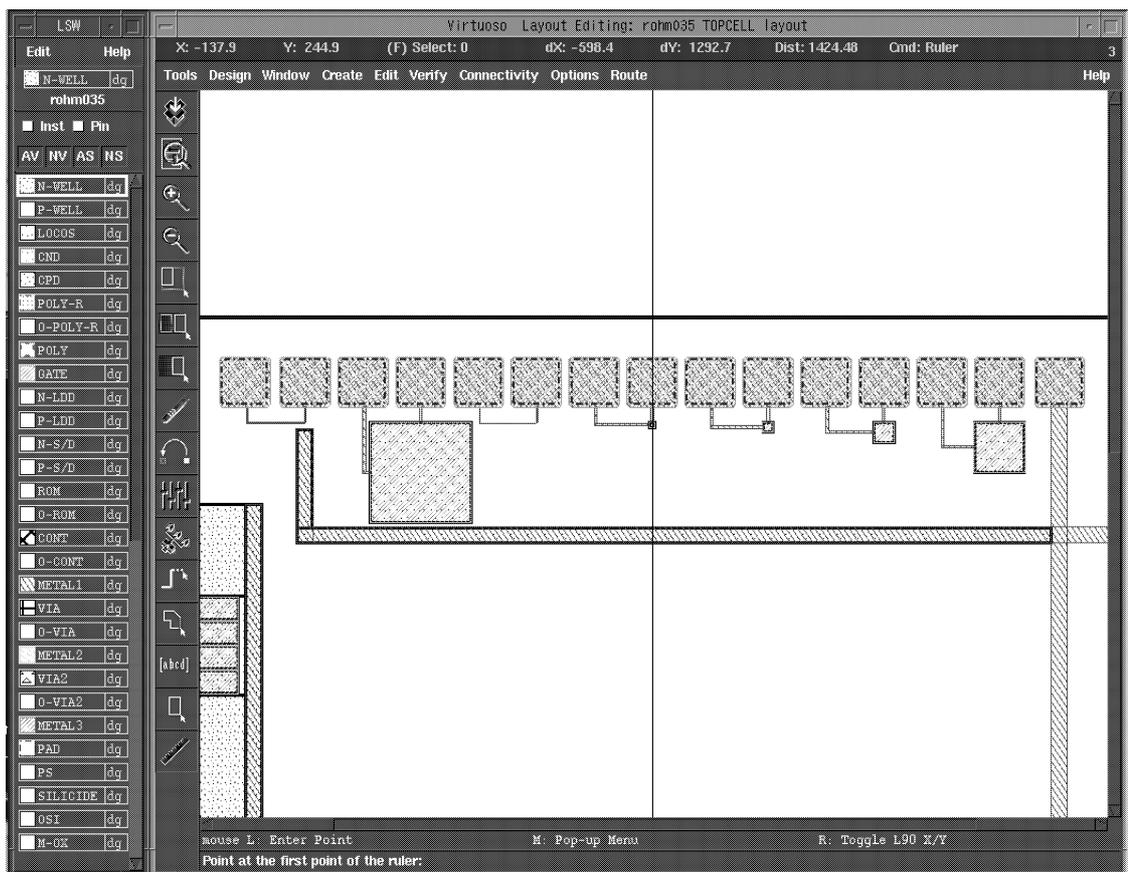


图 8.6 GCD p-well

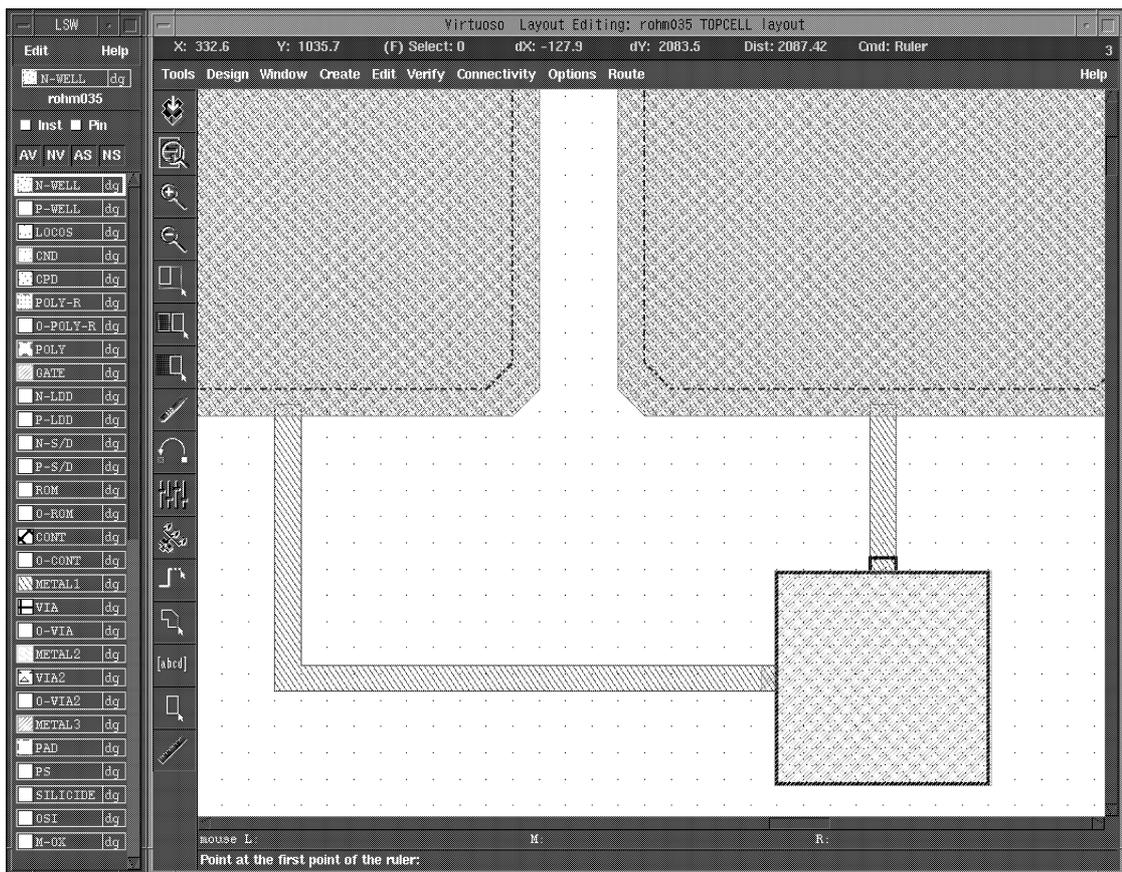
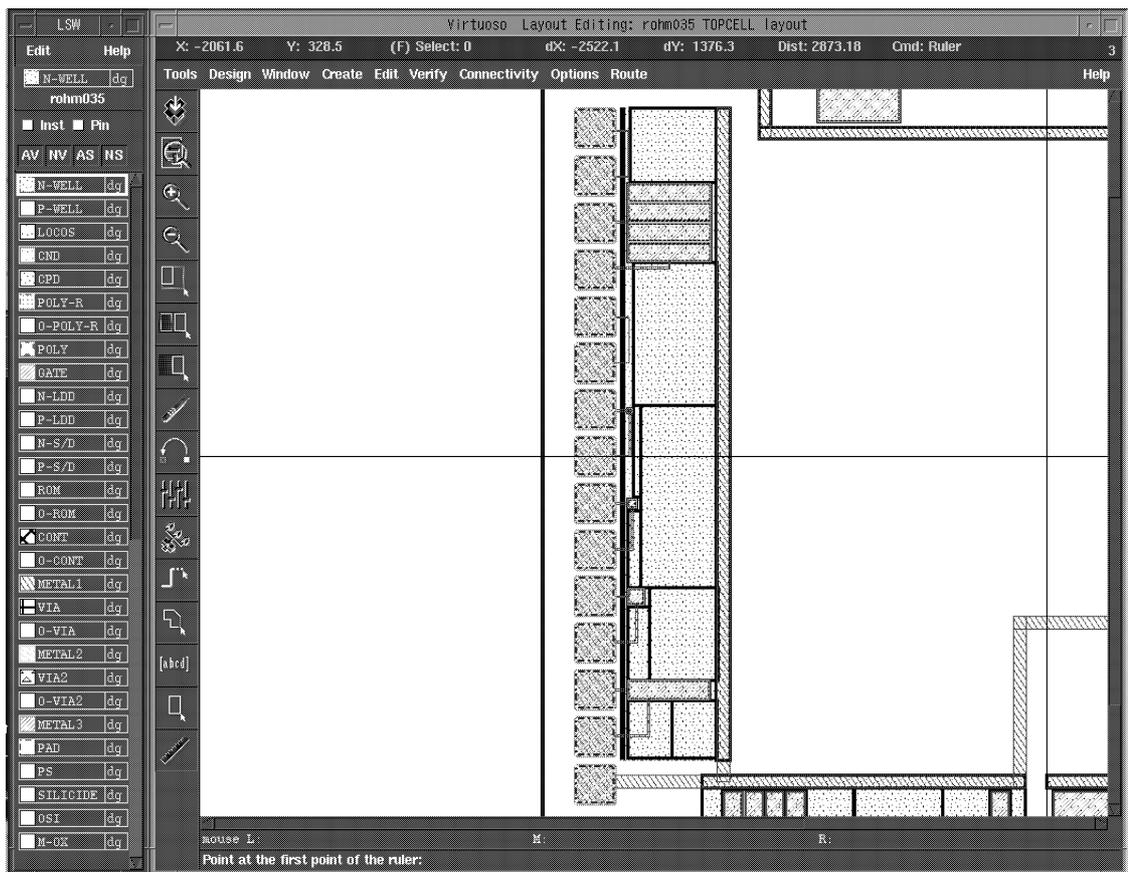


図 8.7 GCD p-well(一部拡大)



☒ 8.8 GCD n-well

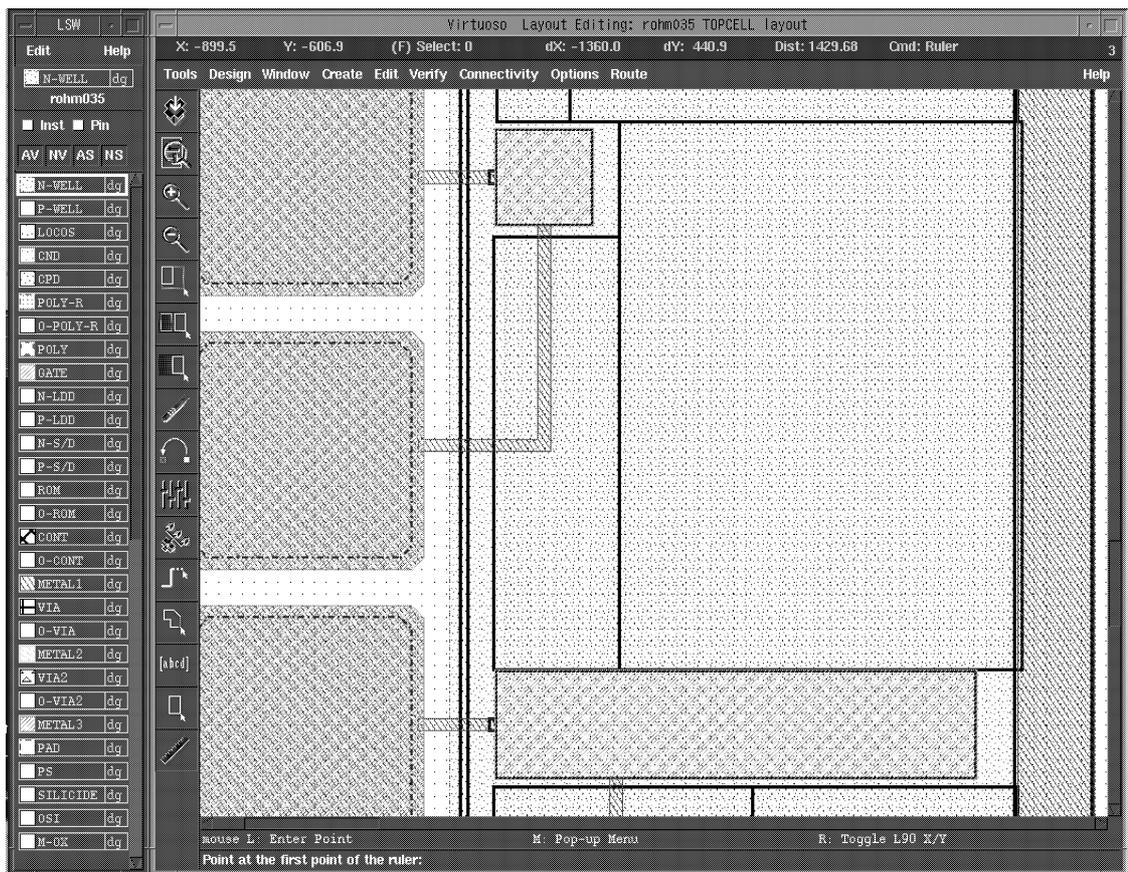


図 8.9 GCD n-well(一部拡大)

理論 C-V 特性計算プログラム

C-V 特性の理論式を用いてコンピュータ上でシミュレーションを行うプログラムである。HP BASIC 及び HTBasic 上で実行が可能である。

```
10      ! Program Name is CV-CRT
20      ! C-V Curve Theoretical calculation
30      DIM Va(1000)
40      DIM Va1(1000)
50      DIM C1(1000)
60      DIM C2(1000)
70      CLEAR SCREEN
80      Yo=30
90      ! ==== Max. Y is Yo =====
100     Ym=400
110     ! ==== Min. Y is Yo+1-Ym =====
120     Dy=.5
130     ! ==== Step of Y =====
140     Em=6.*( .98*(.0819^2.))^.5
150     E0=3.85
160     Es=11.9
170     Ev=8.854E-14
180     Eox=E0*Ev
190     Esi=Es*Ev
200     Q=1.6E-19
210     CLEAR SCREEN
220     PRINT "If Wox=250A, Then Push Enter Key;If Wox=-1 Then goto END"
230     PRINT " Wox="
240     INPUT Wox
250     IF Wox=-1 THEN GOTO 1090
260     IF Wox>0 THEN GOTO 280
270     Wox=250
280     PRINT "if Cna=1.0E+15 cm-3 Then Push Enter Key"
290     PRINT "Cna="
300     INPUT Cna
310     IF Cna>0 THEN GOTO 330
320     Cna=1.E+15
330     PRINT " If Temp=300.0 Then push Enter Key"
340     PRINT "TEMP="
350     INPUT Temp
360     IF Temp>0 THEN GOTO 380
370     Temp=300.
380     Tox=(1.E-8)*Wox
390     Cni=(3.87E+16)*(Temp^1.5)*EXP(-7018./Temp)
400     Cn=(2.5E+19)*Em*(Temp/300)^1.5
410     Beta=11600./Temp
420     A1=((2.*Esi)/(Q*Cni*Beta))^.5
430     Amd=Cni/Cna
440     A=(Tox/Eox)*Q*Cni*Beta*A1
450     Ef=LOG(Cn/Cna)/Beta
460     Dv=(4.2-(4.05+Ef))
470     PRINT " Wox   Cna      Temp      Ef "
480     PRINT Wox;Cna;Temp;Ef
490     WAIT 5.
500     PRINT "      Y      Va          C1          C2      Va1"
510     FOR Iy=1 TO Ym
520     Y=(Yo+1-Iy)*Dy
530     IF Y<0 THEN GOTO 560
540     IF Y=0 THEN GOTO 680
550     IF Y>0 THEN GOTO 710
560     IF Y<-40 THEN GOTO 610
570     F=- (Amd*(EXP(-Y)-1.)+1./Amd*(EXP(Y)-1.)+(Amd-1./Amd)*Y)^.5
```

```

580      F1=- (1./Amd*(EXP(Y)-1.)+(Amd-1./Amd)*Y)^.5
590      Dfy1=(1./Amd*(EXP(Y)-1.)+Amd)/(2.*F1)
600      GOTO 640
610      F=-((Amd-1./Amd)*(Y+1))^ .5
620      F1=-((Amd-1./Amd)*(Y+1))^ .5
630      Dfy1=(-1./Amd+Amd)/(2.*F1)
640      C2(Iy)=(A*Dfy1)/(1.+A*Dfy1)
650      Vf1=(Tox/Eox)*Q*Cni*A1*F1
660      Va1(Iy)=Vf1+Y/Beta+Dv
670      GOTO 720
680      F=Y*(.5*(1./Amd+Amd))^ .5
690      Dfy=(.5*(1./Amd+Amd))^ .5
700      GOTO 730
710      F=(Amd*(EXP(-Y)-1.)+1./Amd*(EXP(Y)-1.)+(Amd-1./Amd)*Y)^ .5
720      Dfy=(1./Amd*(EXP(Y)-1.)-Amd*(EXP(-Y)-1.))/(2.*F)
730      C1(Iy)=(A*Dfy)/(1.+A*Dfy)
740      Vf=(Tox/Eox)*Q*Cni*A1*F
750      Va(Iy)=Vf+Y/Beta+Dv
760      IF Y>0 THEN GOTO 790
770      IF Y=0 THEN GOTO 790
780      IF Y<0 THEN GOTO 810
790      PRINT Y;Va(Iy);C1(Iy)
800      GOTO 820
810      PRINT Y;Va(Iy);C1(Iy);C2(Iy);Va1(Iy)
820      NEXT Iy
830      WAIT 1.
840      CLEAR SCREEN
850      GINIT
860      GRAPHICS ON
870      Vx=-3.5
880      Vxx=2.5
890      WINDOW Vx,Vxx,-.35,1.20
900      AXES .5,.05,0.,0
910      MOVE Va(1),C1(1)
920      FOR K1=2 TO Yo+76
930      DRAW Va(K1),C1(K1)
940      NEXT K1
950      PENUP
960      MOVE Va(Yo+1),C1(Yo+1)
970      FOR K2=Yo+2 TO Yo+76
980      DRAW Va(K2),C2(K2)
990      NEXT K2
1000     PENUP
1010     MOVE Va1(Yo+2),C2(Yo+2)
1020     FOR K3=Yo+3 TO Ym
1030     DRAW Va1(K3),C2(K3)
1040     NEXT K3
1050     PENUP
1060     PRINT "Gate Oxide Thickness=";Wox;"(A)"
1070     PRINT "Impurity Concentration=";Cna;"(cm^3)"
1071     PRINT "Temperature =" ;Temp;"(C)"
1080     !GOTO 180
1090     END

```