

特別研究報告書

題 目

CMOSインバータの遅延時間と消費電力の改善の検討
Improvement in Delay Time and Power Dissipation for
CMOS Inverters

指 導 教 員

原 央 教授

報 告 者

学籍番号:1055090

氏名:新妻 研作

平成 15 年 1 月 27 日

高知工科大学 電子・光システム工学コ - ス

目次

第 1 章	はじめに	1
第 2 章	CMOS インバータの過渡特性の解析	2
2.1	CMOS インバータの素子、回路パラメータ	2
2.2	入力立上り時の特性	7
2.3	入力立下り時の特性	18
2.4	まとめ	26
第 3 章	CMOS インバータの消費電力と遅延時間の解析	28
3.1	CMOS インバータにおける消費電力	28
3.1.1	入力立上り時の消費電力	29
3.1.2	入力立下り時の消費電力	36
3.2	ゲートしきい値電圧による CMOS インバータの消費エネルギーの変化	43
3.3	CMOS インバータの遅延時間	46
3.4	遅延時間と消費電力の関係	49
第 4 章	CMOS インバータの消費エネルギーと 遅延時間の改善	52
4.1	消費エネルギー	52
4.1.1	入力立上り時の消費エネルギー	52
4.1.2	入力立下り時の消費エネルギー	54
4.2	遅延時間	56
4.2.1	入力立上り時の遅延時間	56
4.2.2	入力立下り時の遅延時間	58
4.2	ゲートしきい値電圧を非対称に変化させる ことによる CMOS インバータの特性改善	60
4.3.1	基本的な考え	60
4.3.2	入力立上り時	61
4.3.3	入力立下り時	62

4.3	基板バイアス効果の利用	63
4.4.1	CMOS インバータの素子、回路パラメータ	66
4.4.2	入力立上り時の解析	67
4.4.3	入力立下り時の解析	70
4.4.4	入力立上り、立下り時間 1.0ns の解析結果	74
4.4.5	配置図	75
第 5 章	おわりに	76

謝辞

参考文献

第1章 はじめに

CMOS回路は大規模化にもっとも適する回路で、最新のプロセスでは1チップに約数億個のトランジスタが集積されている。今後もムーアの法則に則り集積されるトランジスタの数はますます増えるだろうと容易に予測がつく[1]。高集積化のガイドにはよく知られているように比例縮小則があるが、そこで問題になっている事項は消費電力や配線遅延など多岐にわたっている。

消費電力に関しては、電源電圧を下げ消費電力の増大を抑制してきた。しかし、回路を安定に動作させるには、ゲートしきい値電圧を電源電圧にほぼ比例して下げなければならない。一定電源電圧のもとでは、ゲートしきい値電圧はゲート遅延と消費電力を決める重要な要素である[2]。ゲートしきい値電圧を下げると、ゲート遅延は小さくなるが消費電力は増大する。ゲートしきい値電圧を高くし低消費電力化を図ろうとすると、ゲート遅延が大きくなり、また回路が安定して動作しないという問題がでてくる。つまり消費電力とゲート遅延はトレードオフの関係にある。

本報告では、CMOS回路の最も基本的な回路であるインバータを例にとり、まずCOMSの過渡特性について回路シミュレータ(T-Spice)を用いて詳細に解析し(第2章)、次にゲート遅延と消費電力の問題をPチャンネルとNチャンネルのトランジスタのゲートしきい値電圧、入力パルスの立上り立下り時間などをパラメータとして検討し(第3章)、最後にCMOS回路のゲート遅延、消費電力の関係を改善する方法を提案する(第4章)。

第 2 章 CMOS インバータの過渡特性の解析

CMOS インバータの回路を図 1-1 に示す。微細化の進展した状況では、入力の立上り、立下りの過渡時において各接点間に流れる過渡電流は複雑な特性を示し、まずこれらを詳細に知ることが必要である。回路シミュレータ (T-Spice) を用いて、電流特性を解析した結果を以下に順次示す。

2.1 CMOS インバータの素子、回路パラメータ

CMOS LSI の高集積化、微細化、低消費電力化が進んでいる状況を考え、下記のパラメータの値を用いることにする。

代表的な素子パラメータ

ゲート長 (L)・・・0.5 μm

P チャネルゲート幅 (W)・・・ 12.5 μm

N チャネルゲート幅 (W)・・・ 5 μm

ゲート絶縁膜厚 (TOX)・・・78

P チャネルしきい値電圧 (VTHO)・・・ 0.3V

N チャネルしきい値電圧 (VTHO)・・・ 0.3V

ソース、ドレインの拡散深さ (XJ)・・・0.1 μm

トランジスタモデル・・・BSIM3v3 (表 1-1、表 1-2 に詳細を示す)

代表的な回路パラメータ

fanout・・・1 (0.039 pF)

前述の P、N 両トランジスタのゲート容量を次段容量とした。

PMOS のゲート容量・・・0.028 pF

NMOS のゲート容量・・・0.011 pF

入力電圧の立上り、立下り時間・・・0.5 ns

電源電圧 (Vdd)・・・1.5V

なお、基板・出力端子間の PN 接合のキャパシタカップリング効果を除くために、P、N 両チャネルトランジスタのドレイン領域とソース領域の面積 (AD、AS) は零としている。

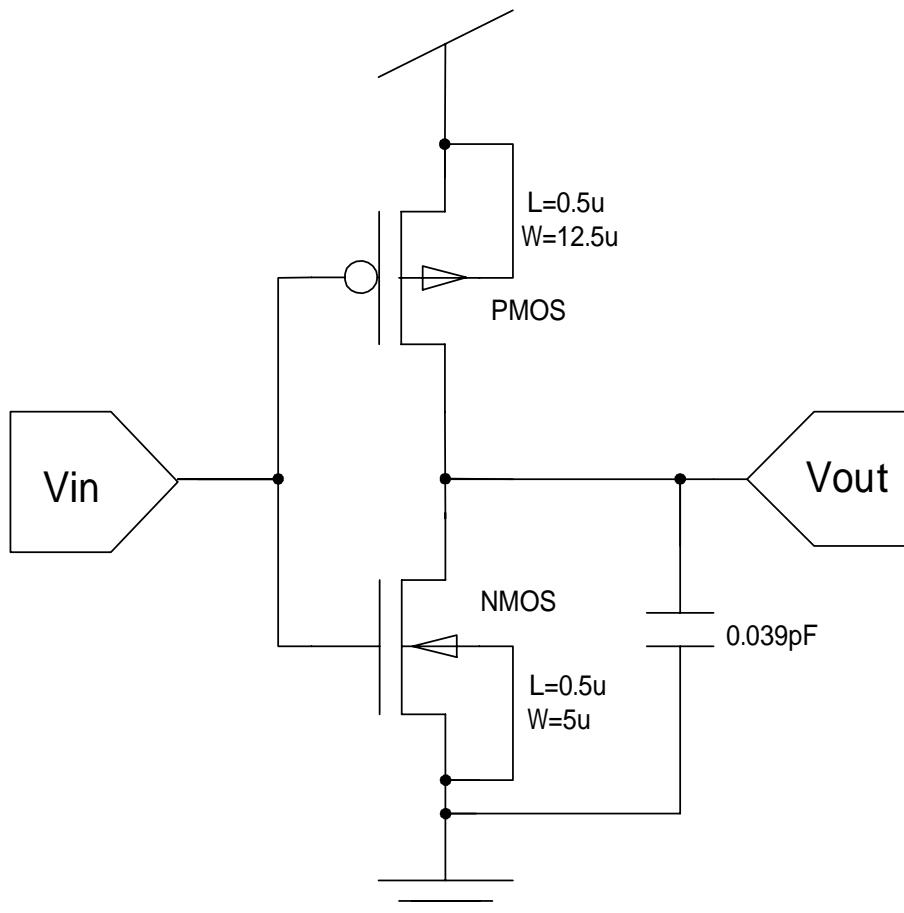


図 1-1 CMOS インバータの回路図

また、これからの解析に用いる P、N 両チャネルトランジスタの $V_d - I_d$ 特性を 図 1-2、図 1-3 に示す。両トランジスタの $V_d - I_d$ 特性は、ほぼ等しい。

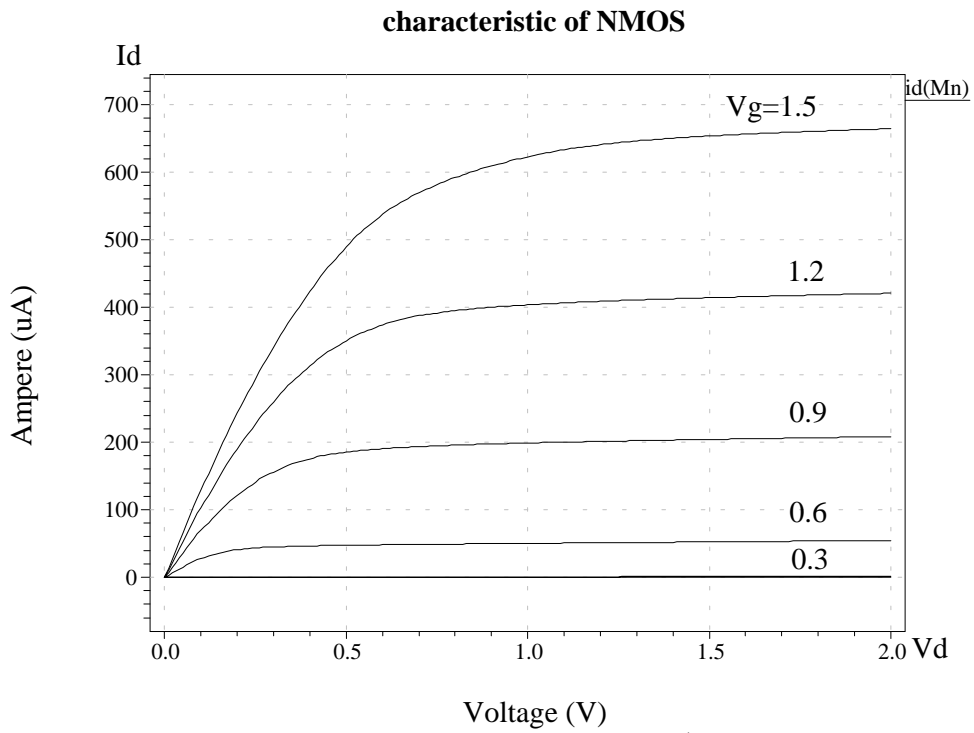


図 1-2 N チャネルトランジスタの特

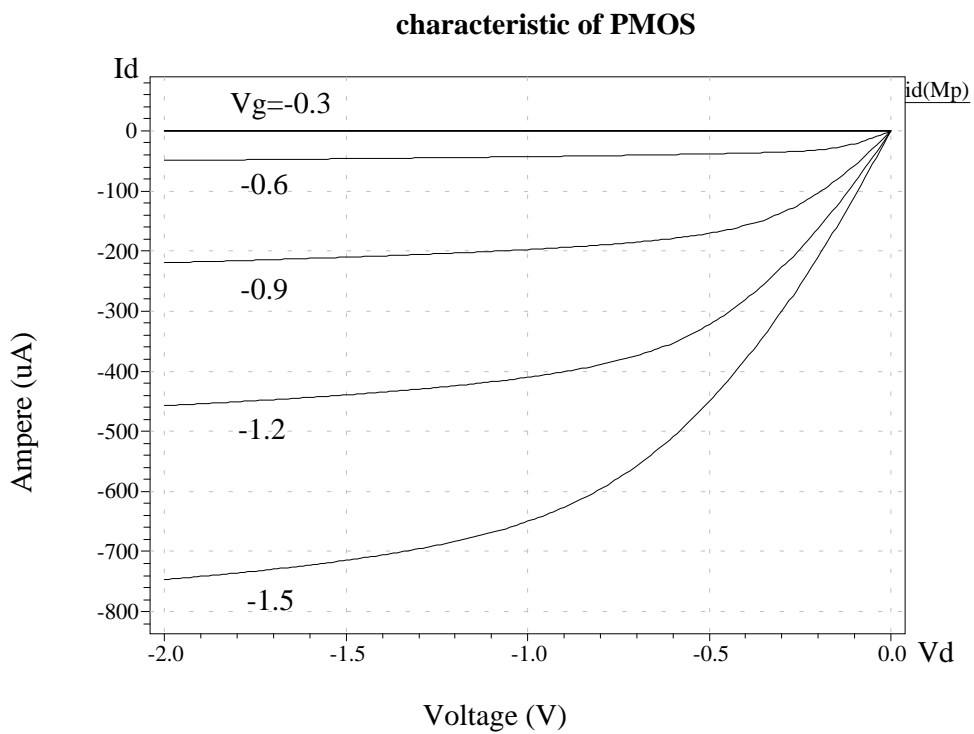


図 1-3 P チャネルトランジスタ特

表 1-1 NチャネルMOSトランジスタのモデル

MODEL NMOS LEVEL = 49

VERSION = 3.1	TNOM = 27	TOX = 7.80E-09
XJ = 1.00E-07	NCH = 2.20E+17	VTH0 = 0.3
K1 = 0.55969	K2 = 0.0143708	K3 = 4.45E-03
K3B = -5.3543108	W0 = 1.62E-05	NLX = 1.59E-07
DVT0W = 0	DVT1W = 0	DVT2W = 0
DVT0 = 2.5157067	DVT1 = 0.7868973	DVT2 = -0.1516537
U0 = 421.5307842	UA = -1.62E-13	UB = 1.51E-18
UC = 3.42E-11	VSAT = 1.68E+05	A0 = 1.2039321
AGS = 0.1897065	B0 = 1.05E-06	B1 = 5.00E-06
KETA = 4.02E-03	A1 = 0	A2 = 0.4100444
RDSW = 932.0670575	PRWG = 0.0143268	PRWB = -0.0778419
WR = 1	WINT = 7.95E-08	LINT = 0
XL = -2.00E-08	XW = 0	DWG = -2.98E-09
DWB = 4.55E-09	VOFF = -0.1007416	NFACTOR = 1.0401713
CIT = 0	CDSC = 2.40E-04	CDSCD = 0
CDSCB = 0	ETA0 = 0.6097112	ETAB = 0.0279151
DSUB = 0.8282778	PCLM = 1.4375905	PDIBLC1 = 1.48E-03
PDIBLC2 = 4.86E-03	PDIBLCB = 0.0707847	DROUT = 0.067852
PSCBE1 = 2.19E+08	PSCBE2 = 9.17E-08	PVAG = 0
DELTA = 0.01	RSH = 3.3	MOBMOD = 1
PRT = 0	UTE = -1.5	KT1 = -0.11
KT1L = 0	KT2 = 0.022	UA1 = 4.31E-09
UB1 = -7.61E-18	UC1 = -5.60E-11	AT = 3.30E+04
WL = 0	WLN = 1	WW = 0
WWN = 1	WWL = 0	LL = 0
LLN = 1	LW = 0	LWN = 1
LWL = 0	CAPMOD = 2	XPART = 0.5
CGDO = 2.82E-10	CGSO = 2.82E-10	CGBO = 1.00E-12
CJ = 1.04E-03	PB = 0.7857238	MJ = 0.3230291
CJSW = 2.97E-10	PBSW = 0.6118469	MJSW = 0.1
CJSWG = 1.82E-10	PBSWG = 0.6118469	MJSWG = 0.1
CF = 0	PVTH0 = -0.0231416	PRDSW = -94.199703
PK2 = 2.35E-03	WKETA = -5.01E-03	LKETA = -9.03E-03

表 1-2 PチャネルMOSトランジスタのモデル

MODEL PMOS LEVEL = 49

VERSION	= 3.1	TNOM	= 27	TOX	= 7.80E-09
XJ	= 1.00E-07	NCH	= 8.52E+16	VTH0	= -0.3
K1	= 0.4293124	K2	= -0.0127679	K3	= 70.7709975
K3B	= -5	W0	= 5.85E-06	NLX	= 2.76E-07
DVT0W	= 0	DVT1W	= 0	DVT2W	= 0
DVT0	= 0.5352588	DVT1	= 0.3699224	DVT2	= -0.0990979
U0	= 154.276015	UA	= 1.00E-10	UB	= 1.94E-18
UC	= -2.13E-11	VSAT	= 1.59E+05	A0	= 0.7971167
AGS	= 0.3642955	B0	= 3.02E-06	B1	= 5.00E-06
KETA	= -4.69E-03	A1	= 0	A2	= 0.3
RDSW	= 4.00E+03	PRWG	= -0.1495422	PRWB	= 0.0478467
WR	= 1	WINT	= 7.69E-08	LINT	= 0
XL	= -2.00E-08	XW	= 0	DWG	= -1.30E-08
DWB	= 1.09E-08	VOFF	= -0.1175159	NFACTOR	= 2
CIT	= 0	CDSC	= 2.40E-04	CDSCD	= 0
CDSCB	= 0	ETA0	= 0.1320699	ETAB	= 0.0150943
DSUB	= 0.9160874	PCLM	= 3.5066145	PDIBLC1	= 0.0105875
PDIBLC2	= 2.52E-03	PDIBLCB	= 0.0352067	DROUT	= 0.0608519
PSCBE1	= 7.99E+10	PSCBE2	= 5.00E-10	PVAG	= 1.0502329
DELTA	= 0.01	RSH	= 2.6	MOBMOD	= 1
PRT	= 0	UTE	= -1.5	KT1	= -0.11
KT1L	= 0	KT2	= 0.022	UA1	= 4.31E-09
UB1	= -7.61E-18	UC1	= -5.60E-11	AT	= 3.30E+04
WL	= 0	WLN	= 1	WW	= 0
WWN	= 1	WWL	= 0	LL	= 0
LLN	= 1	LW	= 0	LWN	= 1
LWL	= 0	CAPMOD	= 2	XPART	= 0.5
CGDO	= 3.11E-10	CGSO	= 3.11E-10	CGBO	= 1.00E-12
CJ	= 1.41E-03	PB	= 0.99	MJ	= 0.5609493
CJSW	= 3.57E-10	PBSW	= 0.99	MJSW	= 0.333021
CJSWG	= 4.42E-11	PBSWG	= 0.99	MJSWG	= 0.333021
CF	= 0	PVTH0	= 7.98E-03	PRDSW	= -18.9074123
PK2	= 1.72E-03	WKETA	= 2.88E-03	LKETA	= -2.76E-03

2.2 入力立上り時の特性

(a) 出力電圧

図 1-4 に入力立上り時の出力電圧のシミュレーション結果を示す。入力立上り時間は 0.5ns とし、入力電圧の変化を破線で示している。この出力電圧の 1.5V 付近 ($0\sim 0.4\text{ns}$ の範囲) を拡大した図 1-5 を示す。

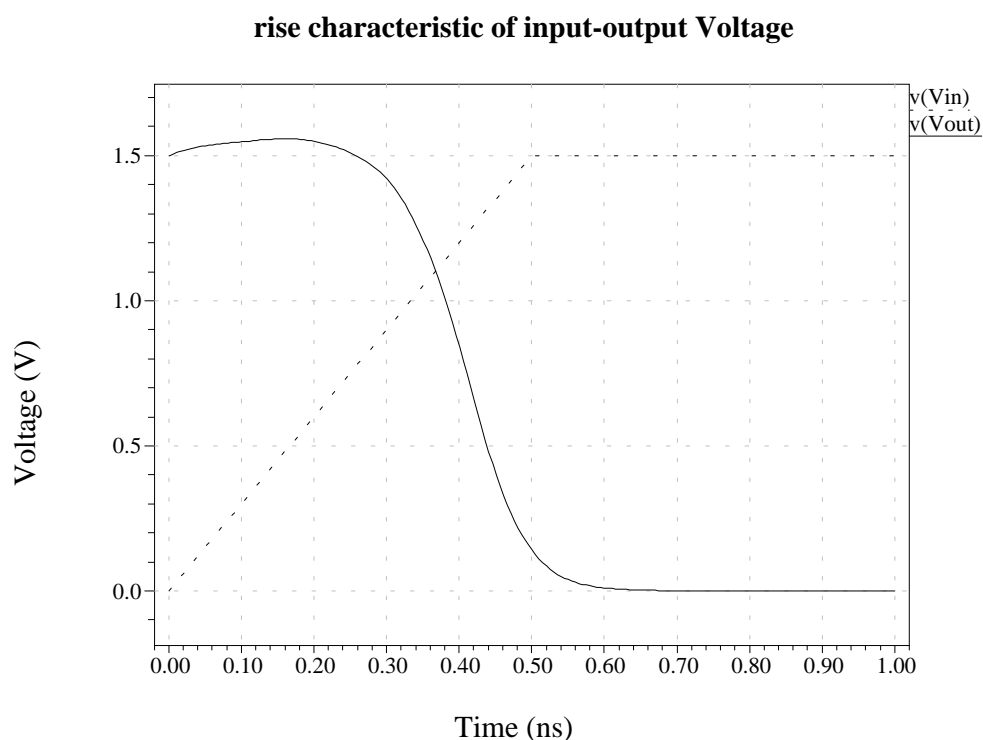


図 1-4 入力立上り時の出力電圧の変化 (入力立上り時間 0.5ns)

P、N 両チャンネルトランジスタのゲートしきい値電圧が 0.3V 、 $+0.3\text{V}$ であることと図 1-4 の入出力電圧の波形から、PMOS は $0\sim 0.3\text{ns}$ で非飽和状態、 $0.3\sim 0.4\text{ns}$ で飽和状態、 0.4ns 以降はカットオフ状態であると考えられる。NMOS は $0\sim 0.1\text{ns}$ でカットオフ状態、 $0.1\sim 0.4\text{ns}$ で飽和状態、 0.4ns 以降は非飽和状態であると考えられる。

また図 1-5 から分かるように 0 ~ 0.26ns の間で出力電圧が電源電圧 (Vdd) より約 0.06V 高くなっているが、これは P、N 両トランジスタのゲート・ドレイン間キャパシタンスにより、入力電圧の上昇に応じて出力電圧が引き上げられたためと考えられる。

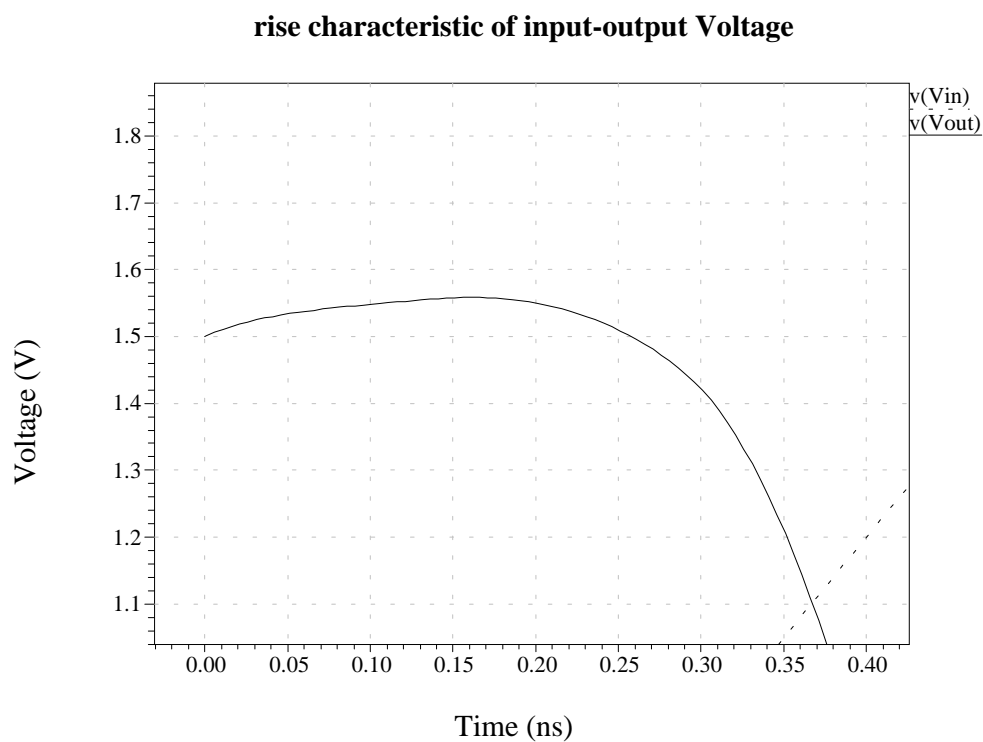


図 1-5 出力電圧の変化の拡大図 (入力立上り時間 0.5ns)

(b) Nチャネルトランジスタの電流

NMOSの接点間に流れる電流のモデルを図1-6に示す。

$I_{ds}(Mn)$ はドレインからソースに流れるチャネル電流、 $I_d(Mn)$ はドレイン側から流れ込む電流、 $-I_s(Mn)$ はソース側から流れ出る電流、 $I_{gd}(Mn)$ はゲートからドレインに流れ込む充電電流、 $I_{gs}(Mn)$ はゲートからソースに流れ込む充電電流である。ドレイン領域、ソース領域の面積は零としているため、基板からの充電電流は無い(基板からチャネル領域への僅かな充電電流があるが、小さいので以下無視する)。

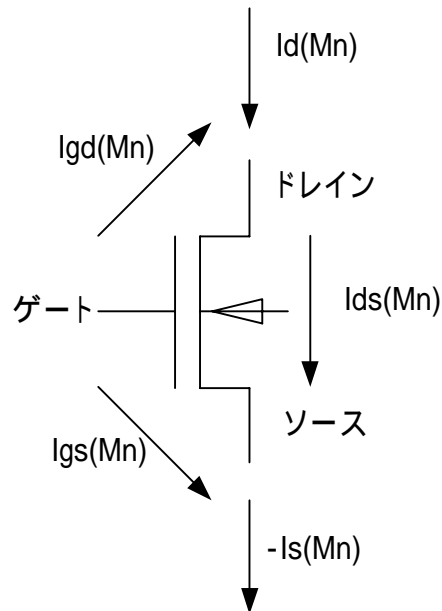


図1-6 NMOSの接点間を流れる電流のモデル図

T-Spice では、ドレイン、ソース、ゲート、基板の 4 つの端子に出入りする電流はもとめることができるが、それらの端子間を流れる過渡電流は求めることはできない。したがって特別な工夫をしなければチャンネル電流 ($I_{ds}(Mn)$) は求められない。

まず、ソース、ドレイン端子を出入りする電流をもとめる。その結果を図 1-7 に示す。実線がソース側から流れ出る電流 $-I_s(Mn)$ で、破線がドレイン側から流れ込む電流 $I_d(Mn)$ である。両電流に差が見られるのはゲート・ソース間キャパシタ、ゲート・ドレイン間キャパシタを介してキャパシタカップリングにより、ゲートからソース、ゲートからドレインに流れ込む充電電流のためである。ゲートからソースに流れ込む充電電流 $I_{gs}(Mn)$ は、ソース側から流れ出る電流 $I_s(Mn)$ に加算されている。またゲートからドレインに流れ込む電流 $I_{gd}(Mn)$ はドレイン側から流れ込む電流 $I_d(Mn)$ から差し引かれている。したがって $I_s(Mn)$ が $I_d(Mn)$ より大きくなっているのである。

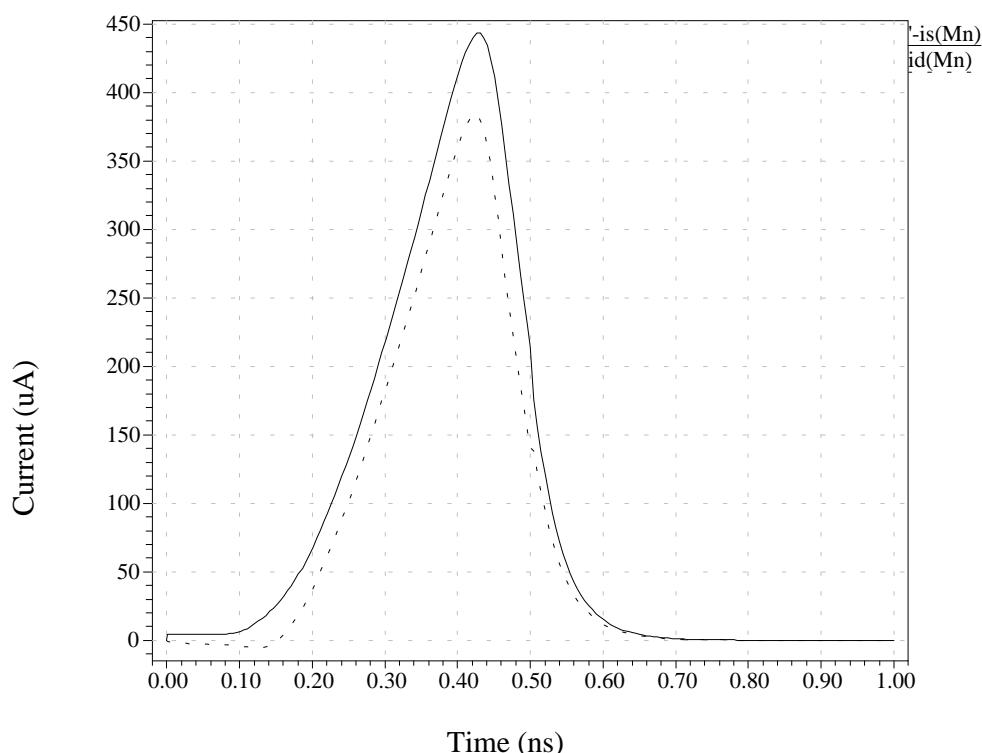


図 1-7 NMOS の電流特性

実線はソースから流れ出る電流 ($I_s(Mn)$)

破線はドレインから流れ込む電流 ($I_d(Mn)$)

図 1-7 の 0~0.2ns の範囲を拡大して図 1-8 に示す。

0~0.1ns の範囲では、NMOS はまだカットオフ状態なのにも関わらず、微小な電流が流れていることが分かる。これはチャネル領域を介してゲート・ソース間、ゲート・ドレイン間にキャパシタが構成されているのではなく、ゲート・ソース間、ゲート・ドレイン間のオーバーラップ部分を介してこれらの間にキャパシタが構成されているためである。実線のソース側から流れ出る電流

$I_s(Mn)$ が正であるのは、ゲートからソースにゲート・ソース間キャパシタを介して充電電流 $I_{gs}(Mn)$ が流れていることを示している。破線のドレイン側から流れ込む電流が負であるのは、ゲートからドレインにゲート・ドレイン間キャパシタを介して充電電流が流れるためである。

0~0.1ns の範囲で、ゲートからソースに流れ込む充電電流 $I_{gs}(Mn)$ がゲートからドレインに流れ込む充電電流 $I_{gd}(Mn)$ より僅かに大きい。これは、図 1-4、図 1-5 でも述べたようにゲート電圧の上昇に対してソースは一定であるが、ドレイン電圧は僅かに上昇するためである。

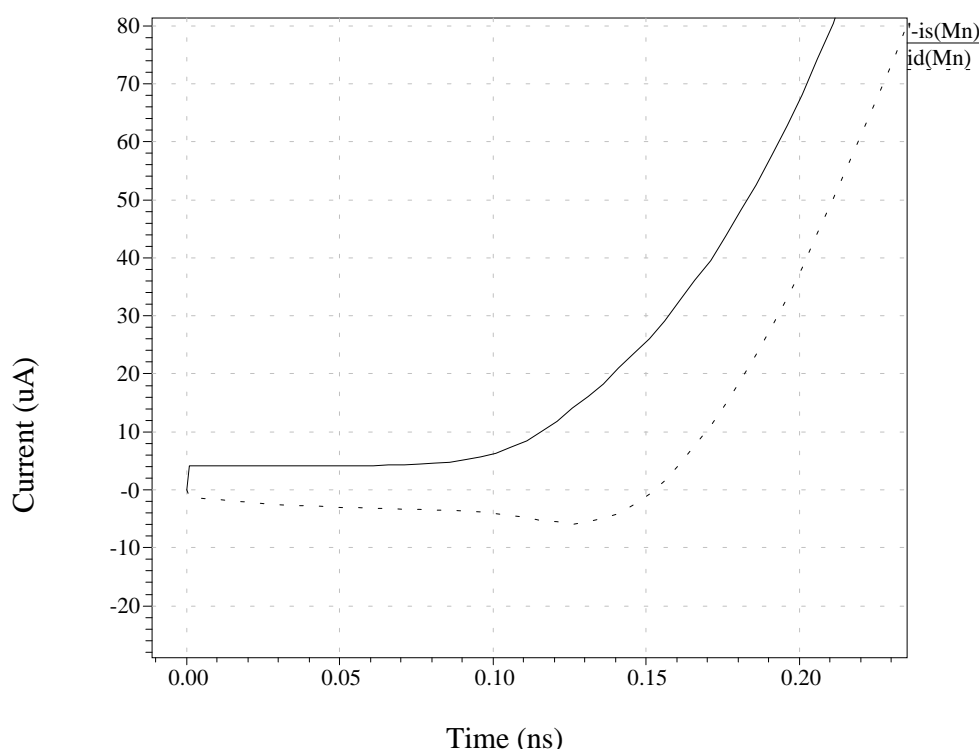


図 1-8 図 1-7 の 0~0.2ns の範囲の拡大図
実線はソースから流れ出る電流 ($-I_s(Mn)$)
破線はドレインから流れ込む電流 ($I_d(Mn)$)

図 1-8 で $0.1 \sim 0.13\text{ns}$ の範囲では、 $-I_s(\text{Mn})$ 、 $I_d(\text{Mn})$ とも、それぞれ正、負の方向に増加している。この範囲では NMOS が導通し、チャンネル領域のキャパシタがゲート・ソース間、ゲート・ドレイン間に分割される。しかし NMOS は飽和状態にあるため、ゲート・ソース間キャパシタがドレイン・ゲート間キャパシタより大きく、 $I_{gs}(\text{Mn}) > I_{gd}(\text{Mn})$ となる。このため $-I_s(\text{Mn})$ の増加が $I_d(\text{Mn})$ の増加より大きくなるのである。

0.13ns 以降では $I_s(\text{Mn})$ 、 $I_d(\text{Mn})$ とも正方向に急激に増加している。これは、NMOS が導通し、ドレインからソースに流れるチャンネル電流が急激に増加したためである。

図 1-7 で 0.5ns 付近を見てみると、 $I_s(Mn)$ 、 $I_d(Mn)$ の減少の仕方に僅かな変化が見られる。この部分を拡大して図 1-9 に示す。0.5ns になると入力電圧の変化は止まり、 $I_{gs}(Mn)$ は零になり $I_s(Mn)$ の減少は早まる。しかし、図 1-4 に見られるように出力電圧 (NMOS のドレイン電圧) は下がり続けているので、 $I_{gd}(Mn)$ は値を変えても流れ続ける。このため、また $I_d(Mn)$ は $I_s(Mn)$ より小さくなるのである。

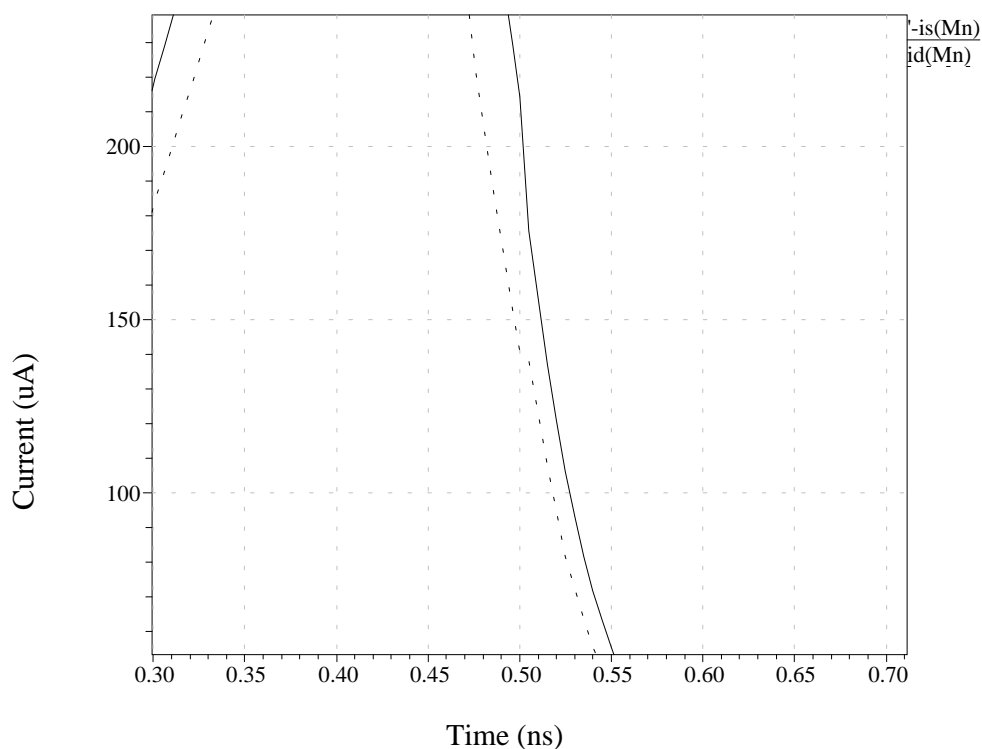


図 1-9 図 7 の 0.5ns 付近の拡大図
 実線はソースから流れ出る電流 ($-I_s(Mn)$)
 破線はドレインから流れ込む電流 ($I_d(Mn)$)

(c) Pチャネルトランジスタの電流

図 1-6 と同様に PMOS の接点間に流れる電流のモデルを図 1-10 に示す。

$I_{ds}(Mp)$ はソース側からドレイン側に流れるチャネル電流、 $-I_d(Mp)$ はドレイン側から流れ出る電流、 $I_s(Mp)$ はソース側から流れ込む電流、 $I_{gd}(Mp)$ はゲートからドレインに流れ込む充電電流、 $I_{gs}(Mp)$ はゲートからソースに流れ込む充電電流である。

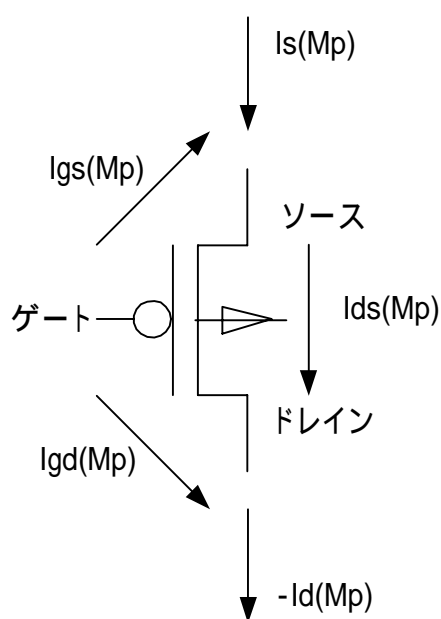


図 1-10 PMOS の接点間を流れる電流のモデル図

入力立上り時に PMOS のソース、ドレインに出入りする電流を図 1-11 に示す。実線はドレイン側から流れ出る電流 $I_d(Mp)$ で、破線はソース側から流れ込む電流 $I_s(Mp)$ である。PMOS の電流特性は NMOS の電流特性 (図 1-7) よりも複雑な形状になっているが、これは出力電圧のオーバーシュート (図 1-5) によりドレイン側からソース側に通常とは逆方向の電流が流れることや、入力電圧の上昇にともなうゲートからソース、ゲートからドレインへの充電電流の影響が大きいことが原因となっている。ゲートからの充電電流は、図 1-10 からわかるようにソース側では $I_s(Mp)$ から差し引く方向で、ドレイン側では $-I_d(Mp)$ に加算する方向である。

図 1-11 の 0 ~ 0.25 ns の範囲で、 $I_s(Mp)$ 、 $-I_d(Mp)$ とともに最小点を 0.15 ns 付近にもち、下にくぼんだ形状を示す。これは出力電圧のオーバーシュートにより、ドレイン側からソース側に流れる電流のためである (PMOS に通常流れる方向と逆方向に流れる)。0.25 ~ 0.5 ns の範囲でも、 $I_s(Mp)$ が負に振り込んでいることから、PMOS のソースからドレインに流れるチャネル電流 (いわゆるインバータの貫通電流) より、ゲートからソースへの充電電流が大きいことがわかる。

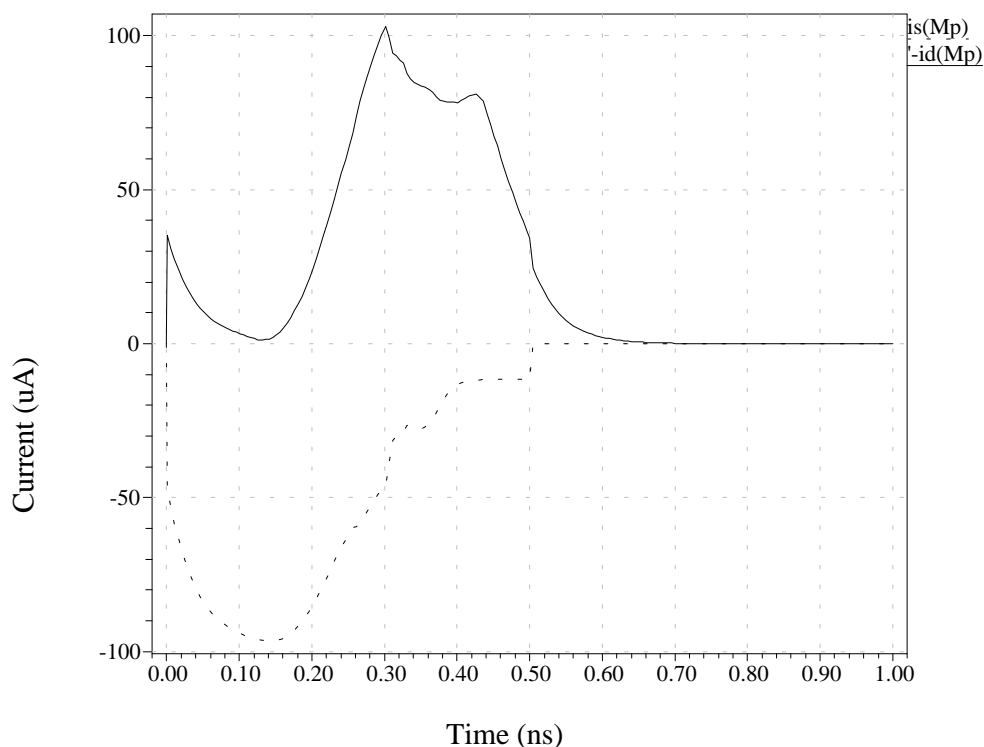


図 1-11 P チャネルトランジスタの電流
 実線はドレインから流れ出る電流 ($-I_d(Mp)$)
 破線はソースから流れ込む電流 ($I_s(Mp)$)

図 1-12 に図 1-11 の破線 $I_s(Mp)$ を $0.2 \sim 0.45\text{ns}$ の範囲で拡大して示す。この図の詳細を見ていく。 0.25ns 付近で一度電流の増加が止まって見えるが、これは出力電圧のオーバーシュートが終わり電圧の下降に移るため、PMOS の逆方向電流が流れなくなってしまうためである（図 1-5 参照）。しかし、入力電圧の上昇は続いているためゲート・ソース間に充電電流が流れつづける。 $0.3 \sim 0.35\text{ns}$ の範囲で $I_s(Mp)$ は上昇を示すが、これは PMOS をソースからドレインに流れるチャネル電流（いわゆるインバータの貫通電流）のためである。同様な増加は図 1-11 の $I_d(Mp)$ にも見られる。その後、PMOS のカットオフ状態になる 0.4ns まで貫通電流が流れつづける。

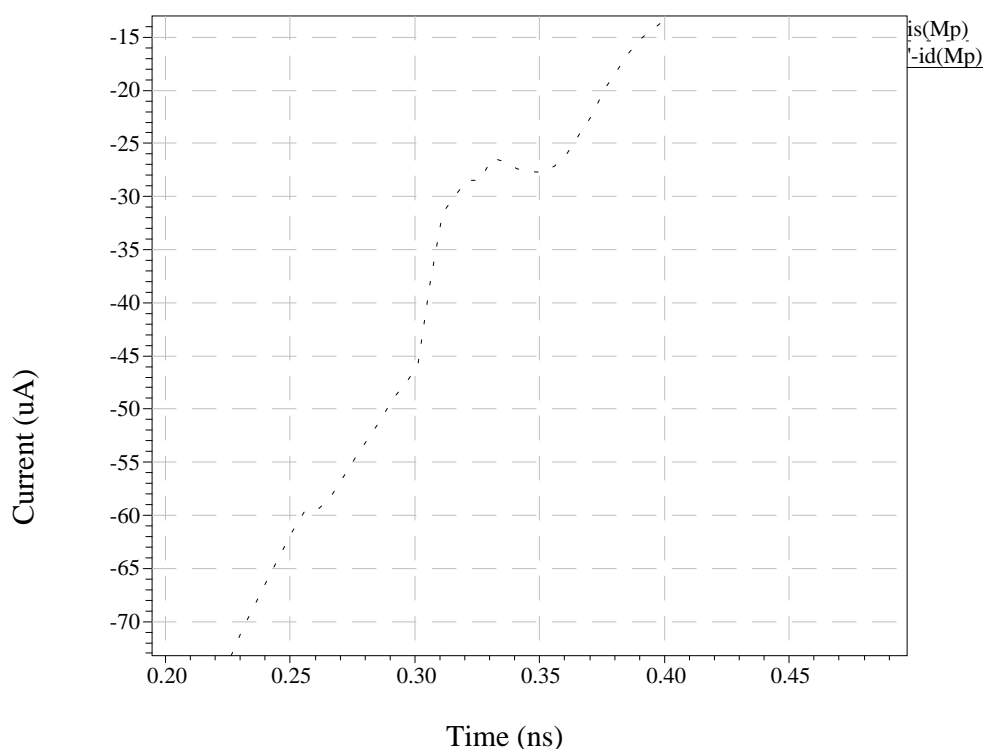


図 1-12 図 1-11 の $0.2 \sim 0.45\text{ns}$ の範囲の拡大図
破線はソースから流れ込む電流 ($I_s(Mp)$)

図 1-13 に図 1-11 の 0.35 ~ 0.6ns の範囲の拡大図を示す。0.4ns 以降の PMOS はカットオフ状態となるが、ゲート・ソース間のオーバーラップ領域のキャパシタのため、ゲートからソースに一定の充電電流が流れる。しかし、0.5ns になると入力電圧の上昇は止まり、ゲートからソースに流れる充電電流は零になる。しかし、ゲートからドレインに流れる充電電流は、入力電圧の上昇が止まった 0.5ns 以降も、ドレイン電圧（出力電圧）が下がる間は流れ続ける。

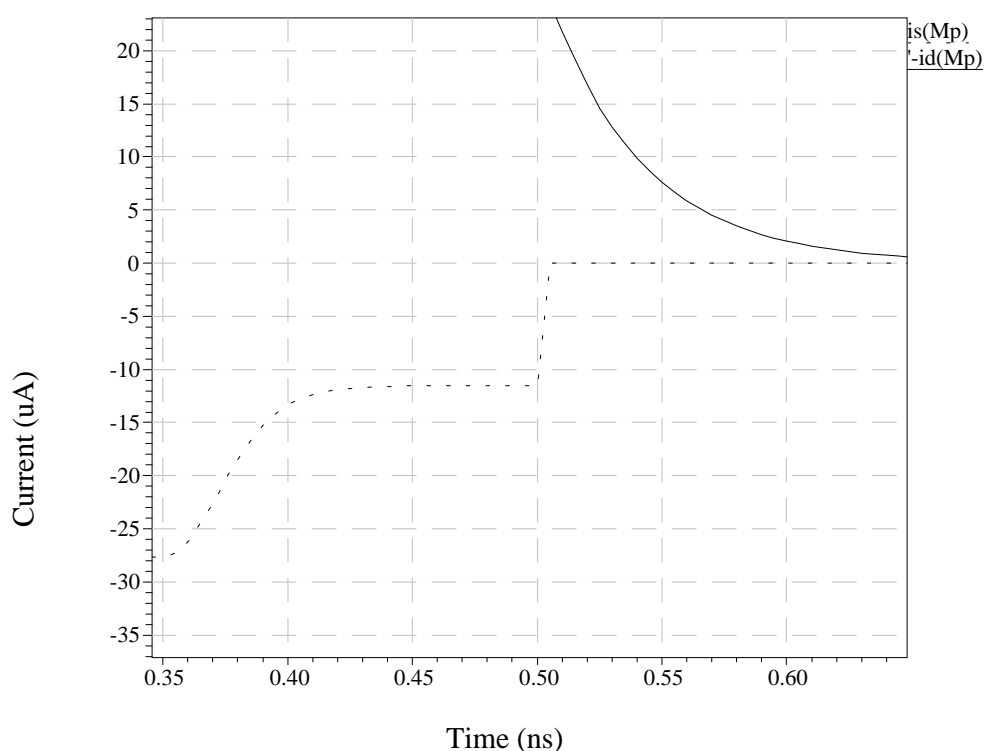


図 1-13 図 1-11 の 0.35 ~ 0.6ns の範囲の拡大図

実線はドレインから流れ出る電流 (- Id(Mp))

破線はソースから流れ込む電流 (Is(Mp))

2.3 入力立下り時の特性

(a) 出力電圧

図 1-14 に入力立下り時の出力電圧の変化を示す。入力立下り時間は、入力立上り時と同様に 0.5ns とし、入力電圧の変化を破線で示し、出力電圧の変化を実線で示している。

PMOS は $0 \sim 0.1\text{ns}$ の範囲ではカットオフ状態で、 0.1ns 以降は導通状態に入り、 $0.1 \sim 0.4\text{ns}$ の範囲では飽和状態、 0.4ns 以降は非飽和状態である。

NMOS は、 $0 \sim 0.32\text{ns}$ の範囲は非飽和状態に、 $0.32\text{ns} \sim 0.4\text{ns}$ の範囲では飽和状態にあり、 0.4ns 以降はカットオフ状態に入る。

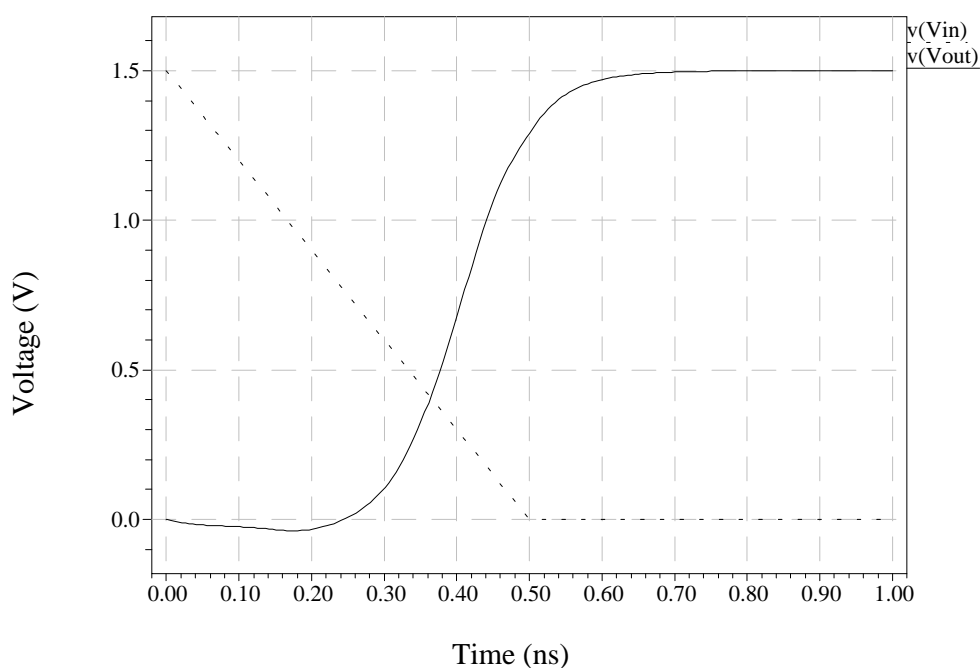


図 1-14 入力立下り時の出力電圧の変化

図 1-15 に図 1-14 の 0V 付近の拡大図を示す。図から分かるように 0 ~ 0.25ns の間で出力電圧が接地電圧 (Gnd) より低くなり、最小値で -0.04V になっている。これは入力立上り時同様に、P、N 両トランジスタのゲート・ドレイン間キャパシタにより、入力電圧の下降に応じて出力電圧が引き下げられるためである。また 0.1ns 付近からさらに出力電圧が引き下げられるが、これは 0.1ns より PMOS が導通状態に入ってチャンネルが形成され、実質的なゲート・ドレイン間のキャパシタンスが大きくなり、さらに充電電流が流れるためである。

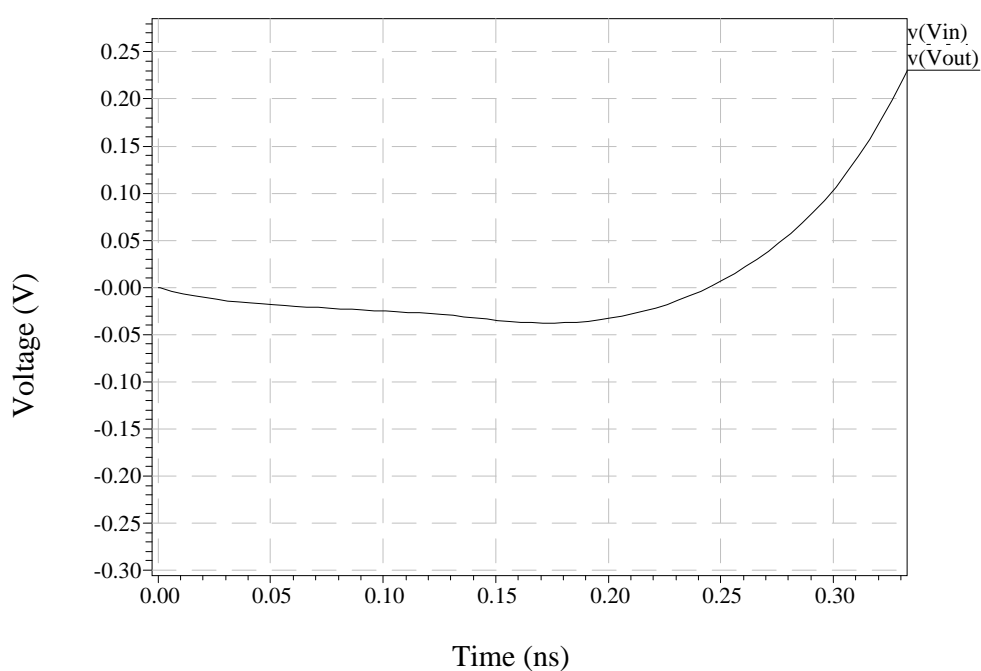


図 1-15 図 1-14 の 0V 付近の拡大図

(b) Pチャネルトランジスタの電流

PMOSの接点間に流れる電流のモデルを図1-16に示す。入力立上り時(図1-11)とは異なり、ゲート・ドレイン間、ゲート・ソース間に流れる電流の向きが逆になっている。

$I_{ds}(Mp)$ はソースからドレインに流れるチャネル電流、 $I_s(Mp)$ はソース側から流れ込む電流、 $-I_d(Mp)$ はドレイン側から流れ出る電流、 $I_{gs}(Mp)$ はソースからゲートに流れ込む充電電流、 $I_{gd}(Mp)$ はドレインからゲートに流れ込む充電電流である。

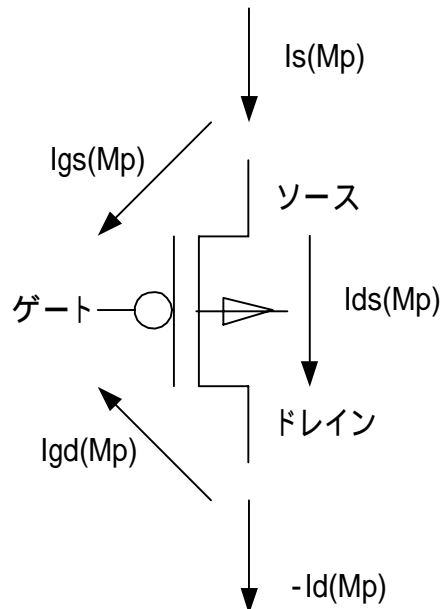


図 1-16 Pチャネルトランジスタの接点間を流れる電流のモデル

入力立下り時に支配的な役割を果たす PMOS の電流の変化を図 1-17 に示す。実線がソース側から流れ込む電流 $I_s(Mp)$ で、破線がドレイン側から流れ出る電流 $-I_d(Mp)$ である。入力立上り時と同様に両電流に差が見られるが、両電流の差は入力立上り時 (図 1-7) より大きい。これは、NMOS に比べ PMOS のゲート幅 (W) が 2.5 倍大きい (トランジスタ素子パラメータ参照) ゲート・ソース間、ゲート・ドレイン間キャパシタが大きくなり、それらを介するキャパシタカップリングによる充電電流 ($I_{gs}(Mp)$ 、 $I_{gd}(Mp)$) が大きくなるためである。

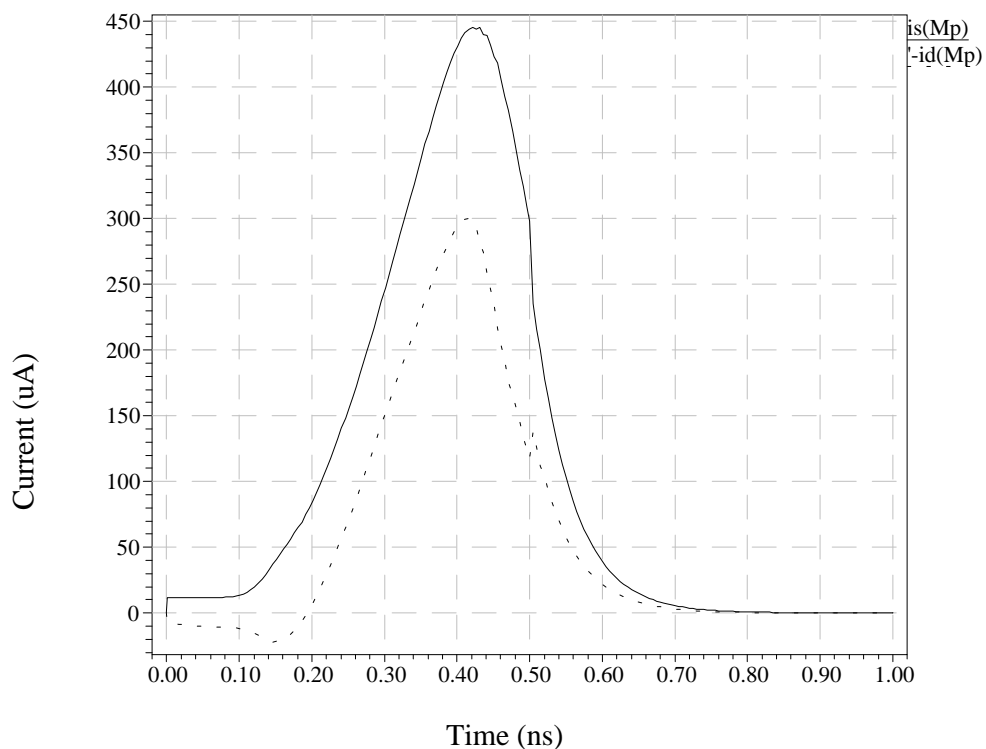


図 1-17 P チャネルトランジスタの電流特性
 実線はソースから流れ込む電流 ($I_s(Mp)$)
 破線はドレインから流れ出る電流 ($-I_d(Mp)$)

図 1-18 に図 1-17 の 0 ~ 0.3ns の範囲の拡大図を示す。

0 ~ 0.1ns の範囲では PMOS はカットオフ状態ではあるが、ゲート・ドレイン間に形成されているオーバーラップによるキャパシタにより、立上り時と同様に充電電流が流れる。しかし、PMOS のオーバーラップによるキャパシタンスが大きいため、NMOS より大きな電流が流れている。また、0.1ns 以降 PMOS が飽和状態となり、チャンネルが形成される。チャンネル領域のキャパシタがドレイン・ゲート間、ソース・ゲート間のキャパシタに分割されるが、ゲート・ソース間キャパシタがゲート・ドレイン間キャパシタより大きい。このため $I_{gs}(Mp) > I_{gd}(Mp)$ となり、 $I_s(Mp)$ の増加が $I_d(Mp)$ の増加より大きくなる。

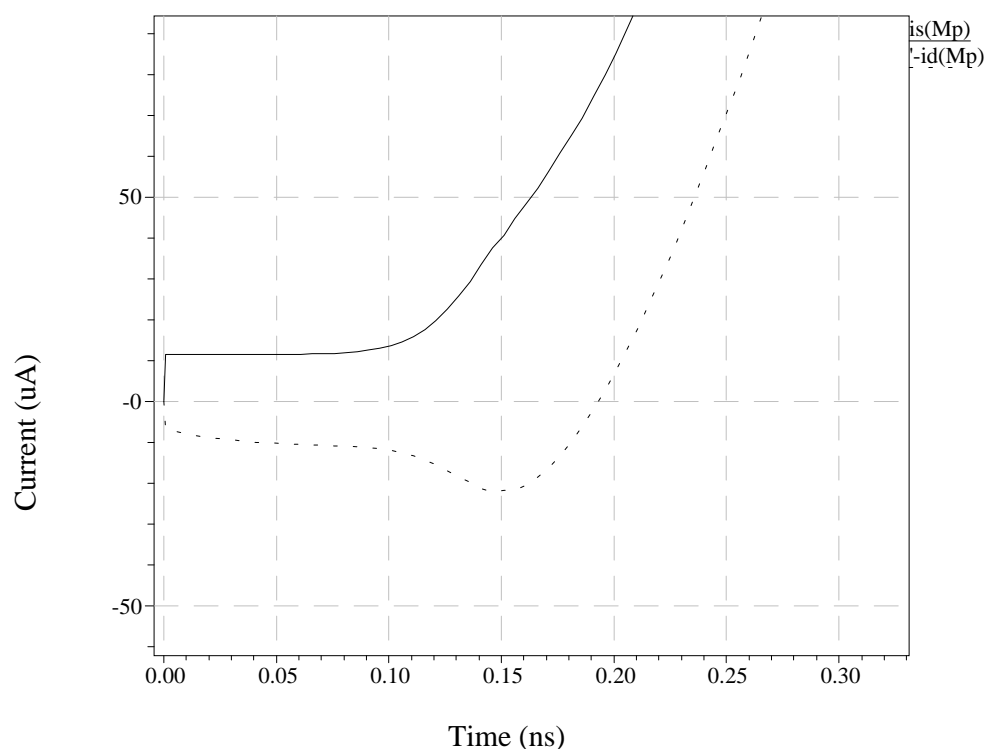


図 1-18 図 1-17 の 0 ~ 0.3ns の範囲の拡大図
実線はソースから流れ込む電流 ($I_s(Mp)$)
破線はドレインから流れ出る電流 ($-I_d(Mp)$)

図 1-19 に図 1-17 の 0.5ns 付近の拡大図を示す。
 0.5ns になると入力電圧の下降が止まり、 $I_{gs}(Mp)$ は零になり、 $I_s(Mp)$ の減少は早まる。しかし、出力電圧は上昇を続けるため $I_{gd}(Mp)$ は値を変えて流れ続けている。このため $I_s(Mp)$ より $-I_d(Mp)$ の方が小さくなる。

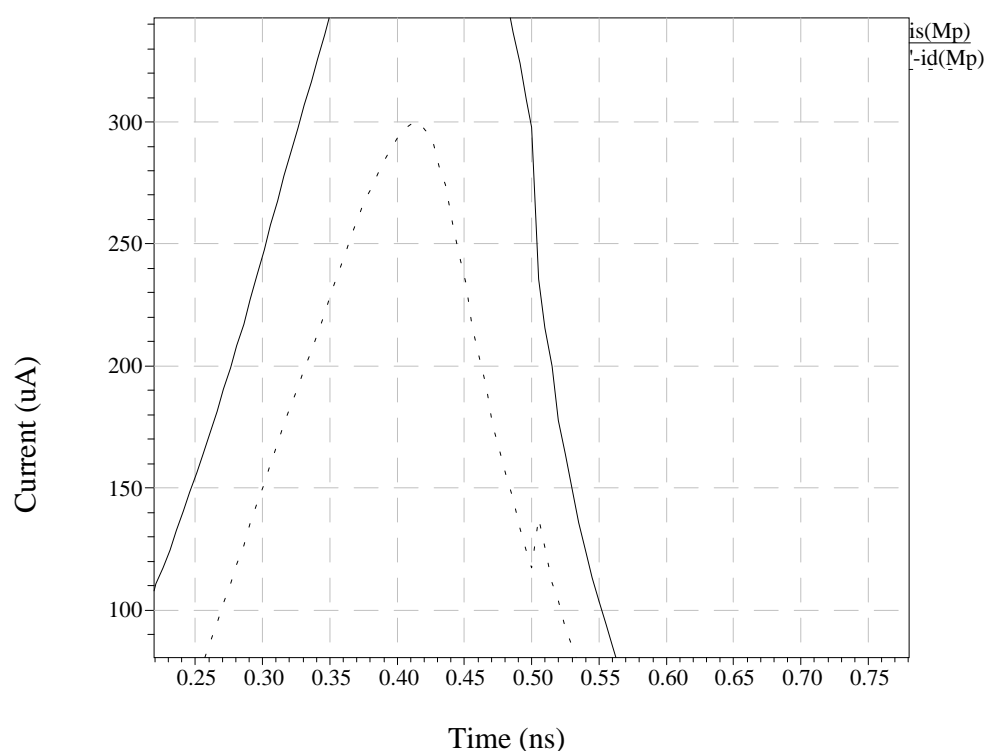


図 1-19 図 1-17 の 0.5ns 付近の拡大図
 実線はソースから流れ込む電流 ($I_s(Mp)$)
 破線はドレインから流れ出る電流 ($-I_d(Mp)$)

(c) Nチャネルトランジスタの電流

NMOSの接点間に流れる電流のモデルを図1-20に示す。

$I_{ds}(Mn)$ はドレインからソースに流れるチャネル電流、 $I_d(Mn)$ はドレイン側から流れ込む電流、 $-I_s(Mn)$ はソース側から流れ出る電流、 $I_{gd}(Mn)$ はドレインからゲートに流れ込む充電電流、 $I_{gs}(Mn)$ はソースからゲートに流れ込む充電電流である。

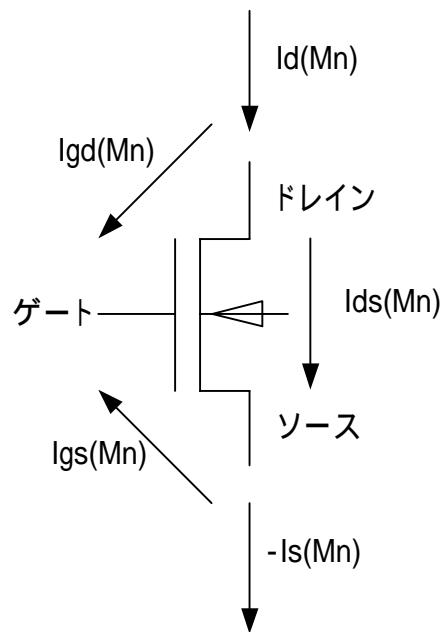


図 1-20 NMOS の接点間を流れる電流のモデル

入力立下り時に NMOS のソース、ドレインに出入りする電流を図 1-21 に示す。実線はドレインから流れ込む電流 $I_d(Mn)$ で、破線はソースから流れ出る電流 $-I_s(Mn)$ である。

0 ~ 0.25ns の範囲で、 $I_d(Mn)$ 、 $-I_s(Mn)$ とも最小点を 0.17ns 付近にもち下にくぼんだ形状を示す。これは出力電圧のアンダーシュートにより、ソースからドレインに流れる電流のためである。

入力立上り時と同様にソース側から流れ出る電流 $-I_s(Mn)$ の大半は負方向に振り込んでいることから、ドレインからソースへ流れるチャネル電流（いわゆる貫通電流）より、ソースからゲートへの充電電流 $I_{gs}(Mn)$ が大きいことがわかる。しかし、PMOS に比べゲート幅（W）が小さいので $I_{gs}(Mn)$ の影響が小さく、入力立上り時のように大きく変化はしない（図 1-12 参照）。そのため 0.3ns 付近では一時的に $I_{gs}(Mn)$ より貫通電流の方が大きくなる（ $-I_s(Mn)$ が正に振り込んでいる）。

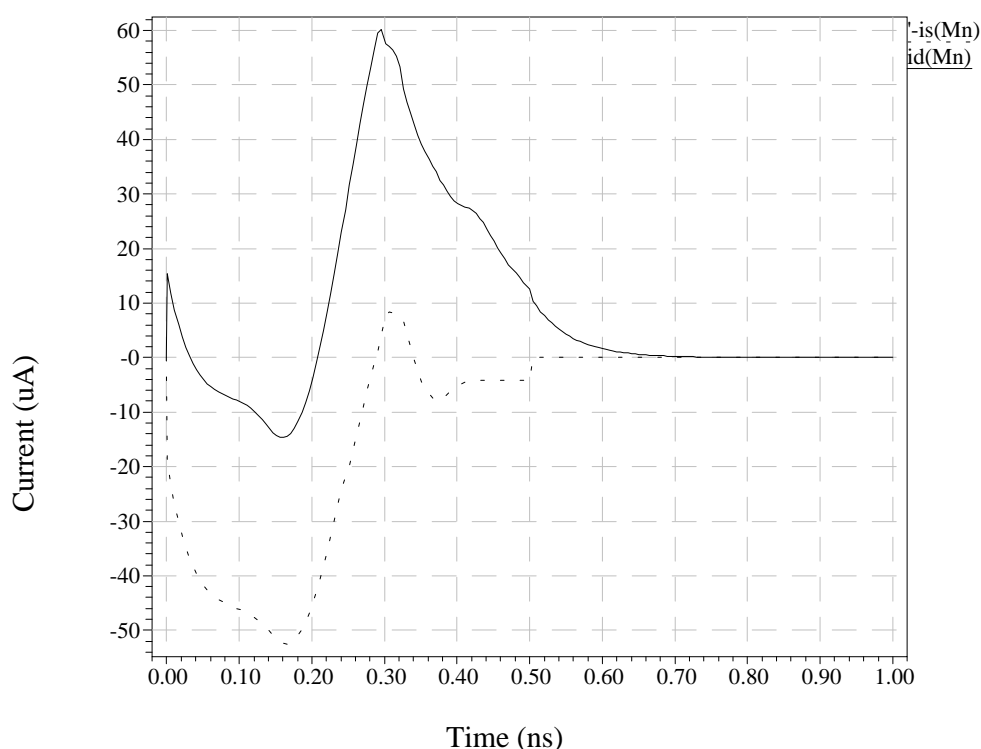


図 1-21 N チャネルトランジスタの電流
実線はドレインから流れ込む電流 ($I_d(Mn)$)
破線はソースから流れ出す電流 ($-I_s(Mn)$)

2.4 まとめ

本章では入力立上り時、立下り時に MOS トランジスタのドレイン側とソース側に流れる電流や、インバータの入出力電圧について解析してきた。微細化に伴い、これまで一般的に考えられてきたインバータ特性とはかなり異なった入出力特性や電流特性がみられた。ゲート・ドレイン間に流れる電流の影響が出力電圧のオーバーシュートやアンダーシュートという形であらわれ、またドレイン電流やソース電流が複雑になっていることがわかる。

これらの電流特性や電圧特性は、MOS トランジスタのしきい値電圧をはじめとする、デバイスパラメータによって大きく支配される。その中でも PMOS、NMOS のしきい値電圧はインバータの駆動電流に大きく影響している。

第 3 章でゲート・ドレイン間電流、ゲート・ソース間電流を除いたチャネル電流の特性から消費エネルギーを考え、しきい値電圧をトランジスタパラメータとして変化させると消費エネルギーと遅延時間にどのような変化があらわれるのか解析していく。

第3章 CMOSインバータの消費電力と遅延時間の解析

インバータの消費電力と遅延時間の解析においても、PMOS、NMOSの各素子パラメータおよび回路パラメータは2.1で記述した値と同様のものを用いた。ゲートしきい値電圧も、とくに説明がないかぎり、 $-0.3V$ (PMOS)、 $+0.3V$ (NMOS)とした。本章の解析では、インバータの回路では、NMOSのソースとアースの間に $1V$ の直流電源を付加している。これはNMOSのチャネル電流 $I_{ds}(Mn)$ を求める上で必要であったためである(その詳細は3.1節で説明する)。それ以外の場合は、この $1V$ の直流電源ははずして解析している。

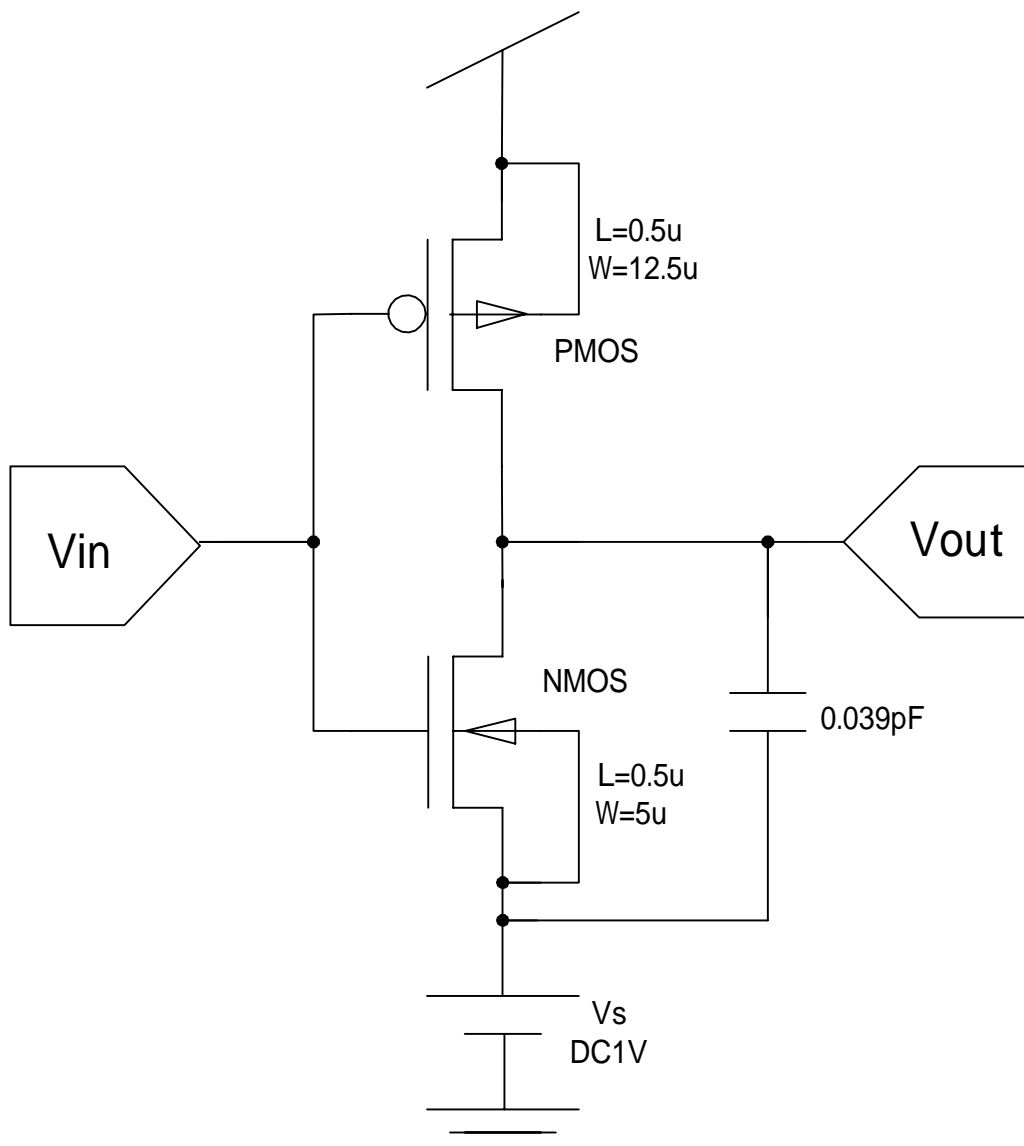


図 3-1 消費電力を解析するための CMOS インバータ回路

3.1 CMOS インバータにおける消費電力

一般的に消費電力は $V \cdot I$ であらわされる。ここでは PMOS、NMOS のソース・ドレイン間に流れるチャンネル電流 ($I_{ds}(Mp)$ 、 $I_{ds}(Mn)$) にドレイン・ソース間電圧を掛けた値が、その素子の消費電力になる。過渡状態のチャンネル電流は、前述したように T-Spice の通常の解析では求められないため、次ぎのような工夫をした。

T-Spice では電源の消費電力を解析する方法がある。図 3-1 の回路で、NMOS のソースとアース間に付加した直流電圧源 V_s は NMOS のソース側から供給する消費電力を求めるためのものである。この消費電力は NMOS のチャンネル電流 $I_{ds}(Mn)$ による消費電力であるので、チャンネル電流 $I_{ds}(Mn)$ と電源電圧 V_s の掛算になっている。つまり、 $I_{ds}(Mn)$ は、直流電源 V_s の消費電力を電源電圧 V_s で割ることによって求めることができる。同様に PMOS のドレイン・ソース間のチャンネル電流 $I_{ds}(Mp)$ も、直流電源 V_{dd} の消費電力を V_{dd} で割ることにより求めることができる。

この他にチャンネル電流を求める近似的な方法として、ゲート・ソース間充電電流 $I_{gs}(Mn)$ とゲート・ドレイン間充電電流 $I_{gd}(Mn)$ が同じ値と近似し、ソースから流れ込む電流 $I_s(Mn)$ とドレインから流れ出す電流 $-I_d(Mn)$ を足し合わせて 2 で割ることでチャンネル電流 $I_{ds}(Mn)$ を近似的に求めることができる。しかし、ゲート・ドレイン間に流れる充電電流 $I_{gs}(Mn)$ はミラー効果により実質的なキャパシタがゲート・ソース間に比べ大きく、この近似はあまり良くないことが分かった。また、ミラー効果を考慮して、ゲートからドレインへ流れる充電電流 $I_{gd}(Mn)$ の値を $I_{ds}(Mn)$ の 2 倍として (大信号動作として増幅度は -1 と考えられるから) 解析を試みたが、この方法も近似が良くないことが分かった。

以上のことを踏まえ、前述した電源の消費電力から PMOS、NMOS のチャンネル電流を求める方法で、入力立上り時の PMOS と NMOS の消費電力、入力立下り時の PMOS、NMOS の消費電力を求めた。

3.1.1 入力立上り時の消費電力

(a) Nチャネルトランジスタの消費電力

NMOSのドレイン・ソース間に流れるチャネル電流 $I_{ds}(Mn)$ を図3-2に示す。入力立上り時のNMOSに流れる電流は負荷キャパシタの放電を行うため、大きな電流が流れている。これはゲート・ソース充電間電流 $I_{gs}(Mn)$ 、ゲート・ドレイン間充電電流 $I_{gd}(Mn)$ の影響が無いいため、図2-7の $-I_s(Mn)$ 、 $I_d(Mn)$ の間に入る値を示し、また負方向に振り込む電流も見られない。

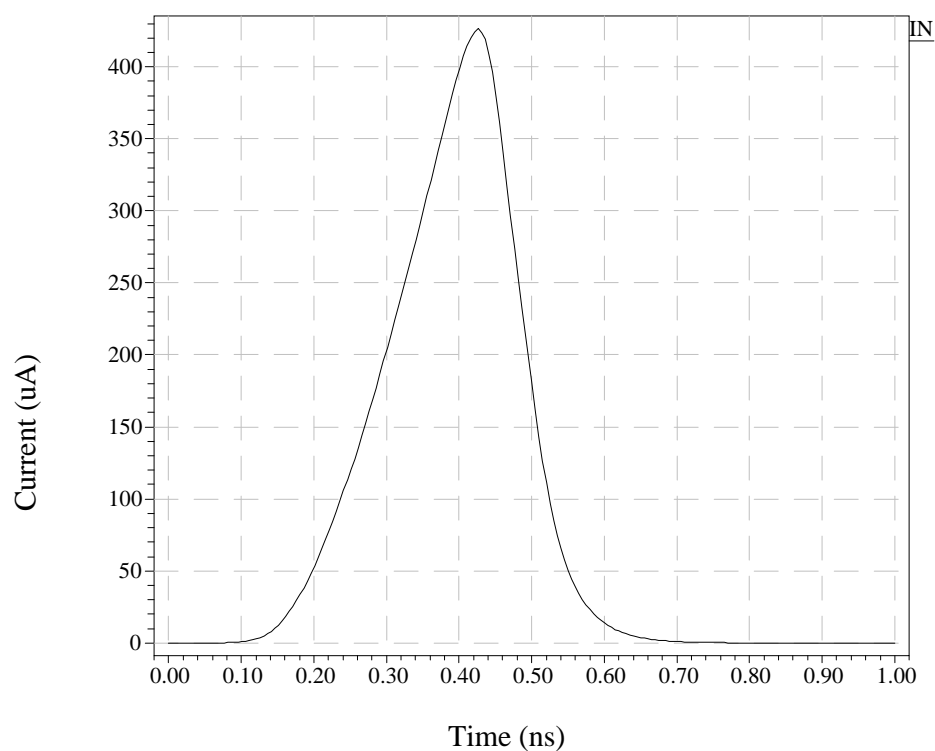


図3-2 NMOSのチャネル電流 $I_{ds}(Mn)$

入力立上り時の NMOS の過渡的な消費電力 PWN の変化を図 3-3 に示す。前述したように NMOS の消費電力は、ドレイン・ソース間の電圧差 (V_{out}) にドレイン・ソース間チャネル電流 $I_{ds}(Mn)$ を掛けたものである。また 0.1ns 以降、NMOS はカットオフ状態から飽和状態に移るため PWN は急激な増加をしている。

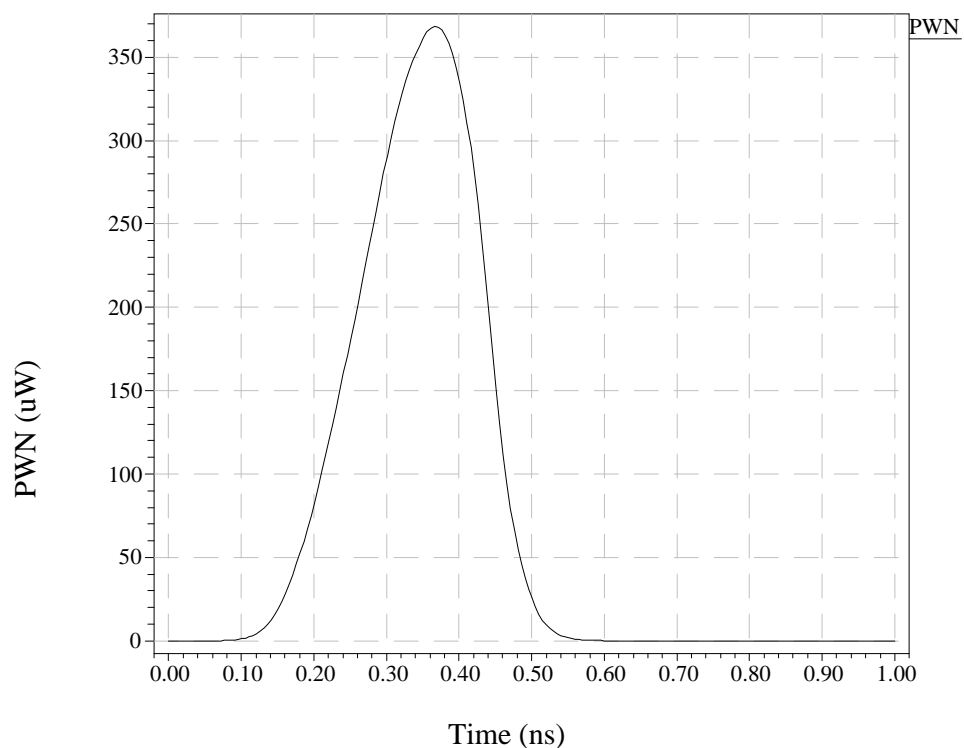


図 3-3 入力立上り時の NMOS の消費電力 PWN

次に図 3-2 と図 3-3、さらに出力電圧を加えて、まとめて図 3-4 に示す。図の縦軸は出力電圧を基にしたスケールになっているので、消費電力とチャネル電流は 3×10^3 倍して図示している。実線は NMOS の消費電力 PWN で、破線がチャネル電流 $I_{ds}(Mn)$ 、2 点鎖線はドレイン・ソース間の電圧 (NMOS では出力電圧 V_{out}) である。当然のことながら、消費電力のピークの位置は、チャネル電流のピークの位置より左側 (出力電圧の高い方) にある。また、出力電圧の下降する速度は、チャネル電流のピーク位置でもっとも大きくなっている。

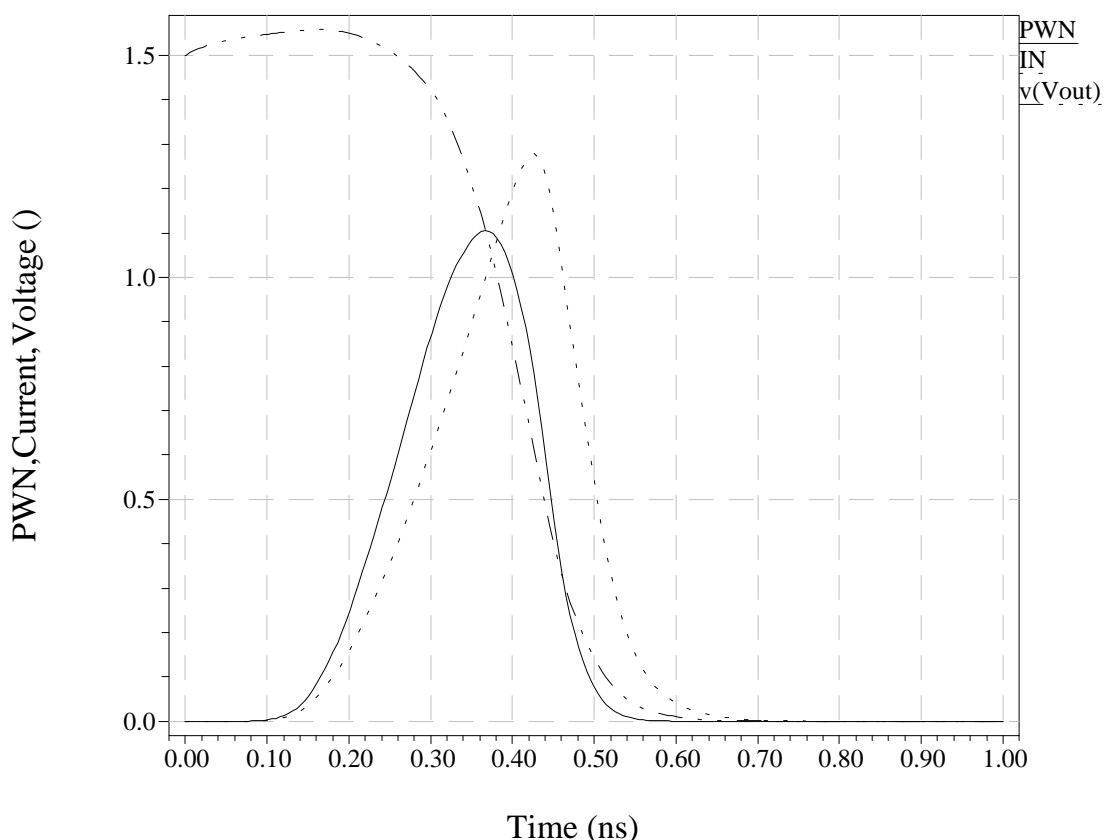


図 3-4 NMOS のソース・ドレイン間電圧、消費電力、チャネル電流
 破線は NMOS チャネル電流 ($3 \times 10^3 A$) $I_{ds}(Mn)$
 実線は NMOS の消費電力 ($3 \times 10^3 W$) PWN
 2 点鎖線は NMOS のソース・ドレイン間電圧 (V) V_{out}

(b) Pチャネルトランジスタの消費電力

PMOSのドレイン・ソース間に流れるチャネル電流 $I_{ds}(Mp)$ を図3-5に示す。解析に入る前は、従来の常識で、PMOSには貫通電流のみ流れると考えていた。しかし、図からも分かるように、ドレインからソースへ貫通電流とは逆の方向の電流が流れている。しかも、かなり大きな電流である。0.25nsまでは出力電圧のオーバーシュート(図2-4、2-5参照)により、ドレインからソース方向に電流が流れるのである。0.25ns以降は通常の貫通電流である。電流の値を見ると、貫通電流よりも、通常とは逆方向に流れる電流値が何倍にもなっている。

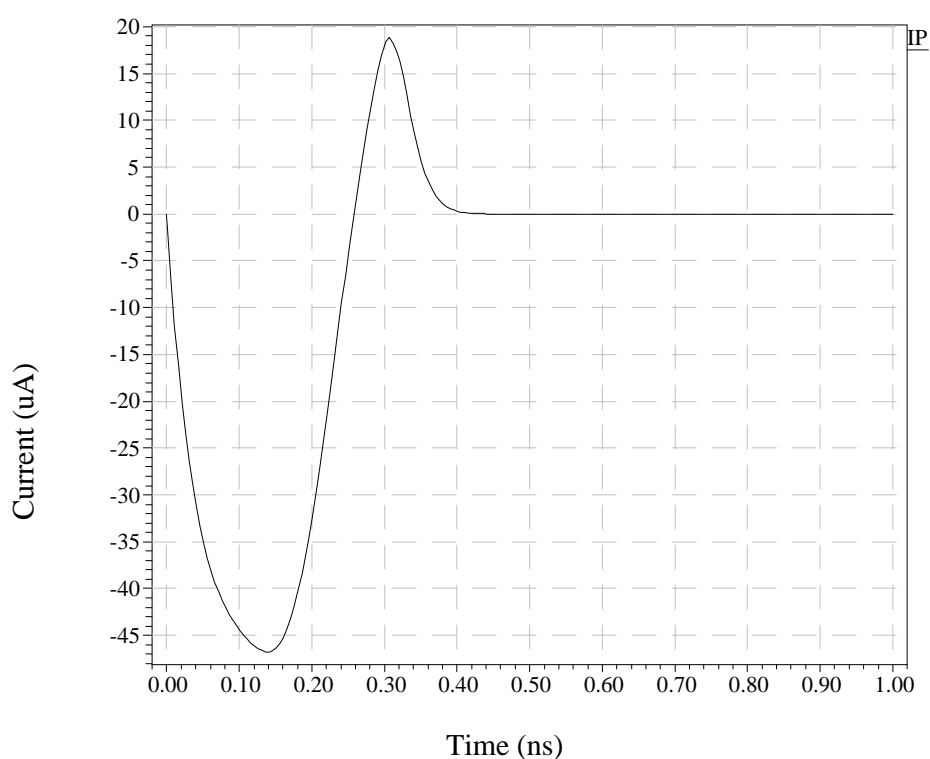


図3-5 PMOSのチャネル電流 $I_{ds}(Mp)$

入力立上り時の過渡的な PMOS の消費電力 PWP を図 3-6 示す。PWP を求める上で必要になる PMOS のドレイン・ソース間電圧は、電源電圧 Vdd から出力電圧 Vout を引いた電圧を用いている。そのため、0~0.25ns 間は出力電圧のオーバーシュートによりドレイン・ソース間にかかる電圧は負になる。このため、図 26 では負方向に流れていた Ids(Mp)は、PMOS の消費電力として正になる。また、図 26 では 0~0.25ns までのドレイン・ソース間電流と貫通電流は 4 倍異なったが、0~0.25ns の範囲では出力電圧 Vout は電源電圧 Vdd に近いため、ドレイン・ソース間電圧は小さい。そのため、0~0.25ns の範囲の消費電力と貫通電流による消費電力には図 26 のような顕著な違いが見られない。図 2-4、2-5 に見られるように出力電圧のオーバーシュートはピーク時で約 0.06V で、図 26 より 0.1~0.25ns の範囲のドレイン・ソース間電流はピーク時で約 47uA のため、消費電力はピーク時で約 2.7uW となっている。

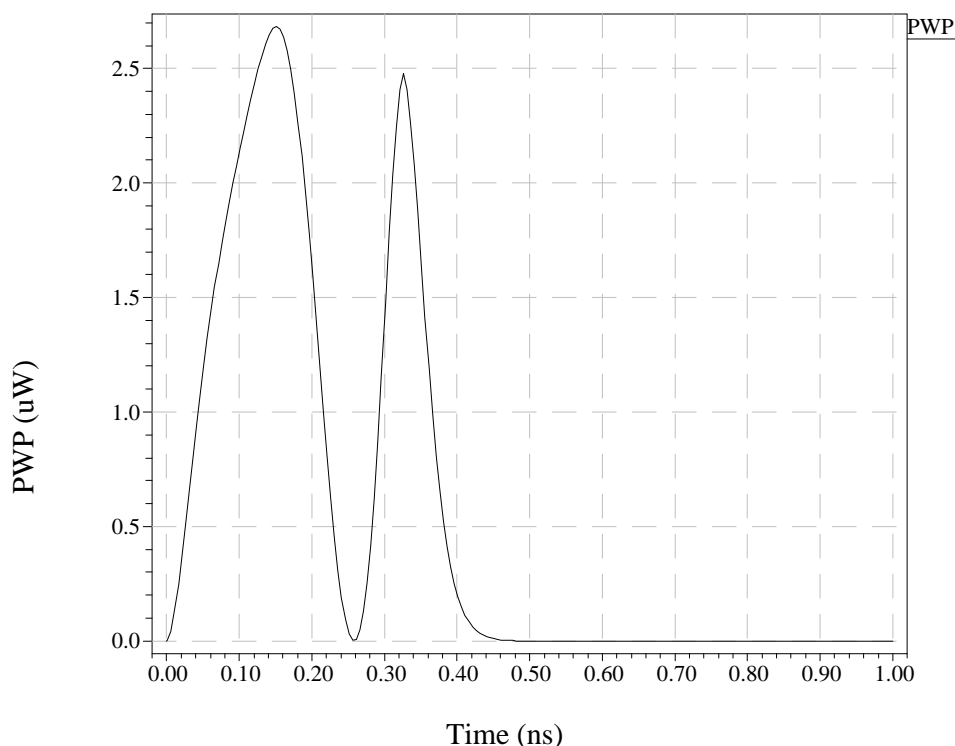


図 3-6 入力立上り時の PMOS の消費電力 PWP

図 3-5、図 3-6、さらに電源電圧から出力電圧差し引いた波形 (PMOS のソース・ドレイン間電圧) も含めて図 3-7 に示す。図 3-7 の縦軸は図 3-4 と同様に出力電圧を基にしたスケールになっているので、消費電力は 0.5×10^6 倍、チャンネル電流 $I_{ds}(Mp)$ は 0.5×10^5 倍して表示している。実線は PMOS の消費電力 PWP で、破線がチャンネル電流 $I_{ds}(Mp)$ 、2 点鎖線は電源電圧 Vdd から出力電圧 Vout を差し引いた電圧である。

入力立上り時の PMOS の消費電力は NMOS に比べ 2 桁以上小さいが、NMOS による負荷キャパシタの放電の約 1 割を PMOS のドレインからソース方向に流れる電流が担っている。

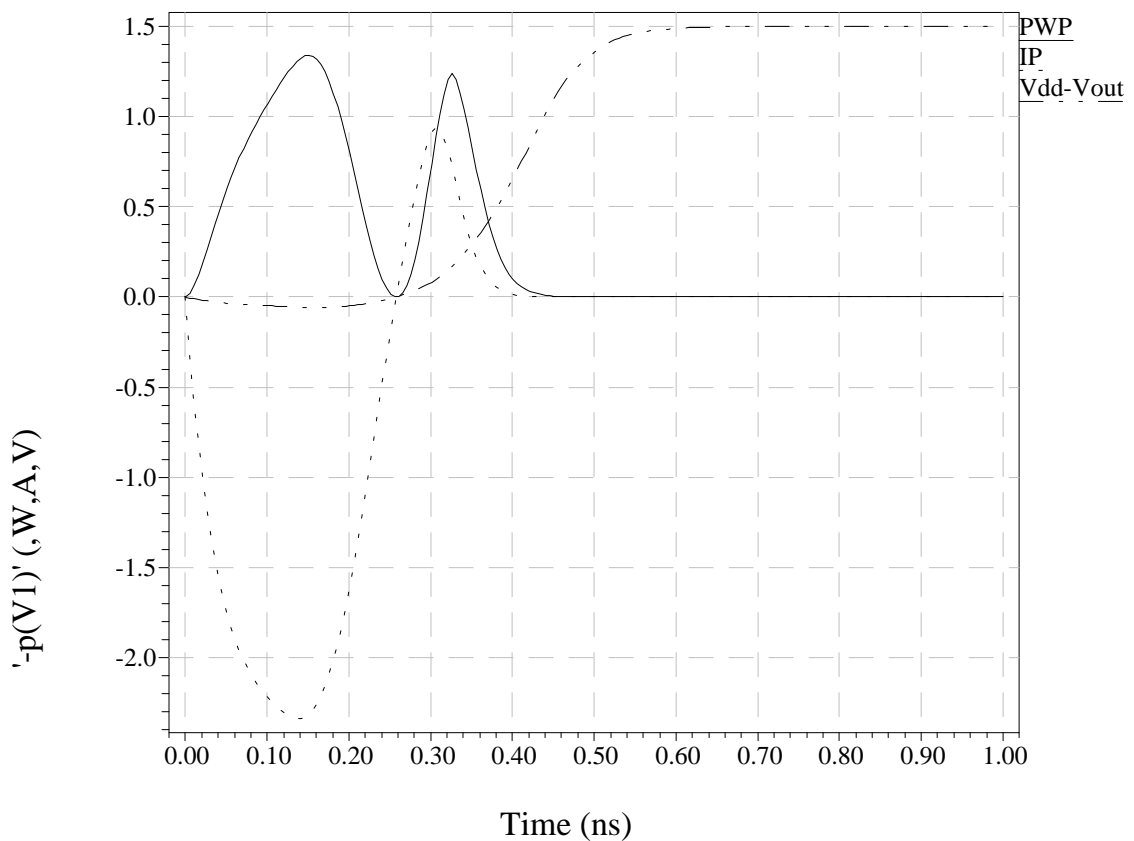


図 3-7 PMOS のソース・ドレイン間電圧、消費電力、チャンネル電流
 破線は PMOS チャンネル電流 ($0.5 \times 10^5 A$) $I_{ds}(Mp)$
 実線は PMOS の消費電力 ($0.5 \times 10^6 W$) PWP
 2 点鎖線は PMOS のソース・ドレイン間電圧 (V) Vdd - Vout

(c) 電源の供給する電力

入力立上り時に電源が供給する電力を図 3-8 に示す。この電力は PMOS のチャネル電流 $I_{ds}(M_p)$ と同じ形になる。図 3-8 に示した PMOS の消費電力 PWP と異なり、PMOS のドレインからソースにチャネル電流が流れる期間で電力が負になっている。これは電源に電力が返されていることを意味している。この例では、貫通電流による消費エネルギー（下図で正側の積分値）は 1.75(fJ) なのに対し、電源へ返されるエネルギー（下図で負側の積分値）は 9.4(fJ) になる。このときの NMOS の消費エネルギーは 67.9(fJ) になるので、電源へかなりの割合で電力を返していることになる。

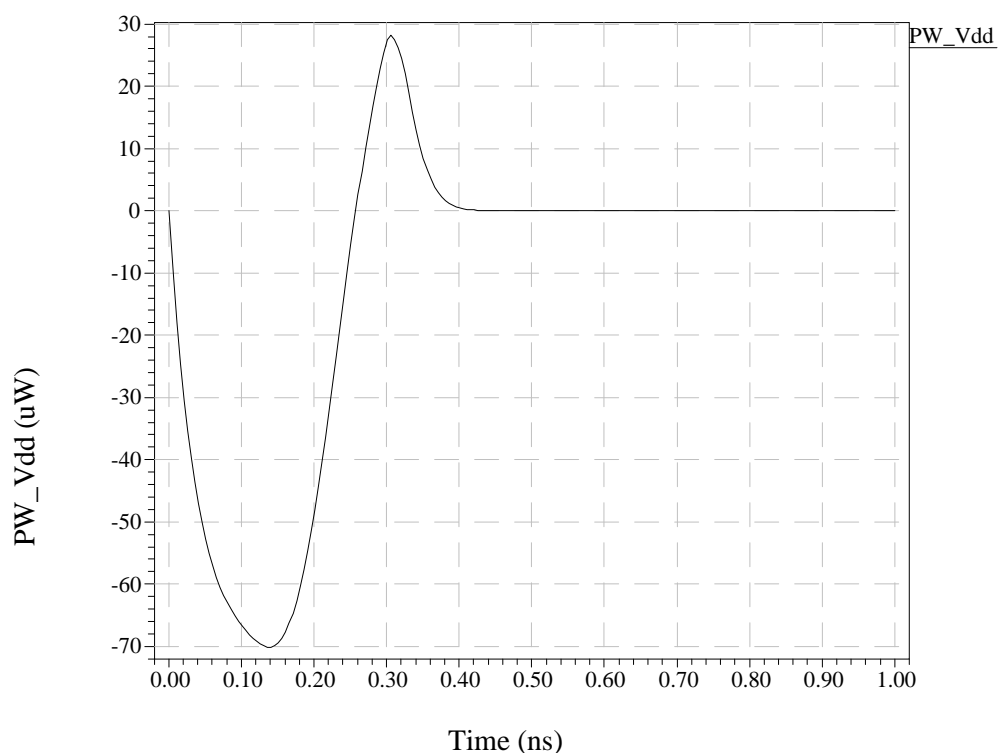


図 3-8 入力立上り時の供給の消費電力 PW_Vdd

3.1.2 入力立下り時の消費電力

(a) Pチャネルトランジスタの消費電力

PMOSのドレイン・ソース間に流れるチャンネル電流 $I_{ds}(Mp)$ を図3-9に示す。入力立下り時のPMOSに流れる電流は、負荷キャパシタの充電を行うため大きな電流が流れている。0.1ns以降はPMOSはカットオフ状態から飽和状態へ移るため $I_{ds}(Mp)$ は急激な増加をしている。

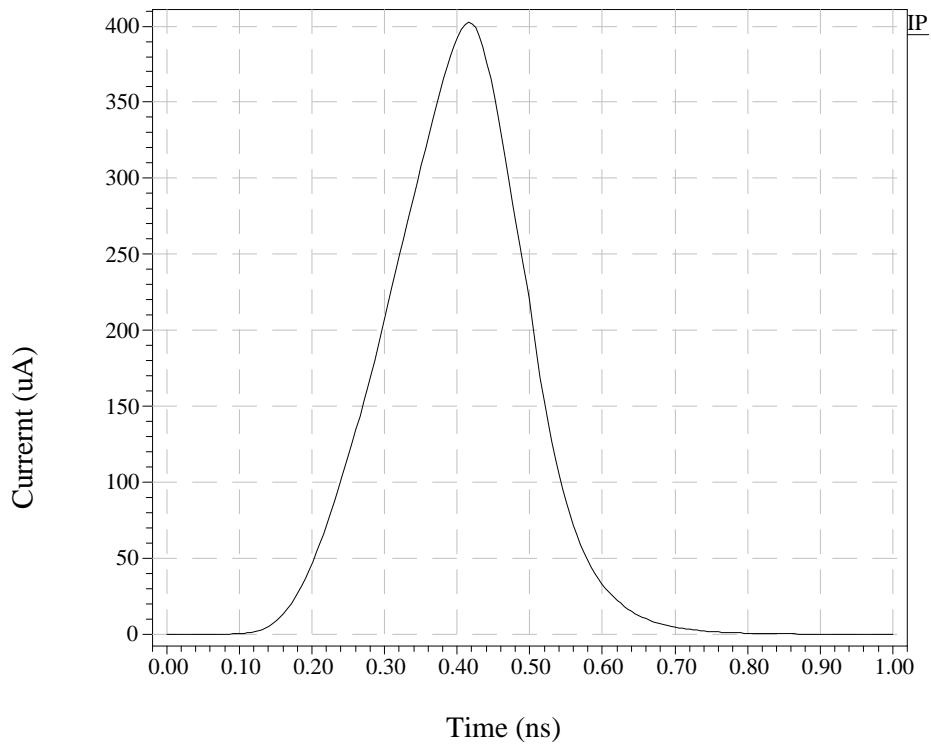


図3-9 PMOSのチャンネル電流 $I_{ds}(Mp)$

PMOS の過渡的な消費電力である PWP を図 3-10 に示す。PWP は PMOS のチャネル電流 $I_{ds}(M_p)$ に、PMOS のソース・ドレイン間電圧である電源電圧 V_{dd} から出力電圧 V_{out} を差し引いた電圧を掛けてあらわしている。また、PMOS、NMOS の特性がほぼ等しいため、入力立上り時の NMOS の消費電力 PWN (図 3-3) と同様に 0.36ns 付近を頂点をもつ波形を示す。

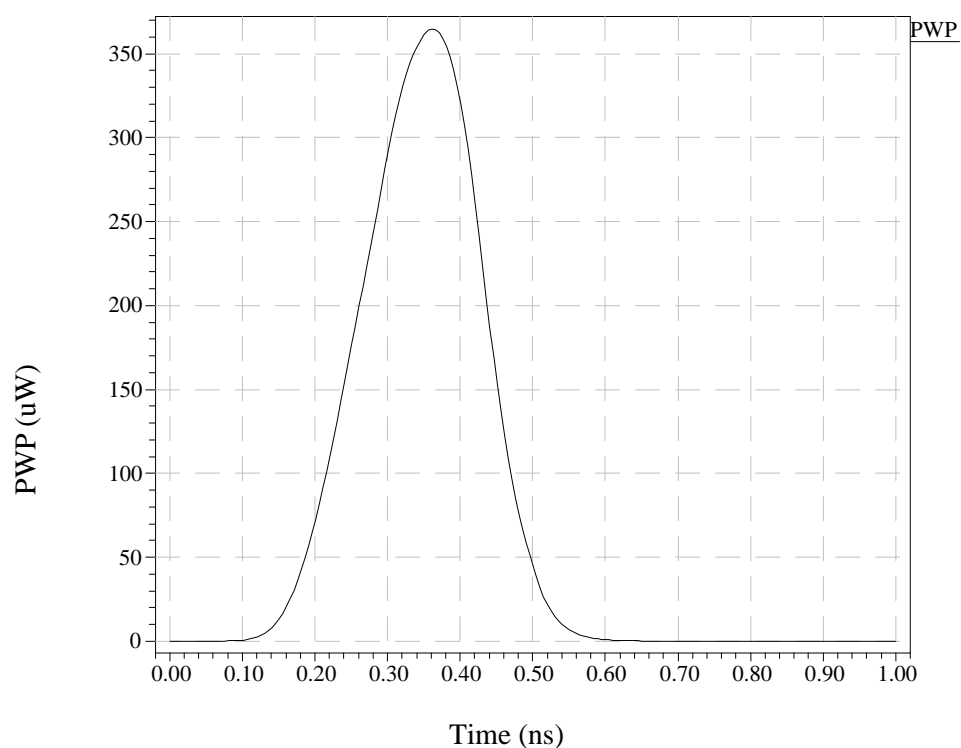


図 3-10 入力立下り時の PMOS の消費電力 V_{dd}

図 3-11 に、図 3-9 と図 3-10、ドレイン・ソース間電圧（電源電圧 Vdd から出力電圧を差し引いた電圧）を示す。図の縦軸はドレイン・ソース間電圧を基にしたスケールにしているため、消費電力は 0.5×10^4 倍、チャネル電流は 0.5×10^4 倍してあらわしている。

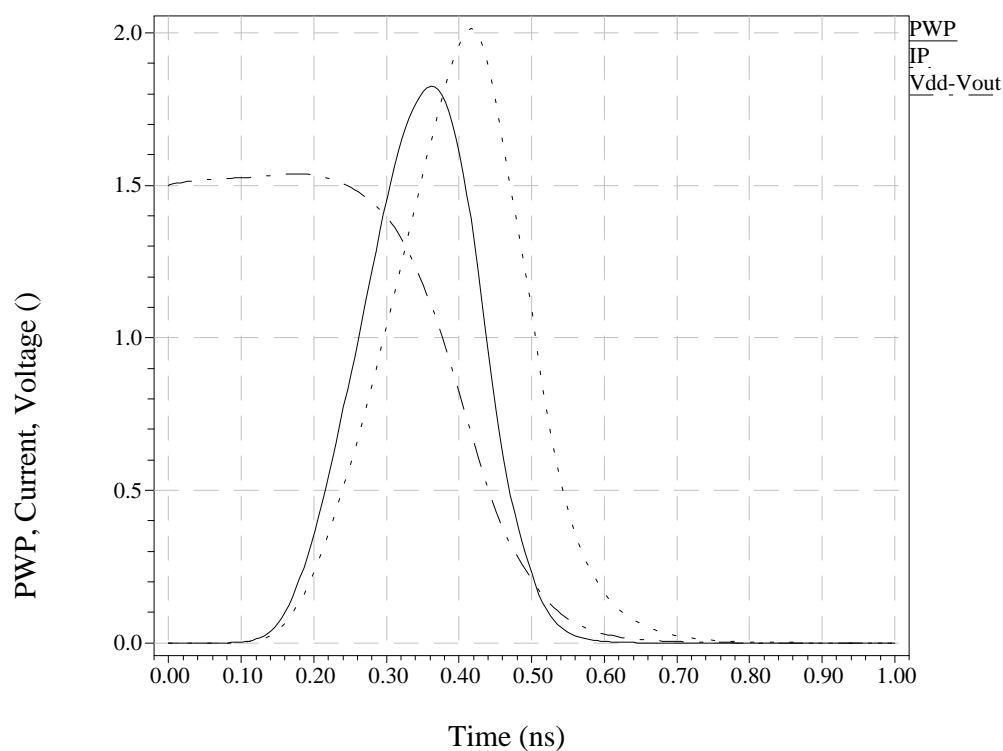


図 3-11 PMOS のソース・ドレイン間電圧、消費電力、チャネル電流
 破線は PMOS チャネル電流 ($0.5 \times 10^4 A$) $I_{ds}(M_p)$
 実線は PMOS の消費電力 ($0.5 \times 10^4 W$) PWP
 2 点鎖線は PMOS のソース・ドレイン間電圧 (V) Vdd - Vout

(b) Nチャネルトランジスタの消費電力

入力立下り時に NMOS ドレイン・ソース間に流れるチャネル電流 $I_{ds}(Mn)$ を図 3-12 に示す。0~0.25ns の範囲では $I_{ds}(Mn)$ は出力電圧のアンダーシュートにより、通常の貫通電流とは逆方向にソース側からドレイン側に電流が流れる。0.25ns 以降流れる電流はすべて、貫通電流である。図 2-21 に示したドレインから流れ込む電流 $I_d(Mn)$ 、ソースから流れ出る電流 $I_s(Mn)$ に比べ、ゲート・ドレイン間、ゲート・ソース間に流れる充電電流 $I_{gs}(Mn)$ 、 $I_{gd}(Mn)$ の影響が無いいため、理解しやすい形となっている。

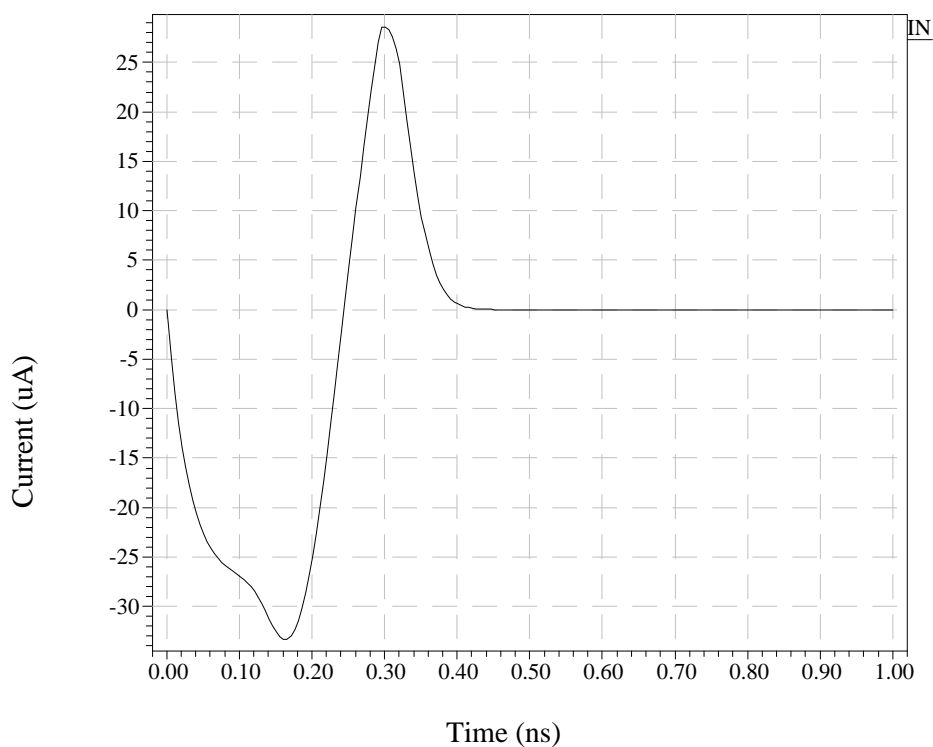


図 3-12 NMOS のチャネル電流 $I_{ds}(Mn)$

入力立下り時の過渡的な NMOS 消費電力 PWN を図 3-13 に示す。
PWN は NMOS のドレイン・ソース間に流れるチャネル電流 $I_{ds}(Mn)$ にドレイン・ソース間電圧を掛けて求めている。0 ~ 0.25ns の範囲は出力電圧のアンダースhoot によるソースからドレインに流れる電流の消費電力であるが、この時のピーク電圧は -0.04V なので、消費電力としての影響は小さい。

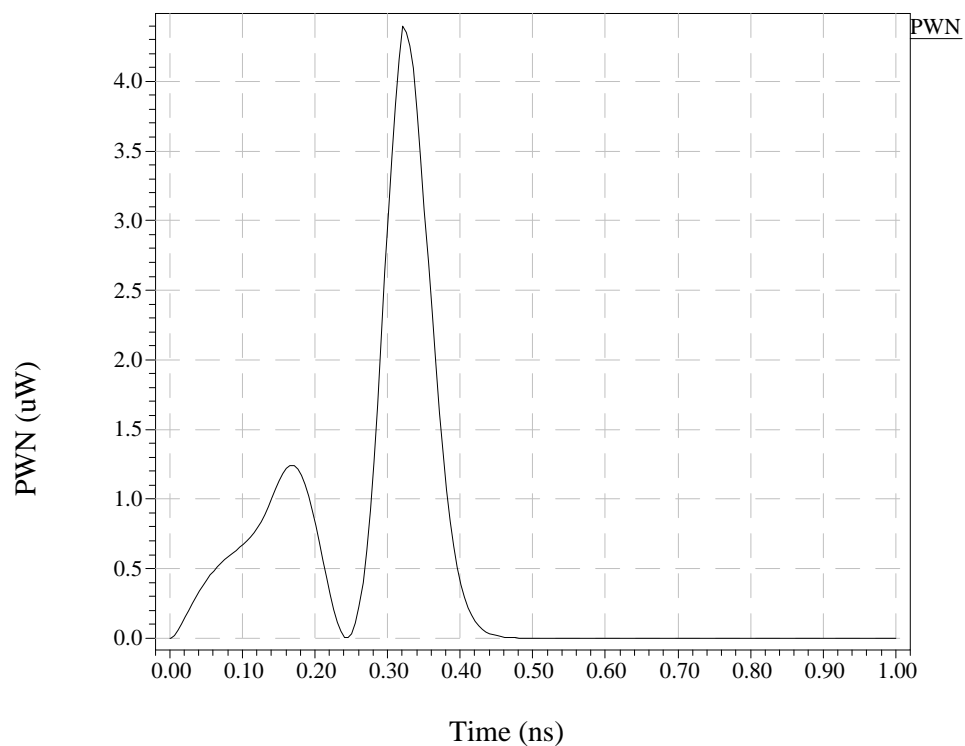


図 3-13 NMOS の消費電力 PWN

図 3-12 と図 3-13、出力電圧の波形を加えて図 3-14 に示す。図 3-14 の縦軸は図 3-7 と同様に出力電圧を基にしたスケールになっているので、消費電力は 0.3×10^6 倍、チャンネル電流 $I_{ds}(Mn)$ は 0.6×10^5 倍して表示している。破線は NMOS のチャンネル電流 $I_{ds}(Mn)$ 、実線は NMOS の消費電力 PWN、2 点破線は出力電圧である。図からもわかるように出力電圧のが大きく上昇する 0.3ns 以降でチャンネル電流が最大となる。

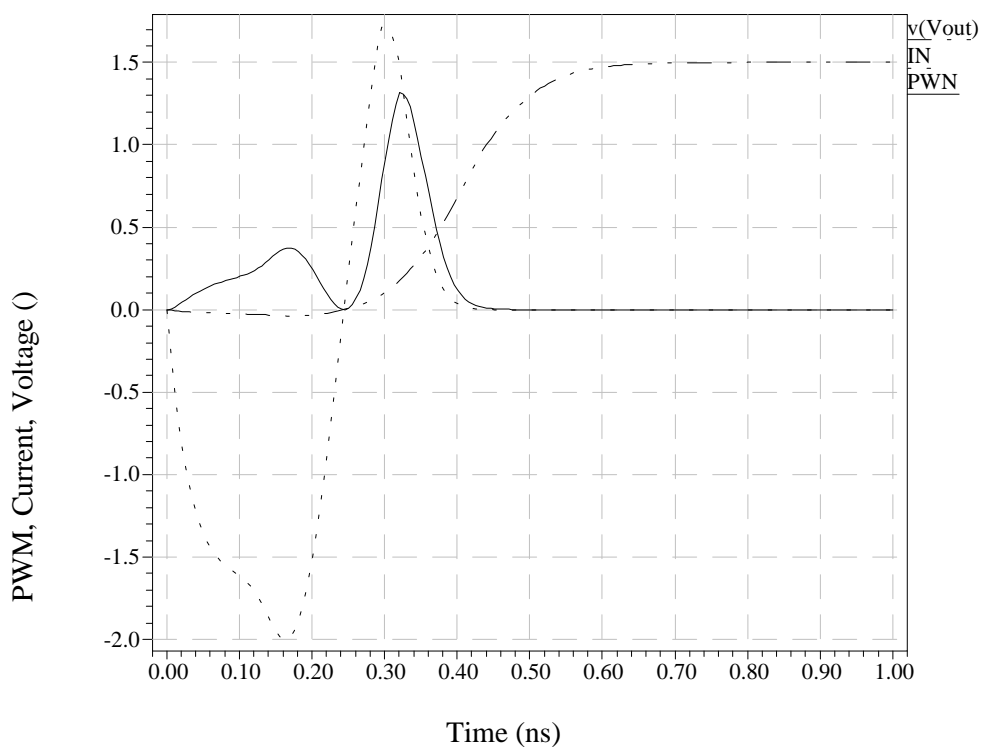


図 3-14 NMOS のソース・ドレイン間電圧、消費電力、チャンネル電流
 破線は NMOS チャンネル電流 ($0.6 \times 10^5 A$) $I_{ds}(Mn)$
 実線は NMOS の消費電力 ($0.3 \times 10^6 W$) PWN
 2 点鎖線は NMOS ソース・ドレイン間電圧 (V) Vout

(c) 電源の供給する電力

入力立下り時に電源が供給する電力を図 3-15 に示す。この電力は PMOS のチャネル電流 $I_{ds(Mp)}$ と同じ形になる。図 3-6 に示した入力立上り時の PMOS の消費電力 PWP と異なり、すべて消費エネルギーとなっている。これは負荷キャパシタを充電するため、大電流を供給しているためである。また、この時の電源の消費エネルギー(下図の電力の積分値)は 124(fJ)、PMOS の消費電力(図 3-30 の電力の積分値)は 67.4(fJ)、貫通電流による消費電力(図 3-13 の 0.25ns 以降の電力の積分値)は 0.54(fJ)である。

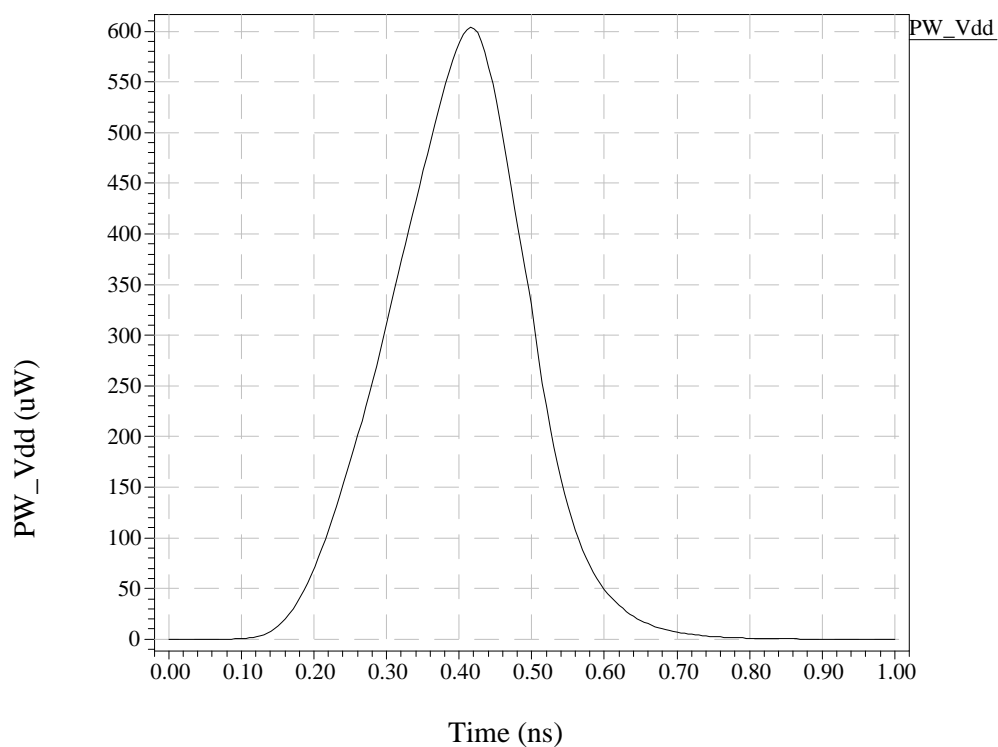


図 3-15 入力立下り時の電源の供給電力 PW_Vdd

3.2 ゲートしきい値電圧による CMOS インバータの消費エネルギーの変化

3.1 では、入力立上りと入力立下り時について PMOS、NMOS の消費電力、および電源の供給する電力について解析結果を示した。これらの解析では、PMOS、NMOS のゲートしきい値電圧は $\pm 0.3\text{V}$ とした。これは CMOS の多くの回路では電源電圧の $1/5$ ほどのしきい値電圧を採用しているためである。

PMOS、NMOS のしきい値電圧を（絶対値で）高くすると、チャネル電流は減り、また過渡状態における電流の導通時間が減る。このため、消費電力を時間で積分した消費エネルギーは一般的に減少することが予想される。この様子を詳しく知るために、しきい値電圧を ± 0.1 、 ± 0.3 、 $\pm 0.5\text{V}$ の場合について消費エネルギーに注目して解析した。

入力立上りにおける解析結果を図 3-16 に示す。ひし形の点で表されているのは電源の供給エネルギー、四角の点は PMOS の消費エネルギー、三角の点は NMOS の消費エネルギーである。しきい値が高くなると、一般的に消費エネルギーが小さくなる。PMOS の消費エネルギーは NMOS の消費エネルギーより格段に小さく、貫通電流による消費エネルギーが小さいことが分かる。電源が供給するエネルギーはしきい値電圧が $\pm 0.3\text{V}$ 、 $\pm 0.5\text{V}$ では負になっている。これは PMOS を通常とは逆方向に電流が流れ、電源にエネルギーが還流しているためである。しきい値が高くなると PMOS、NMOS とともに導通状態になる時間が短くなるため、電源へのエネルギーの還流が支配的になる。重複になるが、詳細な値を表 3-1 に示す。

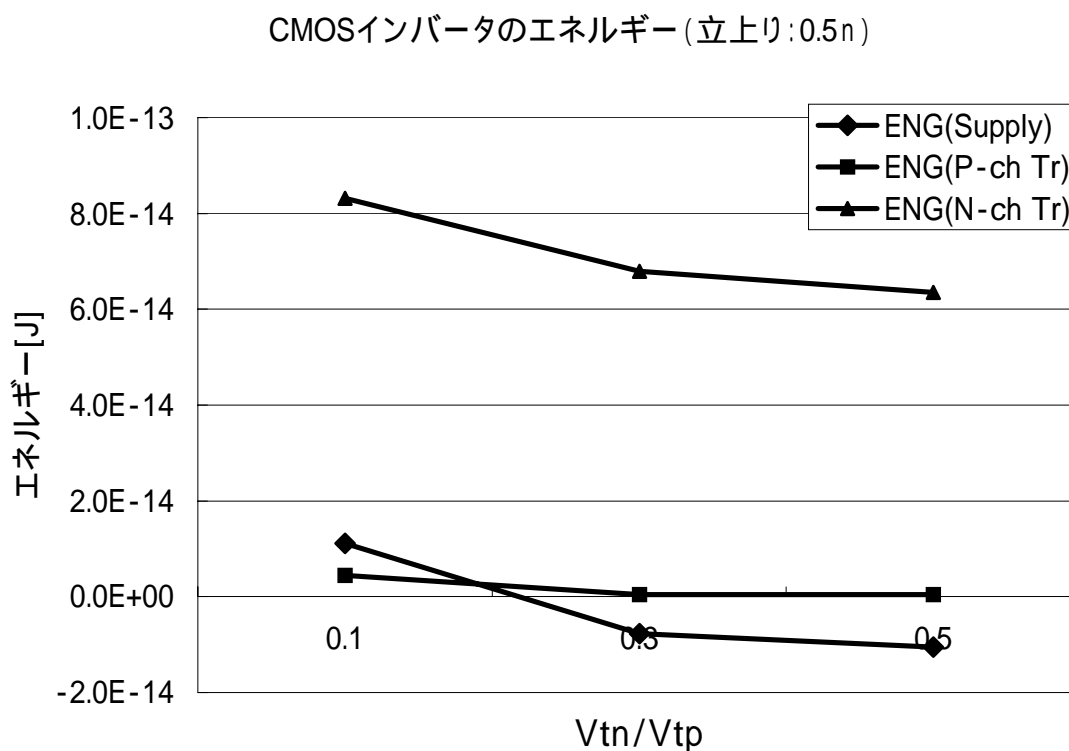


図 3-16 入力立上り時にしきい値電圧を対称に変化させた時の消費エネルギー

表 3-1 図 3-16 の詳細な値

電源供給、PMOS 消費、NMOS 消費のエネルギー(J)

Vtn/Vtp [V]	± 0.1	± 0.3	± 0.5
ENG(Supply)	1.1187E-14	-7.6642E-15	-1.0516E-14
ENG(P-ch Tr)	4.3900E-15	4.5356E-16	4.4540E-16
ENG(N-ch Tr)	8.3142E-14	6.7885E-14	6.3509E-14

図 3-16 と同様に、入力立下り時の電源の供給エネルギーと PMOS、NMOS の消費エネルギーを図 3-17 に示す。ひし形の点で示されているのは電源の供給エネルギー、四角の点は PMOS の消費電力、三角の点は NMOS の消費電力である。図からしきい値が高くなると一般的に消費電力が小さくなることがわかる。また NMOS の消費エネルギーは小さく、貫通電流による消費エネルギーが小さいことがわかる。詳細な値は表 3-2 に示す。

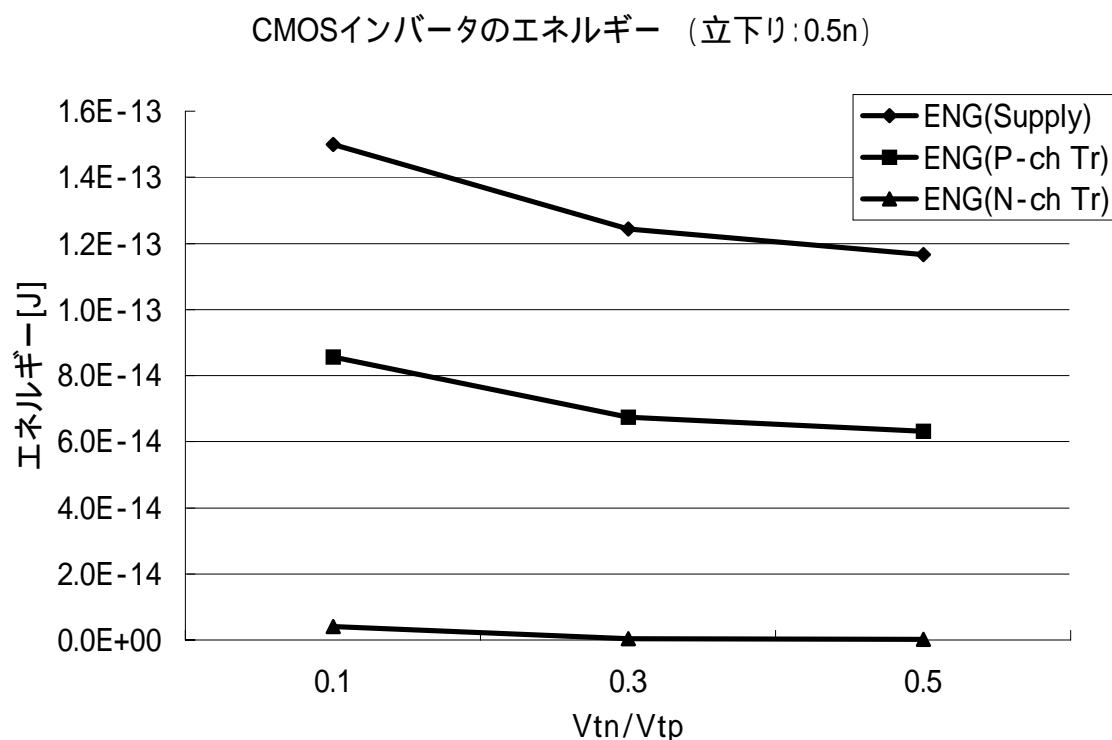


図 3-17 入力立下り時にしきい値電圧を対称に変化させた時の消費エネルギー

表 3-2 図 3-17 の詳細な

電源供給、PMOS 消費、NMOS 消費のエネルギー(J)

Vtn/Vtp [V]	±0.1	±0.3	±0.5
ENG(Supply)	1.4998E-13	1.2441E-13	1.1666E-13
ENG(P-ch Tr)	8.5666E-14	6.7445E-14	6.3239E-14
ENG(N-ch Tr)	4.0044E-15	3.4986E-16	2.0234E-16

図 3-16、図 3-17、あるいは表 3-1、表 3-2 を見て分かることであるが、入力立下り時の NMOS の消費エネルギーと入力立下り時の PMOS のエネルギーはほぼ等しい。そして、これらの合計は入力立下り時に電源が供給するエネルギーにほぼ等しい。

3.3 CMOS インバータの遅延時間

一般的に遅延時間は回路内の CR によって決まることが知られている。CMOS インバータの場合、C には負荷キャパシタ（次段ゲートキャパシタ）、拡散層と基板との間の PN 接合による寄生容量、配線による寄生容量がある[3]。R については、PMOS、NMOS のチャンネルの抵抗、配線による抵抗などがある[3]。

本報告の解析では PMOS、NMOS のドレイン領域と基板、ソース領域と基板の寄生 PN 接合キャパシタの影響をドレイン、ソース領域の面積を零にすることで排除しているため、実質的なキャパシタは自分自身のチャンネル領域のキャパシタと負荷キャパシタだけである。

遅延時間の求め方として、電源電圧の中間電圧である 0.75V で入力電圧 V_{in} と出力電圧 V_{out} との時間差をとった。T-Spice には立上り、立下りの時における遅延時間をとるためのコマンドとして `measure` があるため、これを用いて解析した。

PMOS、NMOS の両トランジスタはほぼ同じ特性を設定したので、入力立上りと入力立下りの時の遅延時間には僅かの差しかみられない。下に PMOS、NMOS のゲートしきい値電圧が $\pm 0.3V$ の場合について、入力立上り時の遅延時間 T_{dr} と入力立下り時の遅延時間 T_{df} を示す。

$T_{dr} = 1.6095e-010$ [s]

$T_{df} = 1.5879e-010$ [s]

また、遅延時間は負荷キャパシタ C を充電（放電）する時間と近似的に考えられるので、駆動電流を I とすると、 $C \cdot V_{dd} = I \cdot T_d$ 、すなわち $T_d = C \cdot V_{dd} / I$ となり、時間 T_d は駆動電流に反比例し負荷キャパシタ C、電源電圧 V_{dd} に比例する[4]。ここでは V_{dd} は一定のもとで、駆動電流を大きくすること、すなわちゲートしきい値電圧を小さくすることで遅延時間の改善を考える。

図 3-18 は、入力立上り 0.5ns で、PMOS と NMOS のしきい値電圧 V_{tp} 、 V_{tn} を対称的に $\pm 0.1V$ 、 $\pm 0.3V$ 、 $\pm 0.5V$ と変化させた場合の遅延時間の変化をあらわしている。

図からもわかるように、しきい値が高くなると遅延時間は大きくなり、しきい値が小さくなると遅延時間が小さくなる。表 3-3 に図 3-18 の詳細な値を示す。

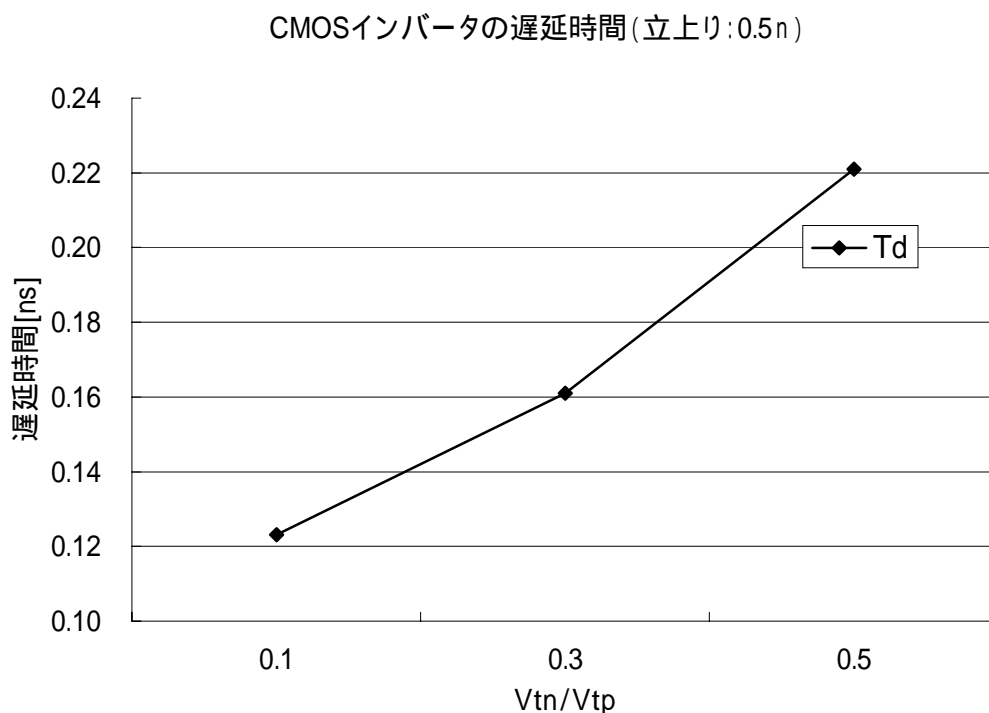


図 3-18 入力立上り時にしきい値電圧を対称に変化させた時の遅延時間 T_d

表 3-3 図 3-18 の詳細な遅延時間

遅延時間			
Vtn/Vtp [V]	± 0.1	± 0.3	± 0.5
Td [ns]	0.12312	0.16094	0.22099

入力立下り 0.5ns で、立上り時と同様な解析をおこなった。その結果を図 3-19 に示す。PMOS、NMOS のトランジスタ特性がほぼ同じため、遅延時間も図 3-18 と僅かしか変わらない。

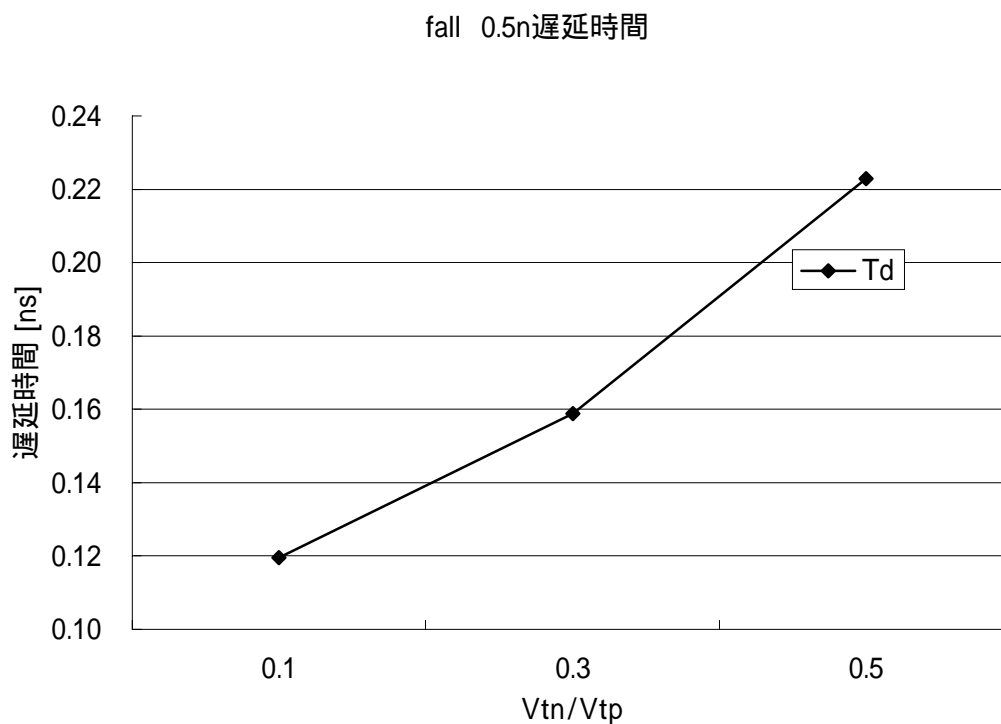


図 3-19 入力立下り時にしきい値電圧を対称に変化させた時の遅延時間

表 3-4 図 3-19 の詳細な遅延時間

遅延時間(ns)			
Vtn/Vtp [V]	±0.1	±0.3	±0.5
Td [ns]	0.11959	0.15879	0.22294

3.4 遅延時間と消費電力の関係

3.2、3.3では入力立上り時と入力立下り時について、消費エネルギーと遅延時間の個々に対するゲートしきい値電圧の影響を調べた。ここでは消費エネルギーと遅延時間がしきい値によってどのような関係にあるか示していく。

入力立上り時の消費エネルギーはNMOSによるものが支配的なので(NMOSの消費電力: ENGN) ここではNMOSの消費エネルギーと遅延時間を図3-20に示す。実線は遅延時間Tdで、破線はNMOSの消費エネルギーENGNである。またお互いの関係を分かりやすくするために、ENGNは 10^{-14} 倍、Tdは 40×10^9 倍表示にしている。

図からも分かるように、消費エネルギーはしきい値が高くなるにしたがって右肩上りになり、遅延時間は逆に右肩下がりになることが見て取れる。つまり、消費エネルギーと遅延時間はしきい値電圧の値によりトレードオフの関係にある。

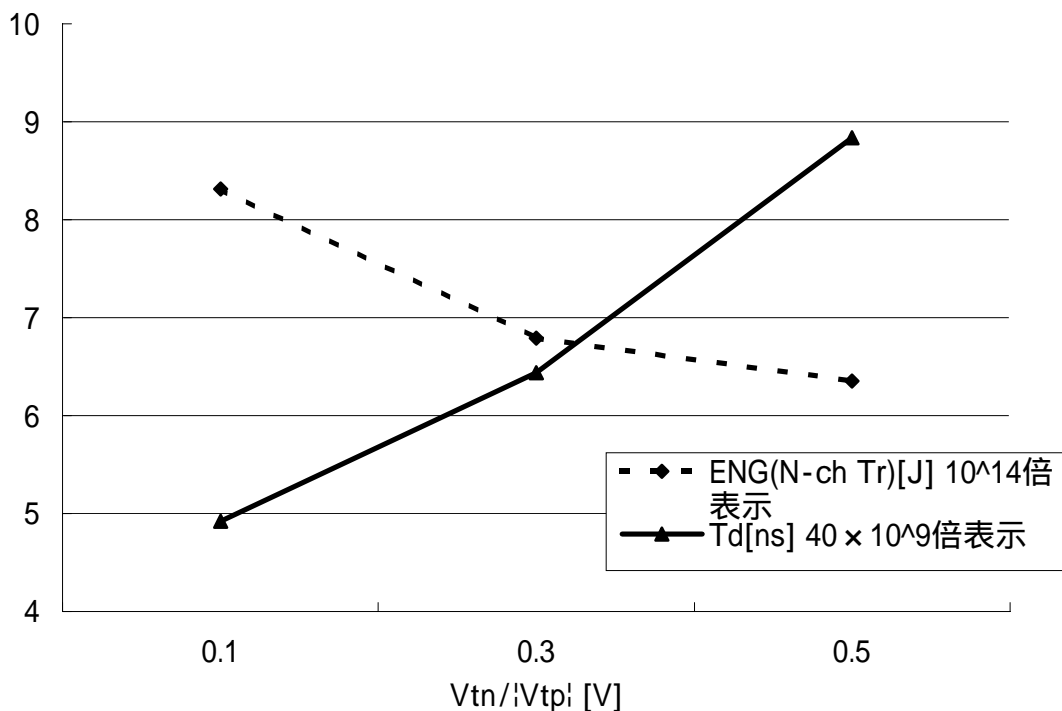


図 3-20 入力立上り時の消費エネルギーと遅延時間の関係

実線は遅延時間 ($\times 0.025\text{ns}$) Td
 破線は消費エネルギー ($\times 10^{-14}\text{J}$) ENGN

次に入力立下りの時のしきい値の変化による消費エネルギーと遅延時間の関係を合わせて図 3-21 に示す。入力立下り時は負荷キャパシタを充電するために PMOS に流れる電流が支配的になるため、PMOS での消費エネルギーを比較に用いた。図 39 の実線は遅延時間 T_d で、破線は PMOS の消費エネルギー $ENGP$ である。またお互いの関係を分かりやすくするために、図 3-20 と同様に $ENGP$ は 10^{-14} 倍、 T_d は 40 倍表示にしている。

図 3-21 は図 3-20 とほとんど同じ形になった。つまり入力立上り時、立下り時に関係無く、しきい値の変化により消費エネルギーと遅延時間はトレードオフの関係にある。

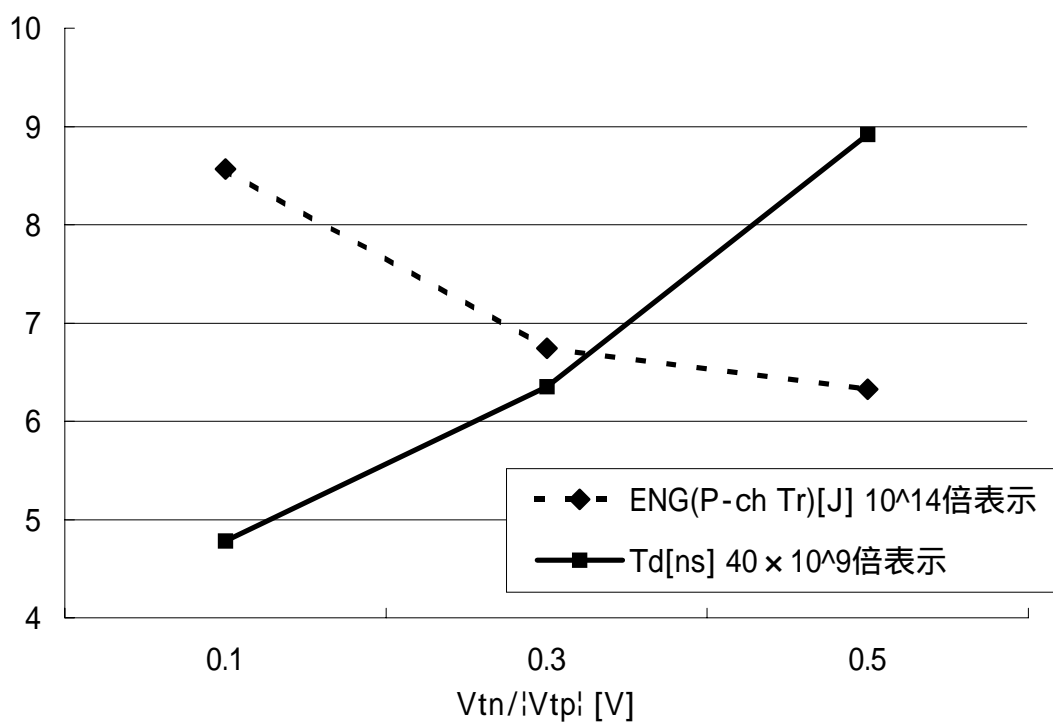


図 3-21 入力立下り時の消費エネルギーと遅延時間の関係

実線は遅延時間 ($\times 0.025\text{ns}$) T_d
 破線は消費エネルギー ($\times 10^{-14}\text{J}$) $ENGP$

しきい値による消費エネルギーと遅延時間を変化を、詳しい数値で表 3-5、表 3-6 に示す。表 3-5 は入力立上り時の遅延時間と NMOS の消費エネルギー、表 3-6 は入力立下り時の遅延時間と PMOS の消費エネルギーである。

表中にある P・Td 積は遅延時間と消費エネルギーを掛算したもので、インバータ回路の特性を表す指標の一つとなっている。P・Td 積は遅延時間、もしくは消費エネルギーが小さくなることにより、小さな値になるため、以後本報告では P・Td 積で改善度を表すことになる。

図 3-20 からわかるように、しきい値が高くなると、遅延時間は大きくなるが、NMOS の消費エネルギーは小さくなる。また、しきい値が低くなると遅延時間は小さくなるが、消費エネルギーが大きくなる。これらの P・Td 積はしきい値が ±0.3V の場合と ±0.1V の時はほとんど変化せず、±0.5V の場合は通常のしきい値である ±0.3V よりも特性がかなり悪くなっている。

表 3-5 入力立上り時のしきい値による遅延時間と NMOS の消費エネルギー

Vtp [V]	Vtn [V]	遅延時間(ns)	N-ch 消費 エネルギー(fJ)	P・Td 積 (10 ⁻²⁴ Js)
-0.1	0.1	0.123	83.142	10.226
-0.3	0.3	0.161	67.885	10.929
-0.5	0.5	0.221	63.509	14.035

図 3-21 からわかるように、入力立下り時でも入力立上り時同様の結果がみられた。

表 3-6 入力立下り時のしきい値による遅延時間と PMOS の消費エネルギー

Vtp [V]	Vtn [V]	遅延時間(ns)	P-ch 消費 エネルギー(fJ)	P・TD 積 (10 ⁻²⁴ Js)
-0.1	0.1	0.120	85.666	10.280
-0.3	0.3	0.159	67.445	10.724
-0.5	0.5	0.223	63.239	14.102

第4章 CMOS インバータの消費エネルギーと遅延時間の改善

3.2、3.3、3.4ではPMOS、NMOSのゲートしきい値電圧を絶対値で同じ方向で増減させて解析をおこない、消費エネルギーと遅延時間がトレードオフの関係にあることを示した。ここでは、まずPMOS、NMOSのしきい値電圧を非対称に変化させることも含めてマトリックス状に変化させて、CMOSインバータの消費消費エネルギー、遅延時間の改善の方向をさぐっていく[6]。

解析に際し、PMOSのしきい値電圧 V_{tp} は-0.1V、-0.3V、-0.5V、NMOSのしきい値電圧 V_{tn} は+0.1V、+0.3V、+0.5Vと全て組み合わせで計9つの解析点をとった。

4.1 消費エネルギー

4.1.1 入力立上り時の消費エネルギー

図4-1に、入力立上り時のしきい値の変化によるPMOSの消費エネルギーを示した。破線でひし形の点で示した値は、PMOSのしきい値電圧 V_{tp} を-0.1Vで、NMOSのしきい値電圧 V_{tn} を0.1V、0.3V、0.5Vと変化させた場合の解析結果である。同様に、四角の点で実線は、 V_{tp} を-0.3Vでの解析結果である。三角の点で2点鎖線は、 V_{tp} -0.5Vでの解析結果である。また数値を表4-1にまとめている。

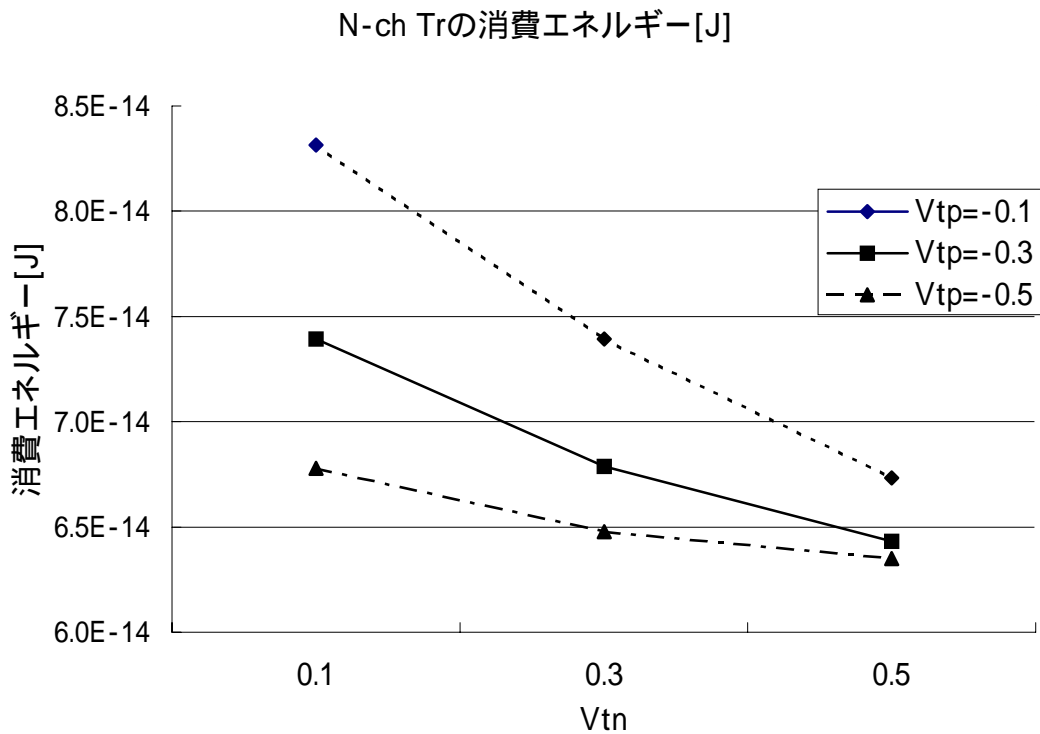


図 4-1 入力立上り時のしきい値の変化による PMOS の消費エネルギー

電源電圧 1.5V での通常のしきい値である $\pm 0.3V$ の場合と比較して、入力立上り時の消費電力が改善されているのは灰色の背景で示され値だけである。入力立上り時は PMOS は貫通電流が流れるので、 V_{tp} を $-0.5V$ とすることで NMOS の消費エネルギーにも改善が見られる。

表 4-1 図 4-1 の詳細な消費エネルギー(J)

Vtn[V]	0.1	0.3	0.5
Vtp=-0.1	8.3142E-14	7.3942E-14	6.7319E-14
Vtp=-0.3	7.3920E-14	6.7885E-14	6.4318E-14
Vtp=-0.5	6.7781E-14	6.4774E-14	6.3509E-14

4.1.2 入力立下り時の消費エネルギー

入力立上り時と同様に入力立下り時に支配的になる PMOS の消費エネルギーとしきい値の関係を図 4-2 に示す。この消費エネルギーは図 4-1 に示した入力立上り時の NMOS の消費エネルギーとほぼ同じ変化を示している。

破線でひし形の点で示した値は、PMOS のしきい値電圧 V_{tp} を $-0.1V$ で、NMOS のしきい値電圧 V_{tn} を $0.1V$ 、 $0.3V$ 、 $0.5V$ と変化させた場合の解析結果である。同様に、四角の点で実線は V_{tp} を $-0.3V$ での解析結果、三角の点で $V_{tp} = -0.5V$ での解析結果である。また数値を表 4-2 にまとめている。

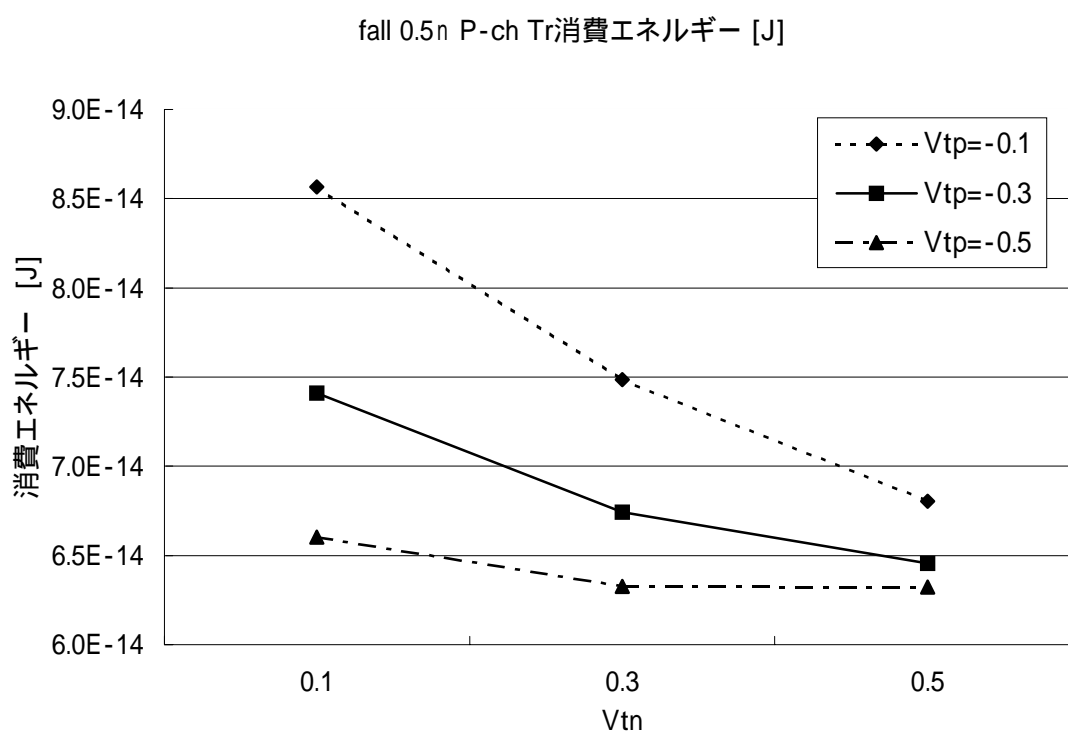


図 4-2 入力立下り時のしきい値の変化による NMOS の消費エネルギー

入力立上り時と同様に PMOS、NMOS のゲートしきい値電圧が $\pm 0.3V$ の場合を比較の基準として消費電力が改善される値を灰色の背景で示した。前述したように、入力立上り時の NMOS、入力立下り時の PMOS の消費エネルギーがともに最小になるのはしきい値電圧が $\pm 0.5V$ の時であるので、一般的にしきい値電圧を高くすると消費エネルギーはおさえられることがわかる。

表 4-2 図 4-2 の詳細な消費エネルギーの値(J)

Vtn[V]	0.1	0.3	0.5
Vtp=-0.1	8.5666E-14	7.4855E-14	6.8025E-14
Vtp=-0.3	7.4111E-14	6.7445E-14	6.4540E-14
Vtp=-0.5	6.6013E-14	6.3251E-14	6.3239E-14

4.2 遅延時間

4.2.1 入力立上り時の遅延時間

消費エネルギーの解析結果と同様に、 V_{tp} が $-0.1V$ 、 $-0.3V$ 、 $-0.5V$ 、 V_{tn} が $0.1V$ 、 $0.3V$ 、 $0.5V$ のすべての組み合わせで計9つの解析点をとって解析した。入力立上り時の遅延時間を図 4-3 に示す。破線でひし形の点で示した値は、PMOS のしきい値電圧 V_{tp} を $-0.1V$ で、NMOS のしきい値電圧 V_{tn} を $0.1V$ 、 $0.3V$ 、 $0.5V$ と変化させた場合の解析結果である。同様に、四角の点で実線は、 V_{tp} を $-0.3V$ での解析結果である。三角の点で2点鎖線は、 $V_{tp} - 0.5V$ での解析結果である。

それぞれの線の間隔がさほど開いていないので、入力立上り時の遅延時間は V_{tp} には大きく依存しないことがわかる。一方、 V_{tn} には大きく依存し、NMOS ゲートしきい値電圧 V_{tn} が $0.1V$ と $0.5V$ では約2倍の遅延時間の差がある。

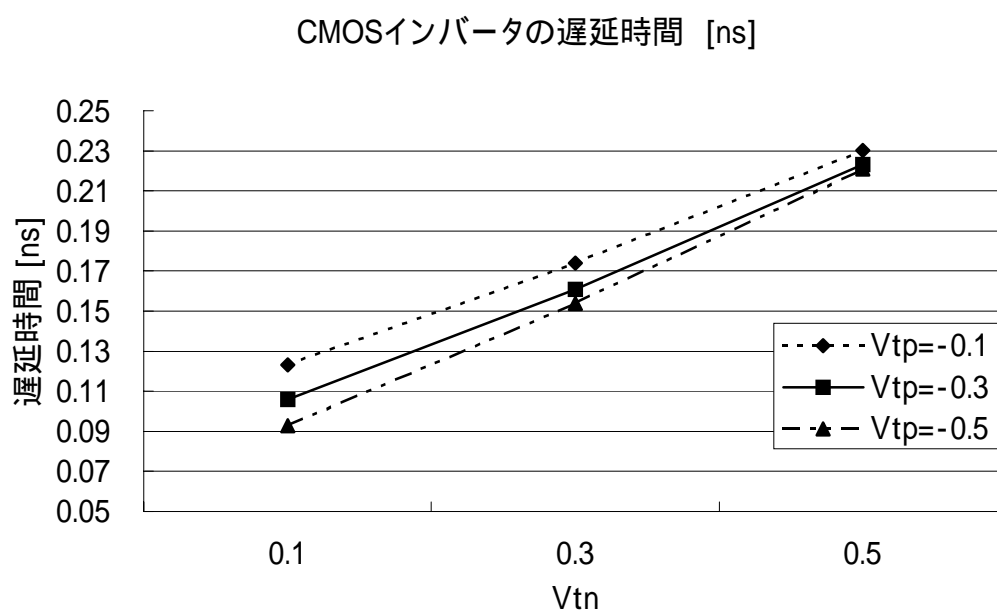


図 4-3 入力立上り時のしきい値の変化による遅延時間

表 4-3 に図 4-3 の詳細な値を示す。消費エネルギーの時と同様に $V_{tn} = 0.3V$ 、 $V_{tp} = -0.3V$ を基準として見てみると、それより遅延時間が小さくなっているのは灰色の背景の値で示されているものである。前述したように遅延時間は負荷キャパシタの放電する時間によって決まるので、入力立上り時に支配的になる NMOS のしきい値電圧 V_{tn} を低くすることによって、NMOS の電流駆動力を大きくし、遅延時間を小さくできるのである。

表 4-3 CMOS インバータの遅延時間(ns)

$V_{tn}[V]$	0.1	0.3	0.5
$V_{tp} = -0.1$	0.123	0.174	0.230
$V_{tp} = -0.3$	0.106	0.161	0.223
$V_{tp} = -0.5$	0.093	0.154	0.221

4.2.2 入力立下り時の遅延時間

入力立上り時と同様に、 V_{tp} が $-0.1V$ 、 $-0.3V$ 、 $-0.5V$ 、 V_{tn} が $0.1V$ 、 $0.3V$ 、 $0.5V$ のすべての組み合わせで計 9 つの解析点をとって解析した。入力立上り時の遅延時間を図 4-4 に示す。破線で三角形の点で示した値は、PMOS のしきい値電圧 V_{tp} を $-0.1V$ で NMOS のしきい値電圧 V_{tn} を $0.1V$ 、 $0.3V$ 、 $0.5V$ と変化させた場合の解析結果である。同様に、四角の点で実線は、 V_{tp} を $-0.3V$ での解析結果である。ひし形の点で 1 点鎖線は、 $V_{tp} - 0.5V$ での解析結果である。

入力立上り時の遅延時間は V_{tp} は大きく依存しなかったが、入力立下り時は負荷キャパシタの充電を行うため、PMOS の駆動電流が遅延時間を決める大きな要因となる。そのため、 V_{tn} には大きく依存せず、 V_{tp} に大きく依存していることが図 4-4 からわかる。

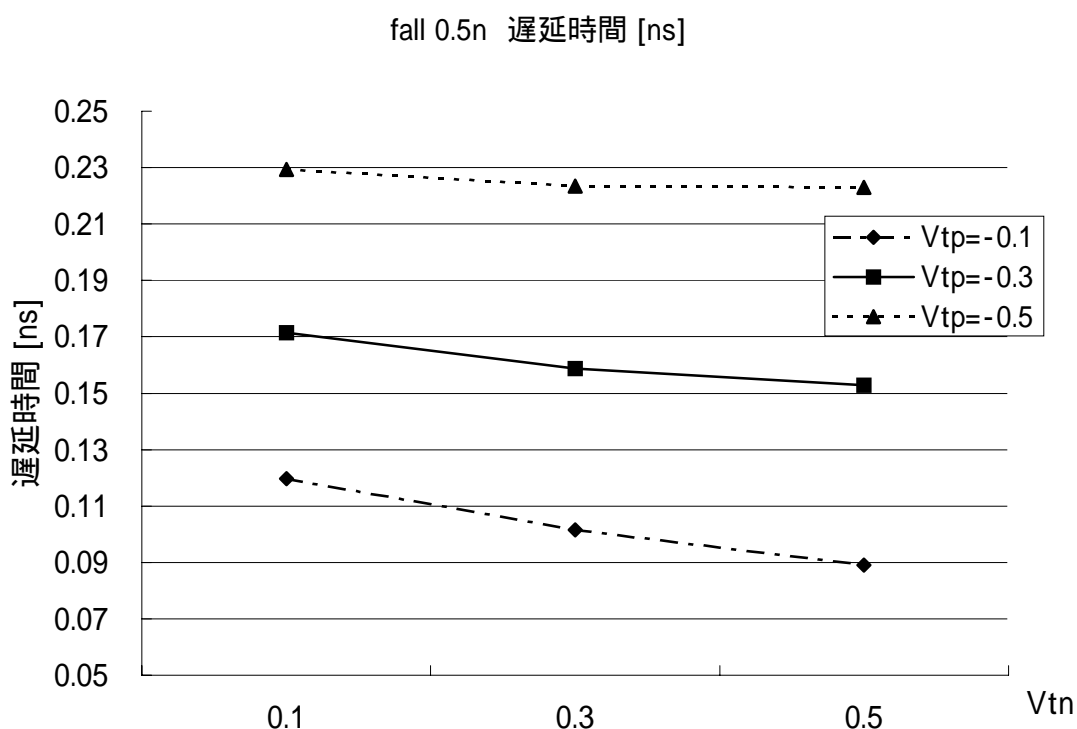


図 4-4 入力立下り時のしきい値の変化による遅延時間

表 4-4 に図 4-4 の詳細な値を示す。灰色の背景の値は基準としたしきい値電圧 $\pm 0.3V$ 時の値より遅延時間が小さい値である。表 4-4 では、表 4-3 とは異なり、PMOS のしきい値電圧 V_{tp} を低くすることにより遅延時間が小さくできることがわかる。

表 4-4 CMOS インバータの遅延時間(ns)

$V_{tn}[V]$	0.1	0.3	0.5
$V_{tp}=-0.1$	0.120	0.102	0.089
$V_{tp}=-0.3$	0.172	0.159	0.153
$V_{tp}=-0.5$	0.229	0.223	0.223

4.3 ゲートしきい値電圧を非対称に変化させることによる CMOS インバータの特性改善

4.3.1 基本的な考え

これまで CMOS インバータの消費エネルギーと遅延時間の問題を、PMOS および NMOS のゲートしきい値電圧 (V_{tn} 、 V_{tp}) をパラメータとして詳細に解析してきた。これらの結果から

- (1) 入力立上り(出力立下り)の特性では、
 - (1-1) V_{tn} が支配的な効果をもつ。
 V_{tn} が大きいと消費エネルギーは小さく、遅延時間は大きい。
 V_{tn} が小さいと遅延時間は小さく、消費エネルギーは大きい。
 - (1-2) $|V_{tp}|$ も補助的で程度は少ないが、 V_{tn} と同様の効果をもつ。
 $|V_{tp}|$ の効果は、遅延時間より消費エネルギーの方に大きくあらわれて、 V_{tn} が小さい場合により大きくあらわれる。
- (2) 入力立下り(出力立上り)の特性では、
 - (2-1) $|V_{tp}|$ が支配的な効果をもつ。
 $|V_{tp}|$ が大きいと消費エネルギーは小さく、遅延時間は大きい。
 $|V_{tp}|$ が小さいと遅延時間は小さく、消費エネルギーは大きい。
 - (2-2) V_{tn} も補助的で程度は少ないが、 $|V_{tp}|$ と同様な効果をもつ。
 V_{tn} の効果は遅延時間より消費エネルギーの方に大きくあらわれて、 $|V_{tp}|$ が小さい場合により大きくあらわれる。

であることがわかる。

CMOS インバータの入力立上りと入力立下りには、ほとんど同じ特性が要求され、 V_{tn} と $|V_{tp}|$ には通常同じ値が採用される。したがって、消費エネルギーと遅延時間の改善には限界があることになる。

しかし、以上の考えは V_{tn} と $|V_{tp}|$ を固定して考えた結果であり、もし V_{tn} と $|V_{tp}|$ を入力の立上りと立下りで変化させることができれば、かなり違った姿を描くことができる。すなわち、

- (1) 入力立上り(出力立下り)では、 V_{tn} を小さくして遅延時間を小さくし、 $|V_{tp}|$ を大きくすることにより消費エネルギーの増加を防ぐ。
- (2) 入力立下り(出力立上り)では、 $|V_{tp}|$ を小さくして遅延時間を小さくし、 V_{tn} を大きくすることにより消費エネルギーの増加を防ぐ。

といった方法である。すなわち、 V_{tn} と $|V_{tp}|$ を入力立上り、入力立下りに対応して逆方向に増減させる(非対称に変化させる)方法である。以下、具体的な数値例で詳細に検討する。

4.3.2 入力立上り時

入力立上り時においてしきい値電圧を非対称に変化させた場合の遅延時間と消費エネルギーの関係について考えてみる。表 4-3 より、遅延時間を小さくするためには V_{tn} を低くすることが必要である。しかし、表 4-1 に見られるように、 V_{tn} を低くすると NMOS の消費エネルギーは大きくなってしまふ。ここで $|V_{tp}|$ を高くすることによって消費エネルギーの増加を防ぐことを考える。表 4-3、表 4-1 から 3 つのケースを選んで表 4-5 にまとめる。ここで、消費エネルギーと遅延時間の積 (P・Td 積) も表に示しておく。

表 4-5 入力立上り時のしきい値による P・Td 積の改善

V_{tp}	V_{tn}	遅延時間(ns)	N-ch 消費 エネルギー(fJ)	P・TD 積 (10^{-24} Js)	改善率(%)
-0.3	0.3	0.161	67.885	10.929	(基準)
-0.3	0.1	0.106	73.920	7.836	28.3
-0.5	0.1	0.093	67.781	6.304	42.3

表 4-5 からわかるように、 $V_{tn}=0.3V$ 、 $V_{tp}= -0.3V$ を基準として、 V_{tn} を $0.1V$ にすることにより、遅延時間は小さくなるが、消費エネルギーは増加する。この消費エネルギーの増加を防ぐために $V_{tp}= -0.5V$ にすると、消費エネルギーだけでなく遅延時間も改善される。P・Td 積では 42.3%の改善になる。

4.3.3 入力立下り時

入力立上り時と同様に、入力立下り時におけるしきい値電圧を非対称に変化させた場合の遅延時間と消費エネルギーの関係について考えてみる。表 4-4 より、遅延時間を小さくするためには $|V_{tp}|$ を低くすることが必要である。しかし、表 4-2 に見られるように、PMOS の消費エネルギーは大きくなってしまふ。ここで V_{tn} を高くすることによって消費エネルギーの増加を防ぐことを考える。

表 4-4、表 4-2 より、3つのケースを選んで表 4-6 にまとめる。表 4-5 からわかるように、 $V_{tn}=0.3V$ 、 $V_{tp}= - 0.3V$ を基準として、 $V_{tp}= - 0.1V$ にすることにより、遅延時間は小さくなるが、消費エネルギーは増加する。この消費エネルギーの増加を防ぐために $V_{tn}=0.5V$ にすると、消費エネルギーだけでなく、遅延時間も改善できる。P・Td 積では 43.6%もの改善になる。

表 4-6 入力立下り時のしきい値による P・Td 積の改善

V_{tp}	V_{tn}	遅延時間(ns)	P-ch 消費 エネルギー(fJ)	P・TD 積 ($10^{-24}Js$)	改善率(%)
-0.3	0.3	0.159	67.445	10.720	(基準)
-0.1	0.3	0.102	74.855	7.635	28.8
-0.1	0.5	0.089	68.025	6.054	43.6

以上の結果から、PMOS、NMOS のしきい値電圧が入力立上り時には $V_{tp}= - 0.5V$ 、 $V_{tn}=0.1V$ 入力立下り時には $V_{tp}= - 0.1V$ 、 $V_{tn}=0.5V$ と、入力に対して動的に非対称に変化させることで、消費エネルギーと遅延時間の関係を大幅に改善できることがわかった。

4.4 基板バイアス効果の利用

4.3では入力立上り、入力立下りのそれぞれの場合についてゲートしきい値を変化させて解析した結果を示し、インバータの遅延時間と消費エネルギーの改善への方向を示した。

ここで、ゲートしきい値電圧を変える方法としてよく知られた基板バイアス効果の可能性を検討してみる。以下に、これまでにCMOSインバータ回路に用いてきたNMOS、PMOSの基板バイアス効果の解析結果を示す。

図4-5に、NMOSトランジスタの基板バイアス(V_b)を $-1.5V \sim 0.3V$ の範囲で $0.3V$ ステップで変化させた $\sqrt{I_d} - V_g$ 特性を示す。

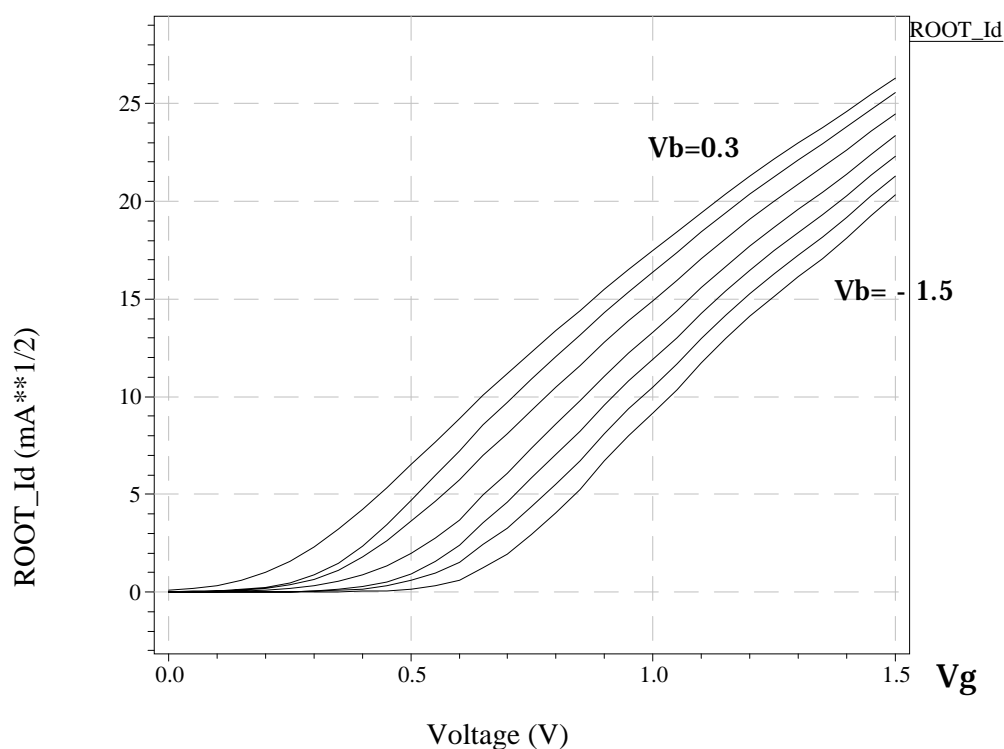


図4-5 NMOSの基板バイアス V_b を $0.3V$ でステップで変化させた $\sqrt{I_d} - V_g$ 特性

NMOS と同様に、PMOS トランジスタの基板バイアス (V_b) を $-0.3V \sim 1.5V$ まで $0.3V$ ステップで変化させた $\sqrt{I_d} - V_g$ 特性を示す。

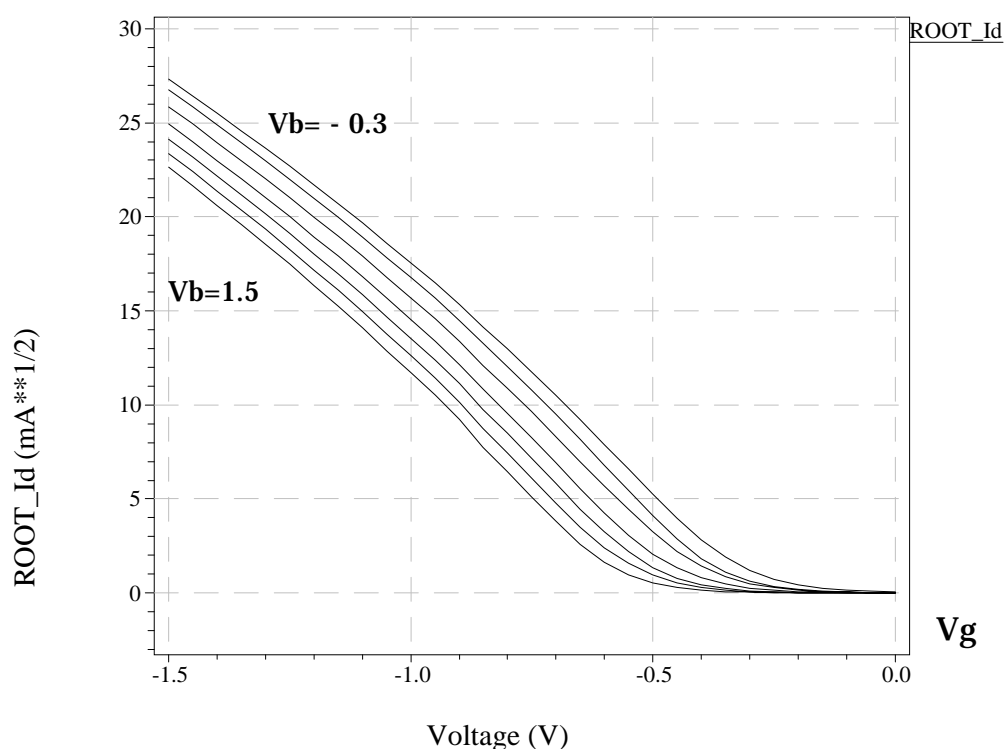


図 4-6 PMOS の基板バイアス V_b を $0.3V$ でステップで変化させた $\sqrt{I_d} - V_g$ 特性

これらの図 4-5、図 4-6 からわかるように、基板バイアスを電源電圧 V_{dd} の範囲でかえれば、NMOS トランジスタでは $0.3V$ のゲートしきい値電圧を $0.6V$ まで、PMOS トランジスタでは $-0.3V$ のゲートしきい値電圧を $-0.6V$ まで変えられることがわかる。しかし順方向の基板バイアスは、P、N 両チャネルトランジスタのソース・基板間の PN 接合が順方向になるため充分にはかけられない。

PMOS、NMOS のゲートしきい値電圧を基板バイアス効果を用いて非対称の方向に、しかも動的に変化させるインバータ回路を図 4-7 に示す。

C1 と C2 は直列接続し、C3、C4 も直列接続し、それらは入力端子と基板（接地）の間に挿入されている。C1 と C2 の接続点は PMOS の基板に接続、C3 と C4 の接続点は NMOS の基板に接続している。

入力立上り時には、C1、C2 のキャパシタで入力電圧を分割し、PMOS の基板に逆バイアスを加えゲートしきい値を大きくする。また C3、C4 のキャパシタでも入力電圧を分割し、NMOS の基板に順方向バイアスを加え、しきい値を小さくする。入力立下り時には、C1、C2 のキャパシタで入力電圧を分割し、PMOS の基板に順方向バイアスを加えゲートしきい値を小さくする。また C3、C4 のキャパシタでも入力電圧を分割し、NMOS の基板に逆方向バイアスを加え、しきい値を大きくする。

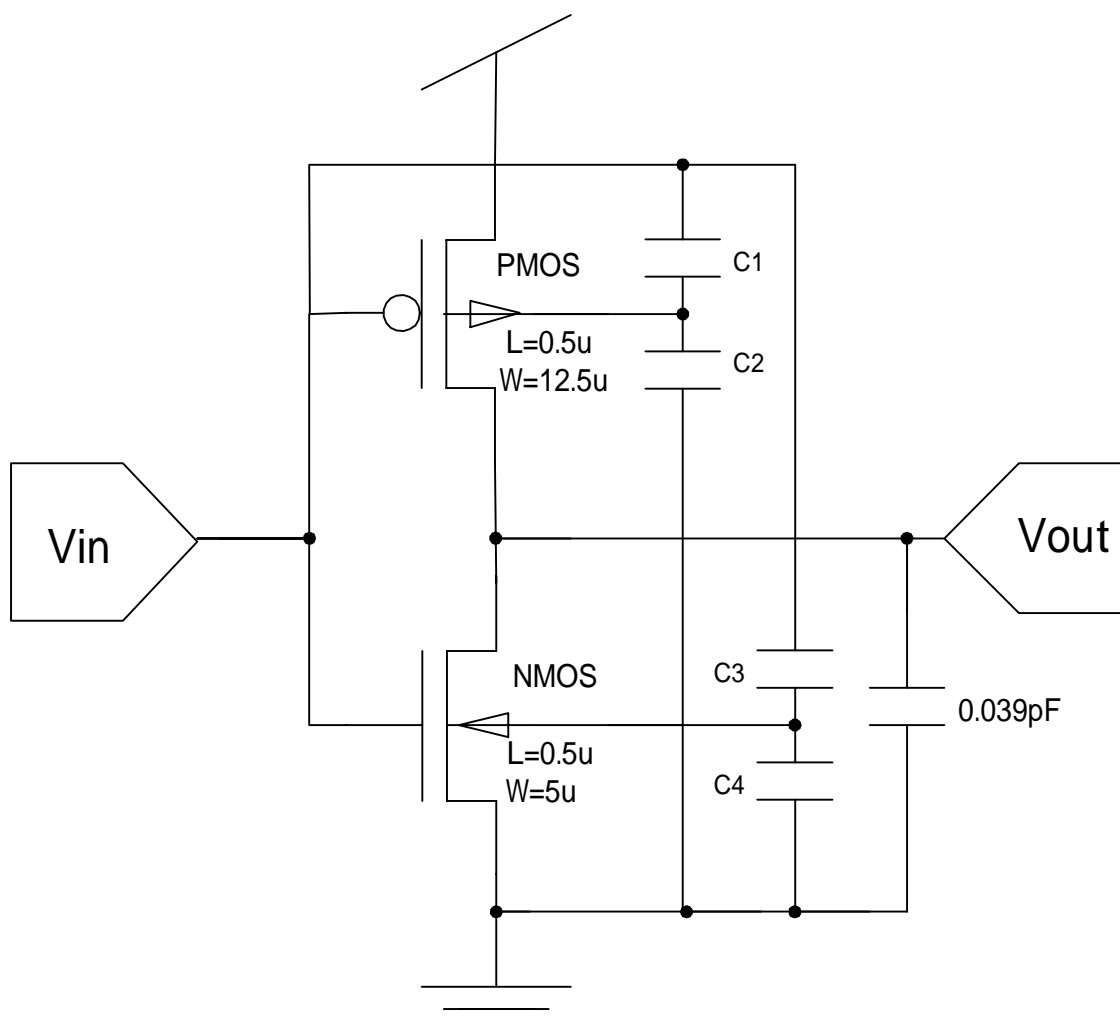


図 4-7 しきい値電圧を非対称に変化させる具体的回路例

4.4.1 CMOS インバータの素子、回路パラメータ

図 4-7 の回路で、MOS トランジスタのパラメータは 2.1 で示したものと同じ値を用いている。キャパシタ C1、C2、C3、C4 に関しては、入力電圧の変化に対応して基板バイアス効果を大きくあらわすために、C2 は C1 の半分、C4 は C3 の半分とする。また、入力端子の負荷を大きくならしめないために、C1 は P チャネルトランジスタのゲート容量の半分、C3 は N チャネルトランジスタのゲート容量の半分の値を用いることにする。これらの値は、 $C1=0.014\text{pF}$ 、 $C2=0.007\text{pF}$ 、 $C3=0.0055\text{pF}$ 、 $C4=0.00275\text{pF}$ とした。

なお、解析初期状態では NMOS、PMOS の基板が浮遊した状態になっているので、初期条件として、PMOS 基板では 1.5V、NMOS 基板では 0V を与えている。

4.4.2 入力立上り時の解析

入力立上り時間 0.5ns での入力立上り時の解析結果を以下に示す。

入力立上り時の遅延時間について考える。図 4-8 は入力立上りに対する出力の変化を示した図である。実線は、基板バイアス回路(図 4-7)を用いた場合の出力である。破線は、しきい値固定の回路(図 1-1)の出力である。図からもわかるように、入力 0.75V と出力 0.75V の差を取った遅延時間は、基板バイアス回路を用いた方が約 0.03ns 小さいことがわかる。

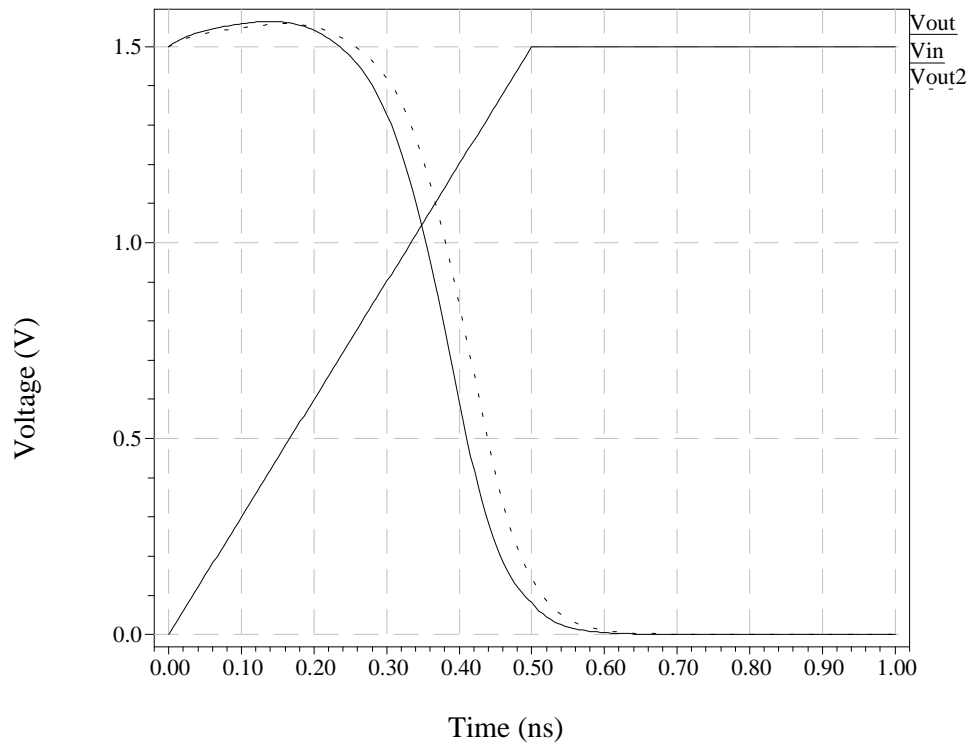


図 4-8 入力立上り時の出力電圧の変化

図 4-9 に入力立上り時における NMOS のチャネル電流を示す。実線は基板バイアスを用いた場合の NMOS のチャネル電流で、破線は基板バイアスをかけていない場合の NMOS のチャネル電流 (図 3-2 と同じ) である。図からもわかるように、基板バイアスを用いた方が、ピーク時のチャネル電流が僅かに増加 (430uA から 440uA) している。しかし、チャネル電流がピーク値を示す時間は破線の基板バイアスを用いていない場合の 0.44ns 付近に対し、実線の基板バイアスを用いた場合は 0.4ns 付近と早くなっている。

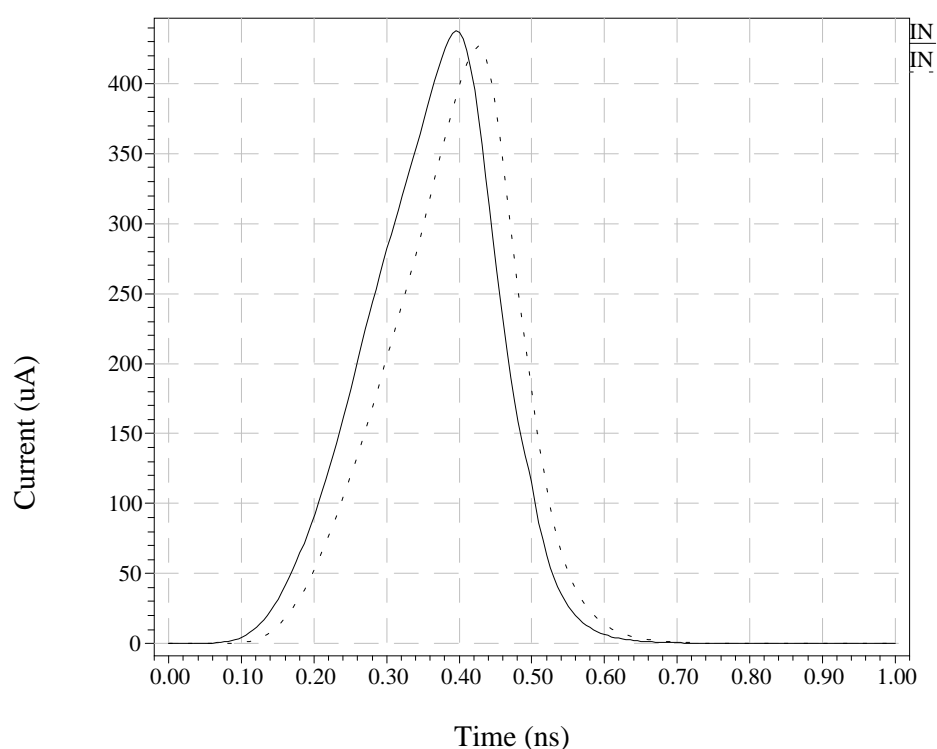


図 4-9 入力立上り時の NMOS のチャネル電流

図 4-10 に入力立上り時における PMOS のチャネル電流を示す。実線は基板バイアスを用いた場合の PMOS のチャネル電流で、破線は基板バイアスをかけていない場合の PMOS のチャネル電流（図 3-5 と同じ）である。図からもわかるように、基板バイアスを用いた方が、基板バイアスを用いない場合より電源への還流電流、インバータの貫通電流がともに増加している。また NMOS のチャネル電流と同様に基板バイアスを用いた場合は基板バイアスを用いないものと比較して PMOS チャネル電流のピーク値が早まっている。

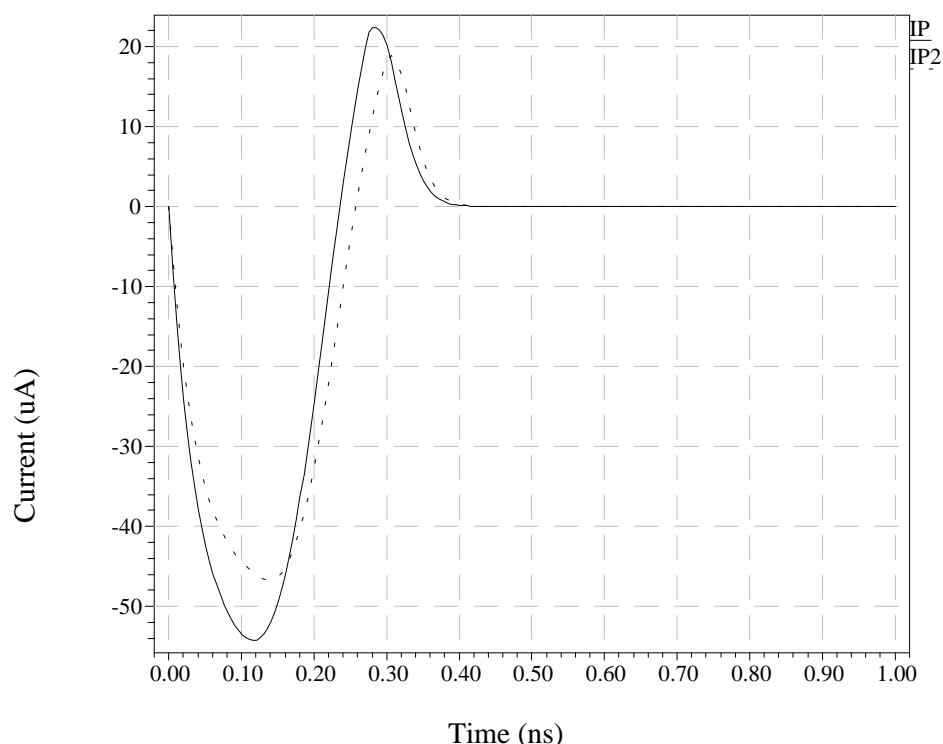


図 4-10 入力立上り時の PMOS のチャネル電流

入力立上り時間 0.5ns の場合の図 4-5 の回路の遅延時間、消費エネルギーをまとめて表 4-7 に示す。遅延時間は 0.027ns、約 17%改善されたが、消費エネルギーは増加している。しかし P・Td 積では 12.7%の改善になっている。

表 4-7 入力立上り時の P・Td 積の改善

Vtp	Vtn	遅延時間(ns)	N-ch 消費 エネルギー(fJ)	P・TD 積 (10 ⁻²⁴ Js)	改善率(%)
-0.3	0.3	0.161	67.885	10.929	
非対称に変化		0.134	71.255	9.548	12.7

4.4.3 入力立下り時の解析結果

入力立下り時間 0.5ns で入力立下り時の解析結果を示す。

入力立上り時と同様に遅延時間と消費エネルギーについて考える。図 4-11 は入力立下りに対する出力の変化を示した図である。実線は、基板バイアスを用いた場合(図 4-7)の出力電圧である。破線は、基板バイアスを用いない場合(図 1-1)の出力電圧である。図から、入力電圧 0.75V 時と出力電圧 0.75V 時の差をとった遅延時間は、基板バイアス回路を用いた方が約 0.02ns 小さいことがわかる。

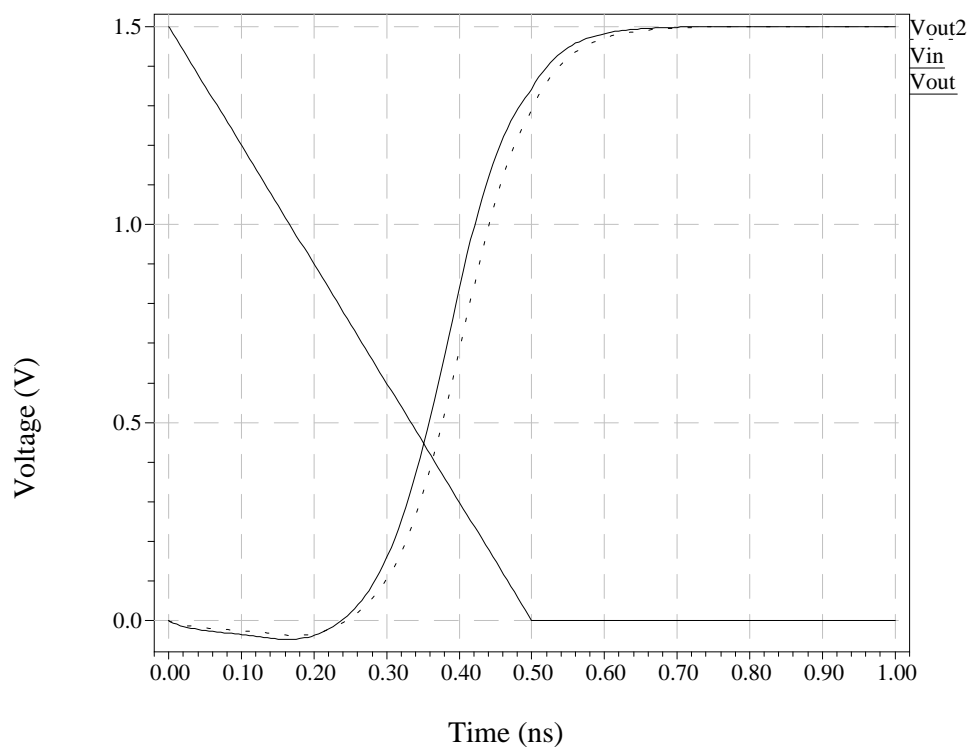


図 4-11 入力立下り時の出力電圧の変化

図 4-12 に入力立上り時における PMOS のチャネル電流を示す。実線は基板バイアスを用いた場合の PMOS のチャネル電流で、破線は基板バイアスをかけていない場合の PMOS のチャネル電流 (図 3-19 と同じ) である。図からもわかるように、基板バイアスを用いた方が、ピーク時のチャネル電流が僅かに増加 (400 μ A から 430 μ A) している。しかし、チャネル電流がピーク値を示す時間は破線の基板バイアスを用いていない場合の 0.42ns 付近に対し、実線の基板バイアスを用いた場合は 0.4ns 付近と早くなっている。

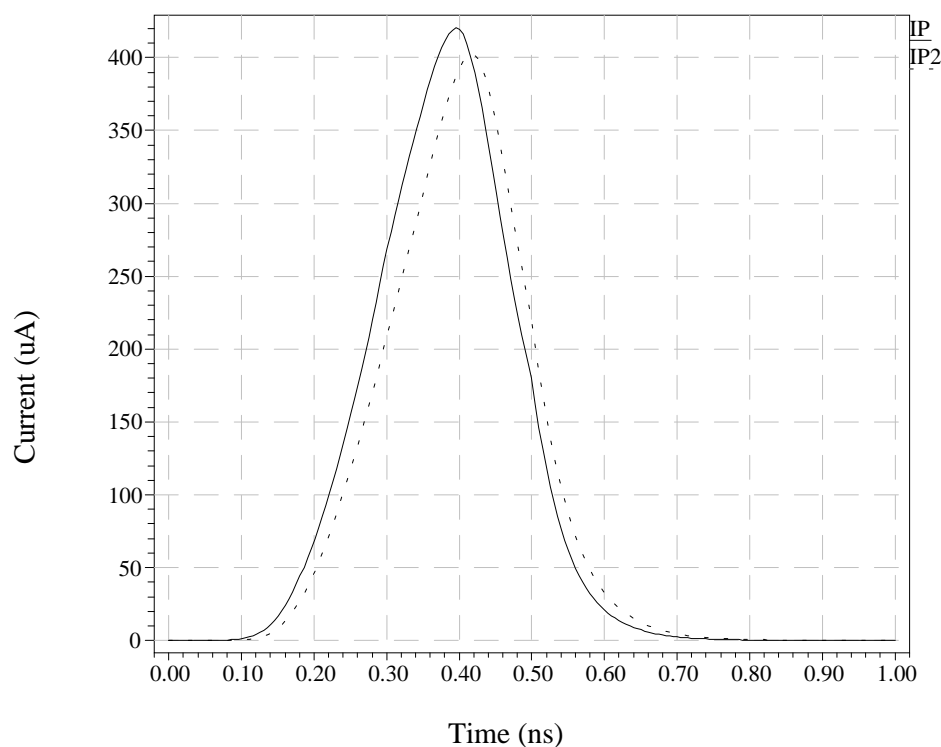


図 4-12 入力立下り時の PMOS のチャネル電流

図 4-13 に入力立下り時における NMOS のチャネル電流を示す。実線は基板バイアスを用いた場合の NMOS のチャネル電流で、破線は基板バイアスをかけていない場合の NMOS のチャネル電流 (図 3-12 と同じ) である。図からもわかるように、基板バイアスを用いた方が、基板バイアスを用いない場合よりソース側からドレイン側に流れる電流が増加している。インバータの貫通電流は減少している。このことから、過渡状態の後半では NMOS のしきい値電圧 V_{tn} が高くなっていることがわかる。

また PMOS のチャネル電流と同様 (図 4-10) に基板バイアスを用いた場合は基板バイアスを用いないものと比較して NMOS チャネル電流のピーク値を示す時間が早まっている。

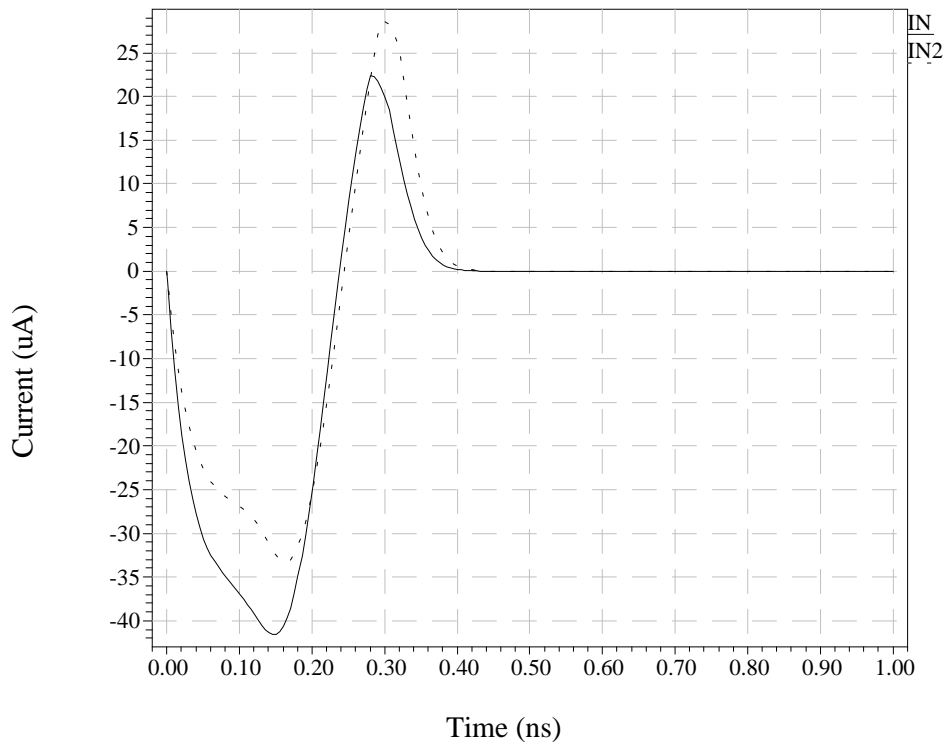


図 4-13 入力立下り時の NMOS のチャネル電流

入力立下り時間 0.5ns の場合の遅延時間と消費エネルギーの解析結果を表 4-8 にまとめて示す。遅延時間は 0.019ns、約 19%改善はされるが、消費エネルギーが僅かに増加している。しかし、P・Td 積では 8.9%の改善となっている。

表 4-8 入力立下り時の P・Td 積の改善

Vtp	Vtn	遅延時間(ns)	P-ch 消費 エネルギー(fJ)	P・TD 積 (10 ⁻²⁴ Js)	改善率(%)
-0.3	0.3	0.159	67.445	10.720	
非対称に変化		0.140	70.136	9.819	8.9

表 4-7、表 4-8 とともに P・Td 積は改善されているが、遅延時間が少なくなり、消費エネルギーが増加することがわかる。これは、負荷キャパシタの増加や基板とソース、ドレイン間に寄生的にある PN 接合を通じて電流が流れるためであると考えられる。また表 4-5、表 4-6 に比べ改善率より低い。これは 4 . 3 で行った解析では、しきい値は過渡的に変化せず、固定しきい値として解析したが、4 . 4 では入力電圧に呼応して基板にバイアスが加わりしきい値が過渡的に変化する。

4.4.4 入力立上り、立下り時間 1.0ns の解析結果

これまでは、入力立上り、立下り時間が 0.5ns の場合について解析してきたが、ここでは入力立上り、立下り時間を 1.0ns とし図 4-7 の回路の解析を行った。

4.4.2、4.4.3 と同様の解析を行い、その結果を表 4-9 (入力立上り)、表 4-10 (入力立下り) にしめす。

表 4-9 入力立上り時間 1.0ns の P・Td の改善

Vtp	Vtn	遅延時間 (ns)	N-ch 消費 エネルギー(fJ)	P・TD 積 (10 ⁻²⁴ Js)	改善率 (%)
-0.3	0.3	0.202	77.485	15.652	
非対称に変化		0.149	82.172	12.244	21.8


表 4-10 入力立下り時間 1.0ns の P・Td の改善

Vtp	Vtn	遅延時間 (ns)	P-ch 消費 エネルギー(fJ)	P・TD 積 (10 ⁻²⁴ Js)	改善率 (%)
-0.3	0.3	0.204	77.779	15.867	
非対称に変化		0.165	78.289	12.918	18.6

入力立上り、立下り 0.5ns の場合と同様に消費エネルギーの改善はみられなかったが、入力立上りでは、遅延時間で 0.053ns、約 26%の改善、入力立下りでは、遅延時間で 0.039ns、19%の改善となっている。入力立上り、立下り時間 0.5ns の場合と比較して、改善の度合は大きい。

4.4.5 配置図

図 4-14 に SOI 構造を想定した場合の配置図の 1 例を示す。

右側が NMOS、左側が PMOS で、太い線で囲まれている部分が基板である。基板バイアス効果を用いるためのキャパシタは、の部分であらわしている。灰色の幅を持った線はゲート入力で、透明の幅を持った線はメタル配線である。その他は以下に示す。C1、C3 は入力電圧を基板に伝えるため、入力信号を伝える入力線の下に配置し、C2 は電源 (Vdd) と基板、C4 は接地 (GND) と基板の間に配置した。

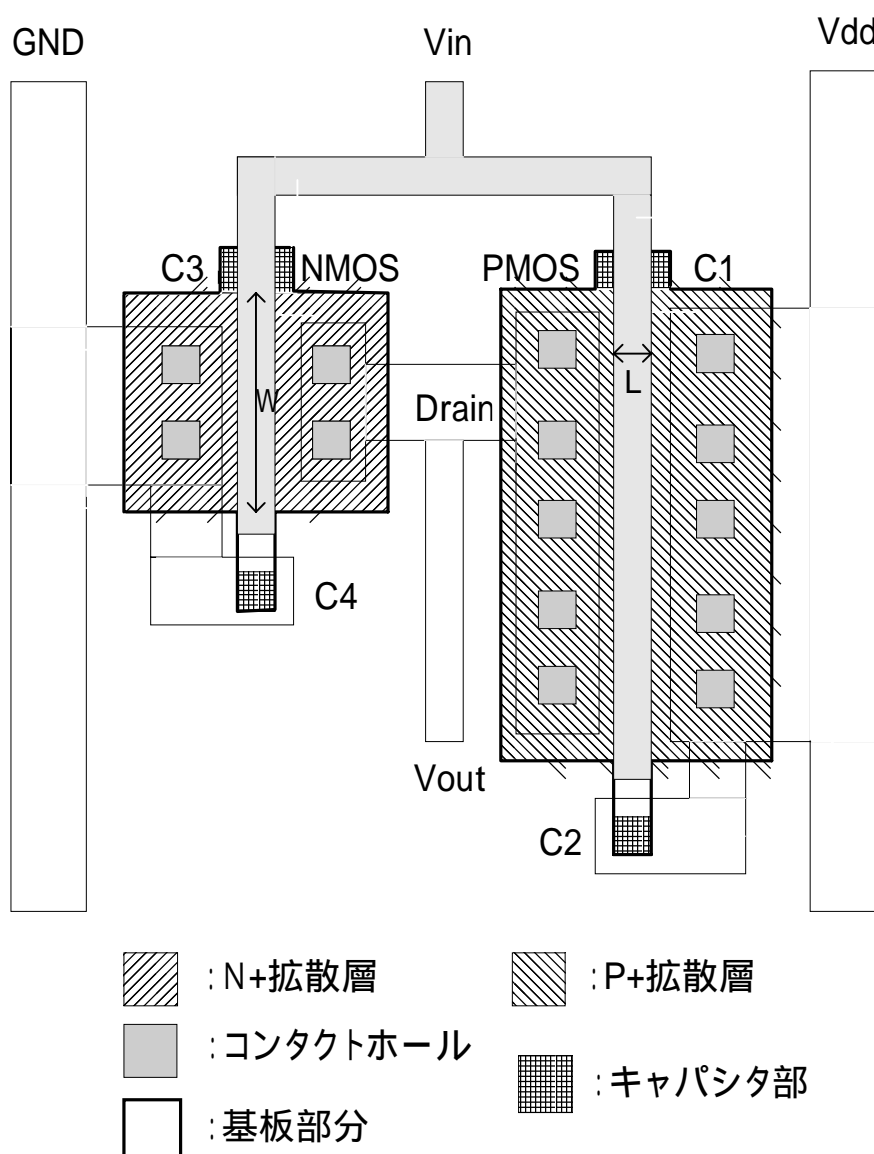


図 4-14 SOI を想定した配置図

第 5 章 おわりに

第 2 章では CMOS インバータの過渡特性を示し、一般的に考えられてきたインバータ特性とは大きく異なった特性になることを示した。第 3 章では CMOS インバータの消費エネルギーと遅延時間の解析を行い、消費エネルギーと遅延時間にはトレードオフの関係があることを示し、従来の固定型のしきい値電圧ではこの関係は改善に限界があることを示した。第 4 章では、従来の固定型しきい値電圧の考え方から、PMOS、NMOS 両トランジスタのしきい値電圧を動的に変化させ、消費エネルギーと遅延時間の改善への方向性を示し、具体的な回路例で解析した結果、 $P \cdot T_d$ 積の改善がみられたことを示した。また、キャパシタのカップリングによって基板にバイアスをつけることの提案、解析、その結果として遅延時間の大幅な改善が見られることを示した。

謝辞

大学学部 4 年次から本論文に至るまで、電子・光システム工学コースコース長という重責にありながら、不出来な私をここまで導き、ご指導して下さった原 央教授、多くの助言、知識を授けてくださった矢野 政顕教授、橘 昌良助教授に深く感謝致します。

また、A205 研究室の同士諸君には、公私ともに大変お世話になりました。心よりお礼申し上げます。

参考文献

- [1] 原 央、他 著 “ MOS 集積回路の基礎 ” 近代科学社 (1992)
- [2] 原 央、他 著 “ MOS トランジスタの動作理論 ” 近代科学社 (1980)
- [3] S.M.ジュー 著 “ 半導体デバイス ” 産業図書 (1987)
- [4] Yuan Taur、Tak H. Ning 著 “ 最新 VLSI の基礎 ” 丸善株式会社 (2002)
- [5] J.R.Burns “ Switching response of complementary-symmetry MOS transistor logic circuits ” RCA review P625 (1966)
- [6] 新妻 研作、原 央 “ CMOS インバータの速度と消費電力の改善の検討 ” P137、平成 14 年度電気関係学会四国支部連合大会