

# 卒業研究報告

題目

欠陥起因による LSI 断面の構造シミュレーション

---

報告者

1080258

妹尾政憲

---

指導教員

真田 克 教授

---

平成 20 年 2 月 19 日

高知工科大学工学部

電子・光システム工学科

# 目次

## 第 1 章 序論

1-1	研究背景	1
1-2	研究目的	1
1-3	論文構成	1

## 第 2 章 原理・理論

2-1	CMOS 回路	2
2-2	CMOS 回路の基本製造プロセス	4

## 第 3 章 PARADISEWORLD-2 概要

3-1	レイアウト表示	6
3-2	断面構造シミュレーション	6
3-3	製造工程シミュレーション	8
3-4	算出シミュレーション	10
3-4-1	容量算出	11
3-4-2	抵抗算出	11
3-4-3	電位分布算出	12

## 第 4 章 製造工程・断面構造シミュレーション

4-1	LSI 断面表示	13
4-2	非ダマシン構造の製造工程	16
4-2-1	基板工程	16
4-2-2	配線工程	25
4-3	ダマシン構造の製造工程	29
4-3-1	基板工程	29
4-3-2	配線工程	34
4-4	マスクの目合わせ	37

## 第5章 製造技術

5-1	リソグラフィ工程	38
5-1-1	露光	38
5-1-2	現像	39
5-2	平坦化技術 CMP	40
5-3	ダマシン構造	42
5-3-1	シングルダマシン	42
5-3-2	デュアルダマシン	42
5-4	LDD 構造	44
5-5	サリサイド技術	45

## 第6章 結論・考察

6-1	結論	46
6-2	考察	47
6-3	今後の課題	48
6-3-1	LSI 材料の数値設定	48
6-3-2	3次元シミュレーション	48
6-3-3	製造工程の決定	48

参考文献	49
------	----

謝辞	49
----	----

# 第 1 章 序論

## 1-1 研究背景

現在、LSI(Large Scale Integration : 大規模集積回路)の高性能化により、LSI が使われている電子機器は、我々の生活に無くてはならない物になっている。LSI がさらなる進歩を遂げるには、多層配線化、高集積化が必要である。しかし、従来の LSI 製造技術では、構造・材料等の問題で LSI の高性能化が妨げられる問題が発生する。それに対応して、常に新しい LSI 製造技術が生まれており、LSI 製造の工程も変化してきているのが現状である。

LSI は微細化や高集積化が進むにつれ、少しの間違いでさえも故障の原因となってしまう。製造された LSI の全てが良品というわけではなく、少しでも歩留まりを良くするために様々な故障解析の技術が発達している。これからの LSI 開発を考えると、将来は今よりも更に故障の要因は増えていくと考えられる。しかし、故障は LSI の内部深くにある場合も多く、故障原因の特定は決して容易なことでは無い。そのため故障解析には断面構造の情報が不可欠である。

## 1-2 研究目的

本研究は、故障を断面的な面から捉え、製造工程段階から故障の原因を追えるようになるため、LSI 断面構造のシミュレーションソフトを用いた故障解析へのアシストツールの確立を目的としている。また、実際に目合わせのずれなどの故障が起こった場合の LSI 断面のシミュレーションや製造工程のシミュレーションも進め、故障や製造工程に対する理解を深めていく。

## 1-3 本文構成

- 第 1 章 序論として、本研究の背景・目的を述べる。
- 第 2 章 CMOS 回路の原理・理論について述べる。
- 第 3 章 研究で用いたシミュレーションソフトについて述べる。
- 第 4 章 断面構造シミュレーションを用いた製造工程を述べる。
- 第 5 章 LSI 製造に使われる製造技術について述べる。
- 第 6 章 本研究についての結論や考察を述べる。

## 第2章 原理・理論

### 2-1 CMOS 回路

CMOS とは Complementary Metal Oxide Semiconductor の略であり、相補形 MOS (金属酸化膜半導体) のことをいう。

現在、我々の身の回りにある LSI のほとんどは、この CMOS で作られており、CMOS は、MOSFET(Complementary Metal Oxide Semiconductor Field Effect Transistor)を相補うように接続された集積回路である。

この CMOS は、

- ・論理が反転する際にごく僅かな時間にしか電流が流れないためと、Nch と Pch のどちらかが必ず Off 状態になるため(電圧源からアースに繋がらない)、状態保持状態の際に電力消費が無いので、消費電力が少ないこと。
- ・使用できる電圧に幅があり、低電圧でも動作が可能なこと。

などの特徴がある。ただし、入力信号が変わった場合、ごく短い時間にショート状態となるため、スイッチングが多い回路では消費電力は大きくなってしまふ。

次に、CMOS 回路の動作を説明する。図 2-1 は CMOS 構造のインバータ(反転)回路の断面図であり、これを用いて説明をする。

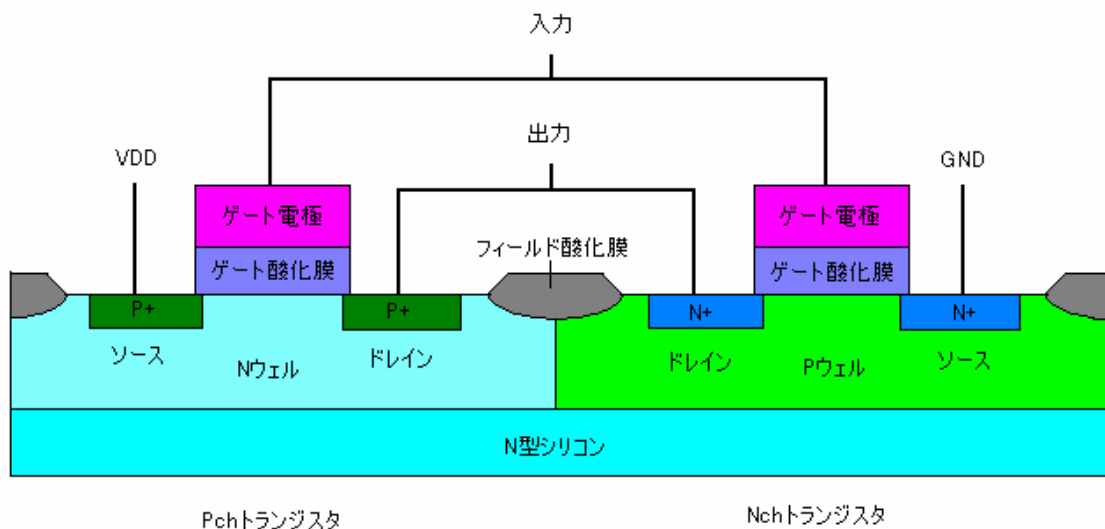


図 2-1 CMOS インバータ回路断面図

P チャンネル型 MOS(Pch)、N チャンネル型 MOS(Nch)の 2 つを組み合わせると CMOS 回路は作られている。なお、説明上一般的に電源に使用される 5V を H、0V を L とする。

P チャンネル型 MOS はゲート電極に L(0V)が印加されると、ソースとドレインの間の N 型シリコン表面(チャンネルという)に、ホールが引き寄せられる。この時、ソースとドレインに電圧がかかり(ソースに 5V、ドレインに 0V)、水平方向に電界が発生する。電流は電圧の高い方から低い方へ流れるので、ソースからドレインへ引き寄せられたホールを通して電流が流れる。つまり、ゲート電極に 0V を印加すると、ON 状態となりソースとドレインが導通するので、出力は 5V となる。(図 2-2)

N チャンネル型 MOS は、ゲート電極に H(5V)が印加されるとソースとドレインの間のチャンネルに、電子が引き寄せられる。この時、ソースとドレインに電圧がかかり(ソースに 0V、ドレインに 5V)、水平方向に電界が発生する。この電界により、GND に向けて電流が流れる。つまり、ゲート電極に 5V を印加すると、ON 状態となり、ソースとドレインが導通するので、出力は 0V となる。(図 2-3)  
 なお、図 2-2、2-3 の赤い矢印は電流の流れである。

また、ゲート電極にかかる電圧の強さと、電極の面積によって引き寄せられるホール、または電子の制御が可能である。

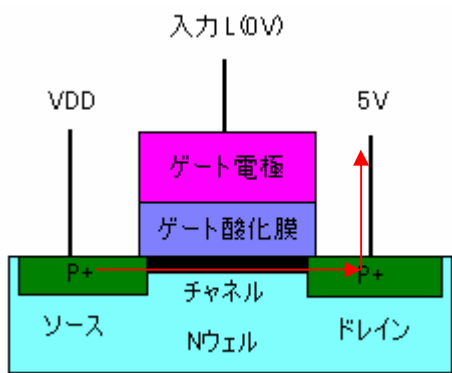


図 2-2 P 型 MOS ON 状態

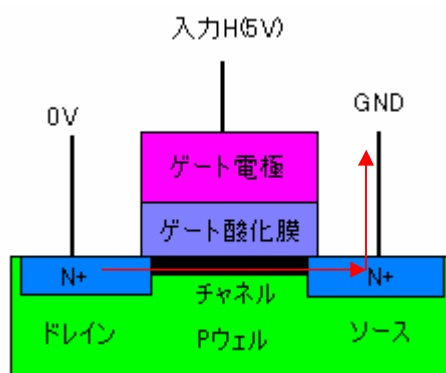


図 2-3 N 型 MOS ON 状態

## 2-2 CMOS 回路の基本製造プロセス

CMOS 回路を製造する際に行われる工程(プロセス)には、様々な工程がある。以下に簡単にまとめた製造プロセスを示す。

製造工程には大きく分けて 2 つのプロセスが存在する。

1 つ目は基板工程であり、これは回路を構成する 1 つ 1 つのトランジスタ素子を形成する工程である。トランジスタは 2-1 で示す通り、N 型 MOS・P 型 MOS の 2 種類が存在し、N 型はリン(P)・ヒ素(As)等のドナーイオン、P 型はボロン(B)等のアクセプタイオンを混ぜた不純物シリコン(Si)で構成されている。この工程では基盤であるシリコンにこのような不純物を拡散(ドーピング)する工程や、各トランジスタを分ける選択酸化の工程が含まれる。

2 つ目は配線工程であり、形成されたトランジスタを、レイアウトされた配線通りに配線層を形成する工程ある。現在、配線は主に銅が用いられている。

その工程は大まかに分けると、以下のようなものであり、

### 基板工程

1. 素子を分離するためのフィールド酸化膜形成
2. トランジスタ素子の元になる P・N ウェルの形成
3. ゲート電極形成
4. ソース・ドレイン形成

### 配線工程

1. コンタクトホール形成
2. 1 層目の配線の形成
3. スルーホール(ビアホール)形成
4. 2 層目の配線の形成
5. スルーホール形成
- ・
- ・
- ・

といった工程である。さらに3層目、4層目と続く場合には配線形成とスルーホール形成の工程を繰り返し、最後にパッシベーション膜という半導体の表面保護膜を形成する。

また、製造工程の中には、酸化膜形成等での熱酸化や、焼き締めを行うための熱処理、化学的気相成長(CVD：Chemical Vapor Deposition)による絶縁膜などの形成する前処理工程としてや、フォトリソグラフィという工程で使用するフォトレジストという保護膜の剥離などのために様々な薬品による洗浄工程が含まれている。

この洗浄の目的は、ウェハ表面に付着した微粒子(ゴミ)の除去や、化学的・物理的に吸着した重金属(Ni(ニッケル)、Cr(クロム)等)や、Na(ナトリウム)等のアルカリ金属の除去、および熱処理等で残る残存有機物の除去などである。

この洗浄工程においては、今回は割愛している。

LSIの製造工程は、大まかに分けると以上のような工程である。各工程の詳細は、第3章にて説明するPARADISEWORLD-2というシミュレーションソフトで作成したLSI断面構造シミュレーションの画像を元に、第4章で細かな説明を行う。



## 第3章 PARADISEWORLD-2 概要

今回、研究を行うにあたり使用したシミュレーションソフトは、数理システム社より販売されている「PARADISE WORLD-2」という、LSIの断面構造シミュレーションソフトである。(以後、PW2と表す)

このPW2は、LSIの断面構造のシミュレーション以外にも様々な機能がある。その機能をこれより説明する。また、PW2には3次元でのシミュレーションも可能なのだが、今回は詳しく研究できていないため割愛する。

### 3-1 レイアウト表示

PW2で断面構造等のシミュレーションを行うには、そのLSIを製造するにあたってのレイアウトデータが必要となる。そのレイアウトデータはPW2に付属されているサンプルデータがあるのだが、このデータはVDEC(VLSI Design and Education Center 大規模集積システム設計教育研究センターの略)のCadenceツールなどによっても作成することが可能である。

以下はサンプルデータのインバータ回路をPW2でレイアウト表示させたものである。(図3-1)

### 3-2 断面構造シミュレーション

表示されたレイアウトは、切断面を表すカットラインを設定することによって、任意の場所での断面構造をシミュレーションすることができる。次の図は図3-1で表示されているカットライン(白線)の部分での、断面構造をシミュレーションしたものである。(図3-2)

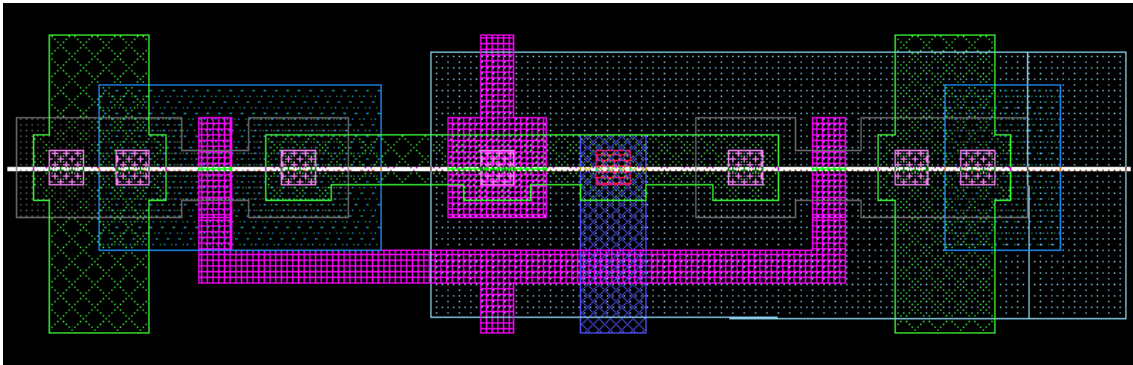


図 3-1 インバータ回路(サンプルデータ)のレイアウト

図 3-1 のレイアウトの中央にある白線は、図 3-2 においての切断面を表している。



図 3-2 インバータ回路(図 3-1)断面構造シミュレーション

この断面構造シミュレーションで表示されたデータは、後に説明する製造工程シミュレーションと連動しており、工程を任意に変化させた場合どうなるか、といったことがすぐにシミュレーションすることが可能になっている。また、各算出シミュレーションも、ここで表示された画像が元となり、算出対象の指定を行うことになる。

### 3-3 製造工程シミュレーション

断面構造をシミュレーションする上で、最も重要となるのは LSI を製造する上での工程であり、その中で使用されるフォトマスクである。シミュレーションされる断面構造や各算出は、設定された製造工程を元にシミュレーションされるため、PW2 では事細かな製造工程の設定が可能となっている。

図 3-3 に示したのは、図 3-2 のインバータ回路の一部であり、基板工程のゲート電極形成付近のものである。

NO.	Model	Process	Para.	Shift	Exp.	Inc.	Comment
23	PARA	SiO2_wet_etch	0.035	:	:	:	:
24	PARA	Si_oxid	0.03	:	:	:	:
25	PARA	PolySi_dep	0.3	:	:	:	:
26	PARA	SiO2_dep	0.15	:	:	:	:
27	PARA	Resist_coat	1.0	:	:	:	:
28	PARA	vert_pattern	GATE	:	:	:	:
29	PARA	SiO2_etch	0.3	:	:	:	:
30	PARA	Si_etch	0.4	:	:	:	:
31	PARA	Resist_remove	:	:	:	:	:
32	PARA	Resist_coat	1.5	:	:	:	:
33	PARA	vert_pattern	NDIF	:	:	:	:
34	PARA	As+_impl	0.15	:	:	:	:
35	PARA	Resist_remove	:	:	:	:	:
36	PARA	Resist_coat	1.5	:	:	:	:
37	PARA	vert_pattern	PDIF	:	:	:	:
38	PARA	B+_impl	0.2	:	:	:	:

図 3-3 インバータ回路(図 3-2)の製造工程

この製造工程シミュレーションで主に設定できるのは、フォトマスクの大きさ、レイアウトデータの編集、不純物濃度、フォトマスクのズレ、使用される材料(抵抗・比誘電率)、製造工程、エッチングや拡散・塗布等のモデル設定など多量に存在する。

### 3-4 算出シミュレーション

断面構造シミュレーションで表示された画像(図 3-2)を元に、算出領域の指定を行い誘電率・抵抗・電位分布の算出シミュレーションが使用できる。(図 3-4) この算出シミュレーションを行うには、LSI に使用される各材料の比誘電率や抵抗値の設定が必須であるのだが、今回は資料不足のため、詳しく行うことはできなかった。

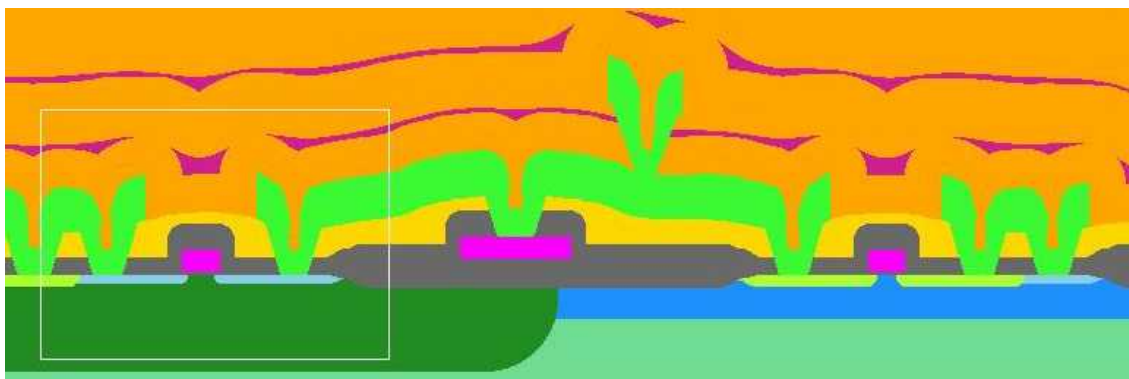


図 3-4 算出領域指定(線で囲まれた箇所)

### 3-4-1 容量算出

容量算出は、LSI に使用される材料の絶縁体が、どれだけの容量を持っているのかを算出することができる。算出される容量は奥行き  $1\mu\text{m}$  とした場合の値が求められる。

容量算出は、対象となる絶縁体を設定(図 3-5)

算出シミュレーションの実行(図 3-6)といった手順で行われる。

図 3-6 に実行結果を示しているが、絶縁体の比誘電率を設定できていないため、正しい値は出ていない。

この値は、各導電体間の奥行きを  $1\mu\text{m}$  とした場合の容量値で、単位は F(ファラッド)である。

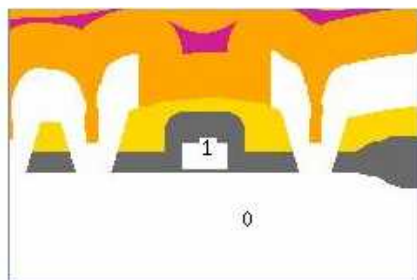


図 3-5 導電体指定

	0	1
0	6.465458e-16	6.465458e-16
1	6.465458e-16	6.465458e-16

図 3-6 容量算出結果

### 3-4-2 抵抗算出

抵抗算出は、LSI に使用される伝導体に対して、抵抗値がいくらかを算出できる。算出された抵抗は、奥行きを  $1\mu\text{m}$  とした場合の値で求められ、算出指定部分に印加する電圧も任意のものが選択可能である。

抵抗算出は対象となるコンダクター(伝導体)を設定(図 3-7)算出シミュレーションの実行という手順で行われる(図 3-8)

図 3-7 に実行結果を示しているが、伝導体の抵抗値を設定できていないため、正しい値は出ていない。

この値は、奥行きを  $1\mu\text{m}$  とした場合の、各電極間の抵抗値で単位は (オーム)である

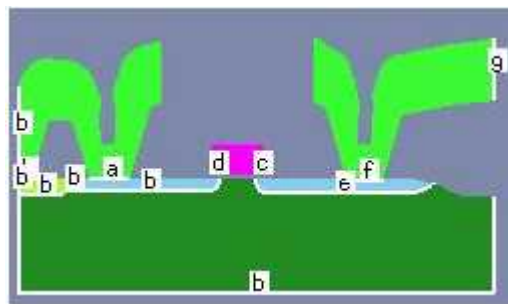


図 3-7 導電体指定 a

RESULT TABLE (RESISTANCE)							
	a	b	c	d	e	f	g
a		0.2170732			1.9678756	3.0061474	7.7482252
b	0.2170732				0.1291552	0.1727803	0.2089306
c				2.4673313			
d			2.4673313				
e	1.9678756	0.1291552				0.1368630	0.2995891
f	3.0061474	0.1727803			0.1368630		1.8328918
g	7.7482252	0.2089306			0.2995891	1.8328918	

図 3-8 抵抗算出結果

### 3-4-3 電位分布算出

電位分布算出は、電位が LSI 内部において、どのように分布しているかを算出できる。分布の算出は等高線にて算出され、等高線の刻み値は電圧の変化に相当するので、刻み値が 0.1V ならば等高線が引かれたところで 0.1V 変化したということである。

電位分布算出は対象となる伝導体を指定(図 3-9)

算出シミュレーションの実行という手順で行われる(図 3-10)

図 3-10 に実行結果を示しているが、伝導体の抵抗値を設定できていないため、正しい値は出ていない。

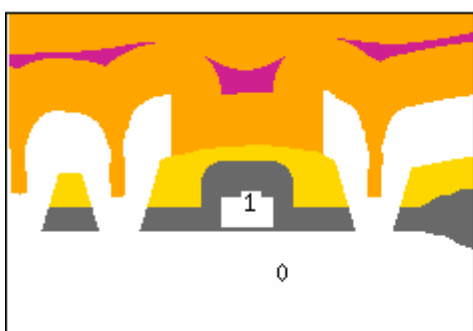


図 3-9 導電体指定 b



図 3-10 電位分布算出結果(5V)

図 3-10 は 1 の導電体、つまりゲートに 5V を印加し、0 の導電体である基板に 0V を印加してみた場合のシミュレーション結果であり、図 3-11 にゲートへ 10V を印加した場合のシミュレーション結果を示す。

なお、この 2 つのシミュレーションは刻み値を 0.5V で行った。

電圧が大きくなったため、等高線が多くなっているのが分かる。

また、ゲートに 10V を印加して、刻み値を 0.1V とした場合を図 3-12 に示す。

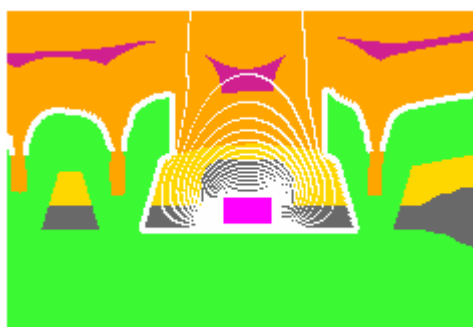


図 3-11 電位分布算出結果(10V)



図 3-12 電位分布結果(5V 0.1V 刻み)

## 第4章 製造工程・断面構造シミュレーション

第2章では、LSI(CMOS回路)の簡易製造工程を説明したが、LSIの製造工程はさらに細かい工程がいくつも存在する。そこで、以下にPW2を使用して作ったLSIの製造工程を、断面構造シミュレーションでの画像と共に説明する。また、PW2の断面図において黒い空間は何も無いことを示している。

今回は、初期に生産されていたLSIの工程と、近年主流になっているダマシン構造となっているLSIの工程の2つを取り上げる。

なお、LSIの製造工程は各製造メーカー等で違いがあり、基本的に細かい工程は公表されていないので、今回説明するのは、私が各参考書等を参考に組み上げた工程である。(初期タイプを以後非ダマシン構造と表す)

### 4-1 LSI 断面構造

製造工程に入る前に、非ダマシン構造のLSIとダマシン構造のLSIの違いを簡単に説明する。

図4-1はPW2のサンプルデータ(インバータ回路)を用いて、非ダマシン構造の断面を示したものである。

次に、図4-2aはVDECのツールを使用して作成したインバータ回路を用いたダマシン構造の断面を示したものであり、それぞれレイアウト図の白線の部分での断面図である。

また、図4-2bおよび図4-2cはダマシン構造を形成する上で層間の幅、配線幅、コンタクトの長さ等参考にした画像とサンプルLSIを割り、SEMで撮った写真である。

SEMとは、Scanning Electron Microscopeの略で、走査型電子顕微鏡の一種で、対象に電子ビームを照射した時に放出される二次電子や反射電子、透過電子、X線等を検出し、コンピュータ上で画像として見る事ができる電子顕微鏡である。



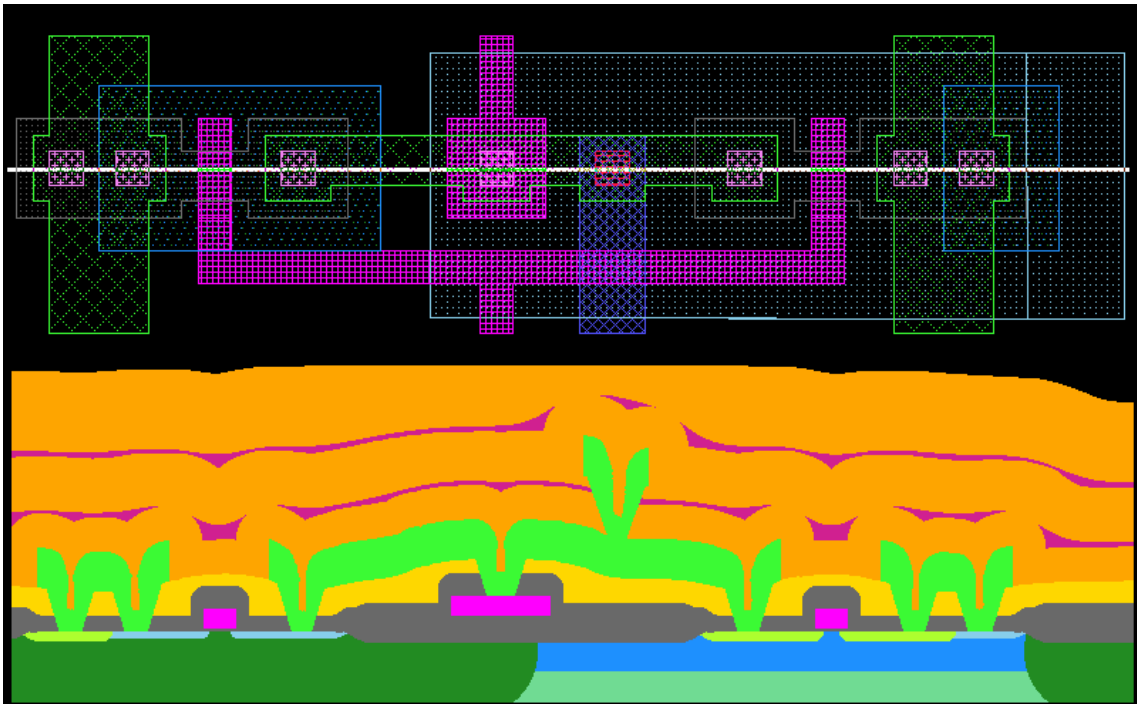


図 4-1 非ダマシン構造

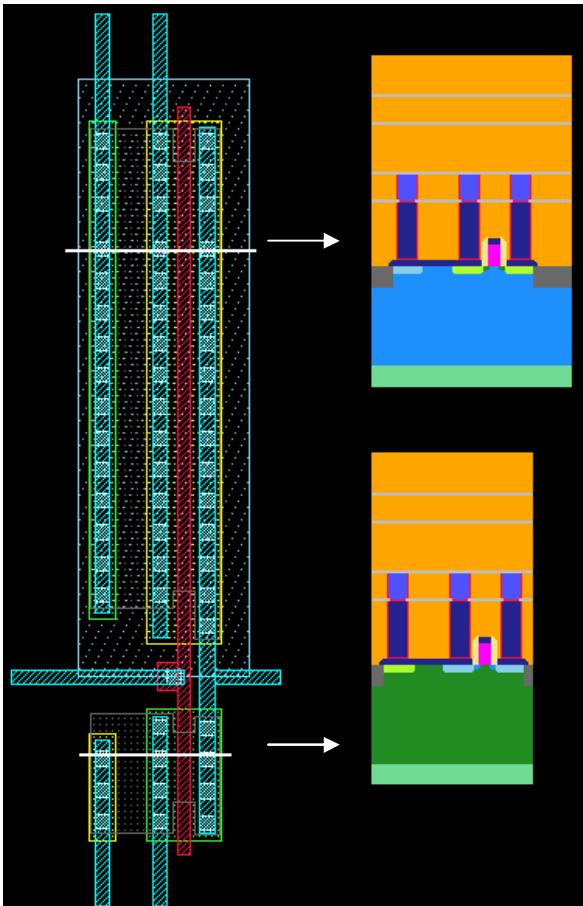


図 4-2a ダマシン構造

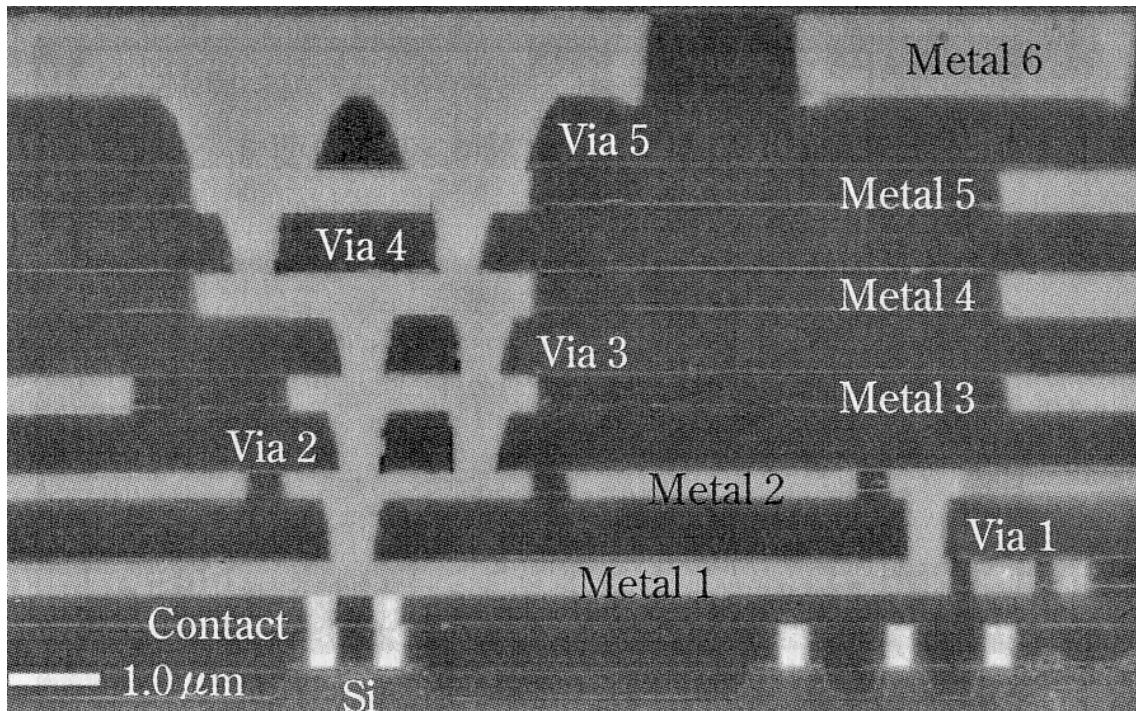


図 4-2b ダマシン構造参考図

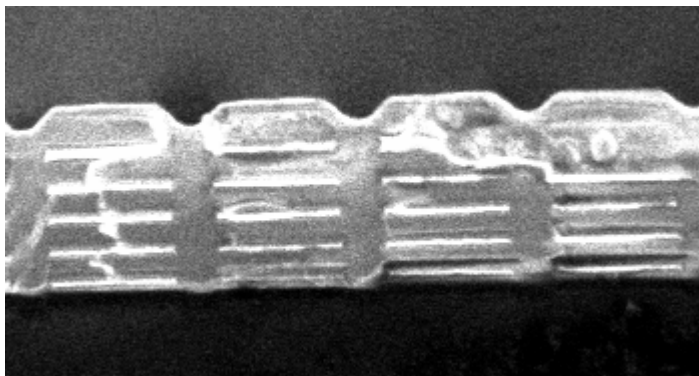


図 4-2c サンプル LSI SEM 画像

非ダマシン構造とダマシン構造の大きな違いは、配線工程においてそのまま積み重ねるか、平坦化という工程を取り入れて、1層1層を平らにしていくかという違いがある。また、基板工程においても平坦化は重要であり、図 4-2 を見るとわかるように、各素子が非常に微細に形成することが可能であり、近年の LSI の高集積化、微細化に大きく関係している。

その他に、非ダマシン構造は層が多くなると、積み重ねによって発生した段差(図 4-3)によって、配線や層間絶縁膜の厚さに偏りができ、断線や、ショートが置きやすくなるが、ダマシン構造は平坦化することによって可能性は低くなっている。

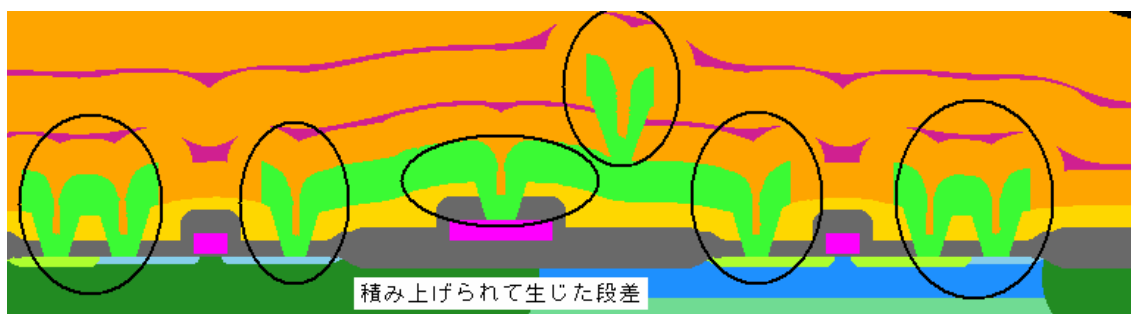


図 4-3 非ゲート構造で積み上げられた段差

## 4-2 非ゲート構造の製造工程

非ゲート構造の製造工程を説明する。

工程は、素子を形成する基板工程、配線を形成する配線工程に分けて説明する。ここではN型シリコン基板と仮定して進める。

また、第2章で素子分離をしてからウェル形成と順番を示していたのだが、非ゲート構造はPW2に付属されていた工程には順序が逆になっている。ここでの説明はそれに合わせて、ウェル形成から素子分離に移る。

### 4-2-1 基板工程

#### 1.ウェル形成

ウェルは、CMOS構造を形成するPch・Nchトランジスタを作るために、基板のシリコンをPMOSの部分はN型、NMOSの部分はP型にしてある領域であり、この領域をウェル(well)という。その工程は以下である。

##### 1-1. パッド酸化膜を形成(図 4-4a)



図 4-4a

1-2. フォトレジスト(保護膜、以後レジストと表す)塗布(図 4-4b)



図 4-4b

1-3. フォトマスク(レジストを除去する回路パターンが示された板、以後マスクと表す)を用いて、Pch トランジスタ素子の元となる N 型ウェルを形成する箇所を露光

1-4. レジストを現像液で露光した箇所を現像(図 4-4c)



図 4-4c

1-5. シリコン基板に、N 型ウェルを形成するためのドナーイオンをドーピングする(図 4-4d)



図 4-4d

1-6 不要なレジストを除去(図 4-4e)



図 4-4e

この工程 1-2 から 1-4 はフォトリソグラフィ工程といわれており、マスクを使って任意箇所のレジストを現像(除去)する工程である。詳細は 5 章の 5-1 で説明を行う。

次に NMOS トランジスタの元となる P 型ウェルを形成する工程に移る。その工程は以上の工程を P 型ウェルの場合のマスクに置きかえてアクセプタイオンをドーブし、酸化膜をエッチングすることによって形成される。ウェルが形成された状態を図 4-4f に示す。



図 4-4f

## 2.素子分離

最初に形成する素子を分離するための工程を行う。  
この素子分離は形成された素子を厚い酸化膜で挟み、他の素子と分離するフィールド酸化膜を形成する工程であり、その工程は以下である。

### 2-1. パッド酸化膜(表面を保護するための酸化膜)の形成(図 4-5a)



図 4-5a

### 2-2. SiN(シリコン窒化膜)形成(図 4-5b)



図 4-5b

2-3. リソグラフィによってフォールド酸化膜を形成する箇所を、マスクを用いて現像する(図 4-5c)



図 4-5c

2-4. 2-2 で塗布した窒化膜と酸化膜のエッチング(図 4-5d)



図 4-5d

2-7. 不要なレジストの除去

2-8. 窒化膜(SiN)をマスクにして基板を熱酸化させ厚い酸化膜を形成(図 4-5e)



図 4-5e

以上のようなものになる。この後、SiN とパッド酸化膜を除去し、素子分離工程が終了する。図 4-5f に素子分離完成後の図を示す。

また、図 4-4g に示したのは、フィールド酸化膜の端の部分であり、鳥のくちばしに似ていることから、バースピークといわれている。図 4-4h は透過型電子顕微鏡 (Transmission Electron Microscope : TEM) という、試料に電子線を照射して、透過してきた電子が作り出す干現象を拡大して観察する電子顕微鏡で撮られた画像である。



図 4-4f 素子分離(フィールド酸化膜形成)



図 4-4g バースピーク

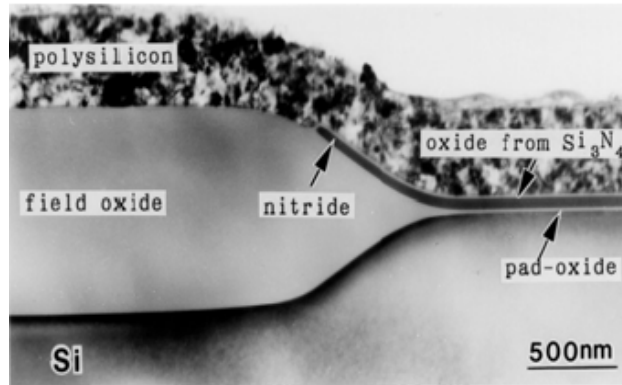


図 4-4h TEM のバースピーク画像

### 3.チャネル注入

MOS トランジスタは、しきい値という値を超えたときに On・Off 動作するという特性がある。このしきい値を制御するために、アクセプタやドナーとなる不純物をシリコンの表面に浅くイオン注入する。工程は以下である。

しきい値は、使用される環境などで変えられるため、今回は工程シミュレーションにも入れておらず、詳しく行っていない。

よって図は PW2 の断面図では無く、簡易図を示している。

#### 3-1 リソグラフィにより N ウェルの部分のレジストを除去(図 4-6a)

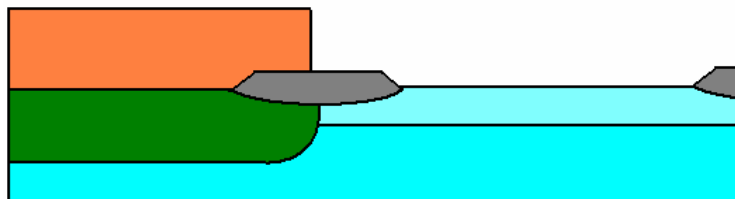


図 4-6a

### 3-2 P チャネルイオン(ドナー)をイオン注入する(図 4-6b)

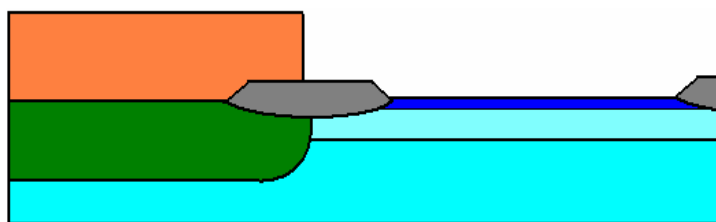


図 4-6b

### 3-3 レジスト除去

次に P ウェル箇所も同じ工程を行い、N チャネルイオン(アクセプタ)をイオン注入することによってチャネル注入が行われる。

不純物濃度によってしきい値を制御できると示したが、次に Nch トランジスタの場合のしきい値を表す式を示す。この工程において、アクセプタイオン濃度のコントロールを行うのである。

$$V_t = 2\phi_F + \frac{q N_a l_{Dm}}{C_{ox}}$$

$V_t$  : しきい値

$\phi_F$  : ドナーイオンが飽和する表面電位  
(完全に反転層ができる)

$q$  : 電荷容量

$N_a$  : アクセプタイオン濃度(不純物濃度)

$l_{Dm}$  : 空乏層の幅

$C_{ox}$  : 単位面積当たりの静電容量



#### 4.ゲート電極形成

薄く敷いたゲート酸化膜の上に、ゲート電極を形成する。この電極は不純物を高濃度に入れたポリシリコンが使用されるが、タングステン(W)などの高融点金属とポリシリコンの2層構造のものも存在する。高融点なのは、酸化膜を形成する際などに行う、熱処理の時に発生する熱対策のためである。

ゲート電極形成の工程は

##### 4-1. 基板表面にゲート酸化膜を形成(図 4-7a)



図 4-7a

##### 4-2. ポリシリコンと酸化膜を堆積(図 4-7b)



図 4-7b

##### 4-3. リソグラフィによって、ゲート電極のマスクで現像する(図 4-7c)



図 4-7c

4-4. 露出しているポリシリコンをエッチングする(図 4-7d)



図 4-7d

4-5. 不要なレジストを除去する(図 4-7e)



図 4-7e

以上がゲート電極の工程である。

## 5.ソース・ドレイン形成

トランジスタの電圧或いはアース、出力・入力であるソース・ドレインを形成する工程であり、その工程は

### 5-1 リソグラフィにより、P ウェル部を露出する(図 4-8a)



図 4-8a

### 5-2 浅いN型層を形成するため、ドナー不純物をイオン注入し、ソース・ドレインを形成(Nチャンネル形成)(図 4-8b)



図 4-8b

### 5-3 不要なレジストを除去(図 4-8c)



図 4-8c

以上の工程を N ウェル部の場合はアクセプタ不純物をイオン注入することによって、PMOS のソース・ドレインを形成する。  
そして、最後に絶縁膜を堆積して素子が形成される。  
素子を形成した図を図 4-9 に示す。



図 4-9 非ダマシン構造 素子形成

#### 4-2-2 配線工程

##### 1. コンタクトホール形成

形成された素子の、ゲート・ソース・ドレインに接続するための穴を開ける工程である。その工程は

1-1 層間絶縁膜を堆積後リソグラフィによって、コンタクトホールを形成する部分のレジストを除去する(図 4-10a)

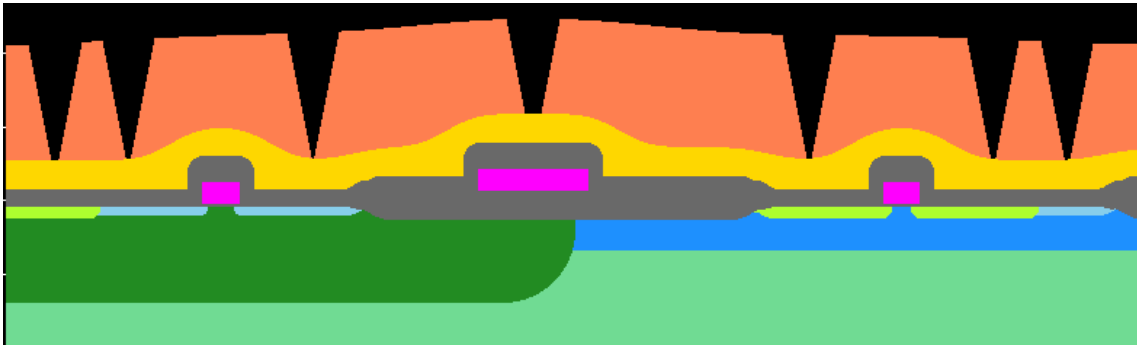


図 4-10a

1-2 絶縁膜をエッチングしてコンタクトホールを形成する(図 4-10b)



図 4-10b

### 1-3 不要なレジストを除去する(図 4-10c)



図 4-10c

以上の工程で、コンタクトホールが形成される。

## 2.1 層目配線形成

非ダマシン構造では、配線に主にアルミが使用される。この理由は、主にアルミがエッチングしやすい金属であるため、塩素などのハロゲンガスと容易に反応してガス化され除去される。また、コンタクトホールの埋め込みもこの工程で行われる。

### 2-1 アルミを堆積させる(図 4-11a)



図 4-11a

### 2-2 リソグラフィによって、配線を形成する部分をエッチングする(図 4-11b)



図 4-11b

2-3 不要なレジストを除去する

2-4 層間絶縁膜を堆積させる(4-12c)



図 4-12c

以上の工程で、1層目の配線が形成される。

3.スルーホール(ビアホール)形成

スルーホールとは、配線と配線を繋ぐための穴であり、コンタクトホールとは違い、素子に繋がることは無いが、その工程はほぼコンタクトホールと同じである。非ダマシン構造の場合、2層配線と同時にコンタクトは形成される。

3-1 リソグラフィによって、スルーホールを形成する部分をエッチングする  
(図 4-12a)



図 4-12a

3-2 不要なレジストを除去する(図 4-12b)



図 4-12b

#### 4.2 層目配線形成(図 4-12c)

コンタクトホールがスルーホールに変わっただけで、その工程は同じなので、省略する。



図 4-12c

配線層が以降も続く場合はスルーホール形成と配線形成を繰り返すことになる。最後に表面保護膜(パッシベーション膜)形成する。(図 4-12d)



図 4-12d

以上が非ダマシン構造の工程である。

### 4-3 ダマシン構造の製造工程

ダマシン構造には、シングルダマシンとデュアルダマシンの 2 つの構造が存在する。大きな違いは、コンタクトホール・スルーホールに配線材料と同じ物を使うかどうかであり、シングルダマシンはコンタクト・スルーホールにタングステン等の低抵抗・高融点金属を使用している。今回は配線を銅、コンタクト・スルーホールの埋め込みをタングステンとして説明する。ここではシングルダマシンの工程を元に説明を行い、ダマシン構造のレイアウトの都合上、NMOS トランジスタを中心に断面図を示す。

#### 4-3-1 基板工程

##### 1.素子分離

素子を分離するフィールド酸化膜の形成を行う。

- 1-1 基板の前面を熱酸化し、パッド酸化膜を形成
- 1-2 SiN(シリコン窒化膜)を堆積する(図 4-13a)
- 1-3 リソグラフィによって、フィールド酸化膜を形成する箇所のレジスト除去
- 1-4 SiN と酸化膜のエッチング(図 4-13b)
- 1-5 不要なレジストを除去
- 1-5 トレンチ(Trench)エッチングで、SiN をマスクに基板をエッチング(図 4-13c)



図 4-13a



図 4-13b



図 4-13c



1-6 SiN を全てエッチング(4-13d)

1-7 酸化膜を堆積させる(図 4-13e)

1-8 CMP で不要な酸化膜を除去する(図 4-13f)



図 4-13d



図 4-13e



図 4-13f

分離方法は、非ダマシン構造で説明したタイプの、基板を熱酸化させて厚い酸化膜を形成する LOCOS(Local Oxidation of Silicon)方式もあり、ここで示した浅いトレンチ分離(STI : Shallow Trench Isolation)という方式である。LOCOS に比べて、トレンチ分離はフィールド酸化膜を薄くできるため、微細な LSI に向いている。

## 2.ゲート酸化膜形成

ゲート酸化膜の形成だが、 $0.001\ \mu\text{m}$  から  $0.01\ \mu\text{m}$  程度の非常に薄い膜となっている。

2-1 ゲート酸化膜を薄く形成(図 4-14)



図 4-15a

### 3.ウェル形成

3-1 リソグラフィによって、P型ウェルを形成する箇所のレジストをエッチング

3-2 アクセプタイオンをイオン注入する(図 4-14b)

3-3 不要なレジストを除去する

3-4 以上の工程を N型ウェルの箇所で繰り返しドナーイオンを注入、P・N型ウェルを作る(図 4-14c)

3-5 注入した不純物を熱で拡散させて、ウェルを形成させる(図 4-14d)



図 4-14b



図 4-14c



図 4-14d

ここで、本来 3-5 のように不純物を拡散させなければならないのだが、PW2の機能上、種類の違うイオンを同時に拡散できず、別々にやった場合後から拡散したイオンが前に拡散させたイオンを上書きして塗りつぶしてしまい、うまくウェルが形成できなかつたので、可能なかぎり垂直にイオン注入することで形を整えた。

また、今後も本来ならばイオン注入後は同じように、ドライブという不純物拡散の工程が入るのだが、同じ理由で以後省略している。

この後のチャンネル注入は非ダマシンと同じなので省略する。

#### 4. ゲート電極形成～ソース・ドレイン形成

ゲートの形成方法の都合により、ソース・ドレイン形成と前後しながら工程が進むので、同時に工程を示す。

ゲート酸化膜の上に、電極を形成するのだが、ここでは低抵抗のタングステンをポリシリコンの上に配置する2層構造のゲート電極の工程を示す。他に、サリサイド・LDD 構造等の技術が出るが、これらの説明は第5章で行う。

LDD 構造はホットキャリアの劣化が激しい NMOS に使用され、劣化が少ない PMOS は通常の構造とする場合もあるのだが、近年の微細化された LSI の場合、PMOS においても NBTI (Negative Bias Temperature Instability) による劣化も無視できないほどになるので PMOS にも適用されている。よって、今回は両方とも LDD 構造をとっている。

ホットキャリア：ドレイン付近の電界が増大し、その電界からエネルギーを得たキャリア(電子・正孔)の一部がゲート酸化膜中にホットキャリアとして注入される現象

NBTI：PMOS のゲートに負のデバイスを印加した際に、トランジスタが高温になった場合に、ゲート絶縁膜とシリコン基板との界面に存在する水素が乖離して固定電荷が形成され、しきい値が上昇する現象

なお、NMOS の劣化が激しいのは、NMOS はホットキャリアが起きた場合、電子と正孔の両方がゲート酸化膜に注入されるためである。

4-1 ポリシリコンと SiN を堆積させる(図 4-15a)

4-2 リソグラフィによってゲートを形成(図 4-15b)

#### ソース・ドレイン形成

4-3 リソグラフィによって、NMOS・PMOS のソース・ドレインを低濃度で浅くイオン注入(図 4-15c)



図 4-15a

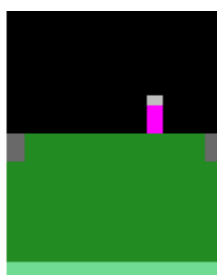


図 4-15b

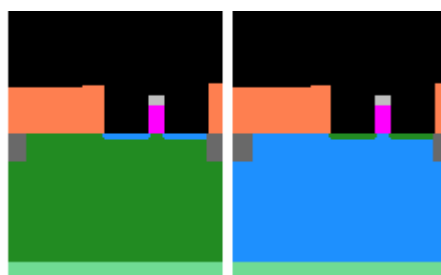


図 4-15c

### サイドウォール形成

サイドウォールは、ゲート電極を挟むように形成される絶縁膜であり、LDD構造を形成する際などに必要となる。

4-4 絶縁膜(ここでは HTO:High Temperature Oxide を使用)を堆積(図 4-15d)

4-5 サイドウォールが残るようにエッチング(図 4-15e)

### LDD 構造形成

4-6 SiN をエッチングし、リソグラフィによって NMOS・PMOS のソース・ドレインを高濃度で、深めにイオン注入(図 4-16f)

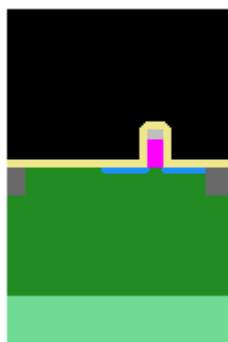


図 4-15d

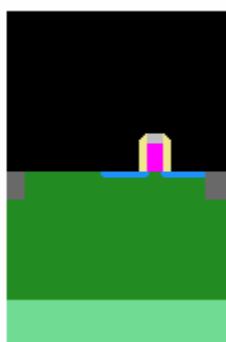


図 4-15e



図 4-15f

4-7 最後にサリサイド技術によって、ゲート電極や、ソース・ドレインの抵抗を下げるために、タンゲステンを選択形成させる(図 4-15g)



図 4-15g

## 4-3-2 配線工程

続いて配線工程に入る。今回のダマシン構造の配線工程は、シングルダマシン構造で行う。

### 1.コンタクトホール形成

1-1 絶縁膜を堆積

1-2 CMP で層間膜を形成(図 4-16a)

1-3 リソグラフィによって、コンタクトを形成する部分をエッチング(図 4-16b)

1-4 タングステンの拡散を防ぐためのバリアメタルを堆積(図 4-16c)



図 4-16a

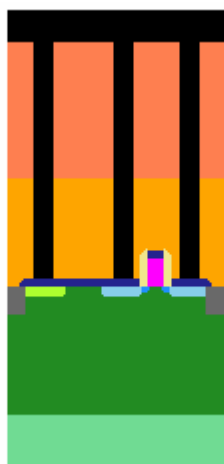


図 4-16b



図 4-16c

1-5 タングステンを堆積(図 4-16d)

1-6 CMP でコンタクトを形成(図 4-16e)

1-7 エッチングストップ・拡散防止を目的とした SiN を堆積(4-16f)



図 4-16d



図 4-16e



図 4-16f

## 2.1 層目配線形成

非ダマシ構造では配線にアルミを主に使用しているが、ダマシ構造では銅が主流となっている。これは銅がアルミに比べて、導電率が良く、遅延時間が減少するというメリットがある反面、銅はエッチングガスに反応しにくく、微細化した LSI に必要なドライエッチングが難しいこと。また、銅は金属汚染によって半導体の性質を変化させてしまう等のデメリットがあったため、使用できても、アルミの中に数%のみ不純物として混在させるくらいであった。

現在では、先に配線を形成する溝を作り、そこに銅の拡散・金属汚染を防ぐバリアメタル(タンタル・チタン等)を堆積させ、銅を鍍金(ときん：メッキ、塗布)して埋め込み、CMP という平坦化技術によって削る方法が確立したため、銅配線が主流になってきた。

工程を以下に示す。

## 2-1 絶縁膜を堆積

## 2-2 リソグラフィによって、配線を形成する部分をエッチング(図 4-17a)

ここで、層の間に堆積している SiN はエッチングされないので、目合わせがずれても SiN 層がエッチングストップの役目を果たしショートを防いでいる。

SiN は 2-2 の後に別途 SiN エッチングを行う。

## 2-3 バリアメタルを堆積(図 4-17b)

## 2-4 銅をメッキで塗布(図 4-17c)

2-4 の前に、銅をメッキするための電極部を銅で薄く堆積させて形成する。

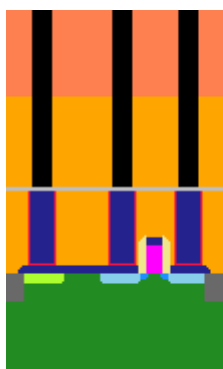


図 4-17a



図 4-17b



図 4-17c

## 2-5 CMP で配線を形成(図 4-17d)

## 2-6 SiN(窒化膜)を堆積(図 4-17e)

さらに 2 層、3 層と続く場合は、これらの工程を繰り返すことでスルーホール、配線を形成していく。最後にパッシベーション膜を形成する。(図 4-17f)



図 4-17d



図 4-17e



図 4-17f

#### 4-4 マスクの目合わせ

目合わせとは、実際の LSI にはマスクをずらさずに重ねられるように設けられている目印のことである。故障が起こった場合の断面構造をシミュレーションする上で、この目合わせがずれた場合の断面図を作った。目合わせのずれとは、この目印からずれた状態で工程が進むことである。

実際に故障が起こった場合に、故障を断面で理解できるように故障を製造工程に作りこんだ状態の断面構造シミュレーションを行った。

図 4-18 は、第 4 章の 4-3-2 ダマシン構造の配線工程において、コンタクトホールをエッチングするリソグラフィの際に使用されるフォトマスクがずれた場合に、そのまま製造された状態の LSI の断面図である。

マスクがずれたことによって、本来ソース電極に繋がるはずのコンタクトホールがゲート電極に接触し、ショートしてしまっている。

これは故障が作りこめるか実験的に行ったものなので、今後実物の目合わせのずれ幅などを確認して行っていく。

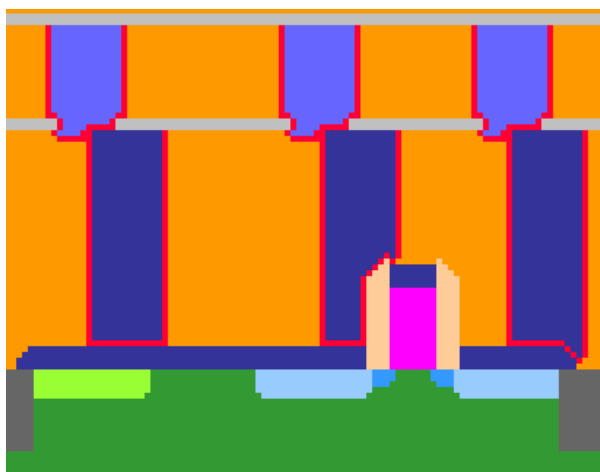


図 4-18 目合わせのずれ



## 第5章 製造技術

ここまで、LSIの製造工程を説明してきたが、その中には細かい作業や、技術を含む工程も存在する。そこで、ここではそれらの技術の説明を行う。

### 5-1 リソグラフィ工程

リソグラフィ工程は、エッチングや金属の堆積などの際に、露光・現像という処理でフォトマスクを用いて、回路パターンを形成する工程である。フォトマスクとは、露光の際に光が対象部分にのみ当たるように回路パターンが描画されている原版である。レジストには、光に反応する感光性樹脂が使用される。

リソグラフィ工程は、

1. フォトレジストの塗布
2. レジストに露光で回路パターンを転写
3. 現像でレジストを除去
4. レジストを現像

という処理がリソグラフィ工程に相当する。

#### 5-1-1 露光

露光は、マスクを通して回路パターンを、レジストへ照射する工程である。レジストは、光によって反応する化学物質を溶媒に溶かした感光性樹脂であり、感光した部分が溶解するポジ型、感光した部分が残るネガ型が存在する。微細化された回路パターンでは、ポジ型が有効とされており、現在ポジ型が主流となっている。(図5-1)

露光するための装置は、かつてはマスクとウェハを密着させて露光する等倍露光(回路パターンと同じ大きさのマスクで転写する)であったのだが、回路のパターンが微細化するにつれて、マスクの生成が不可能になってきた。そこで、現在では実際のパターンよりも、およそ5倍程の大きさのマスクをステッパー(図5-2)という露光装置を用いて、ウェハ上を移動させながら露光する縮小投影法という手法がとられている。

また、露光に入る前に、レジストを塗布したウェハを加熱し、レジストを固定するプリベークという作業が行われる。

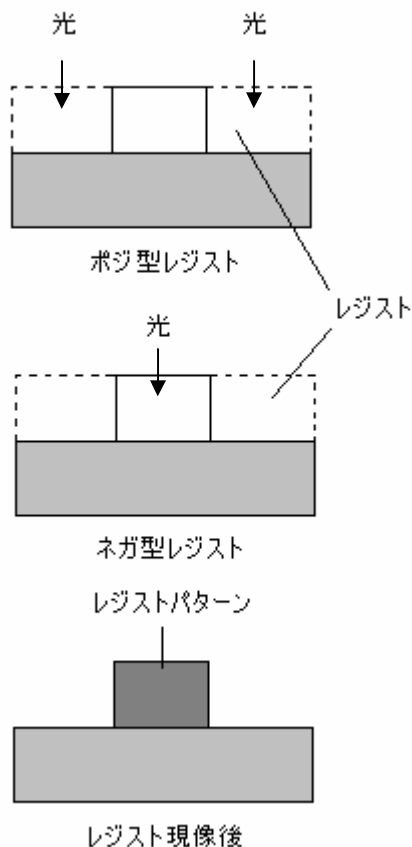


図 5-1 ポジ・ネガ型

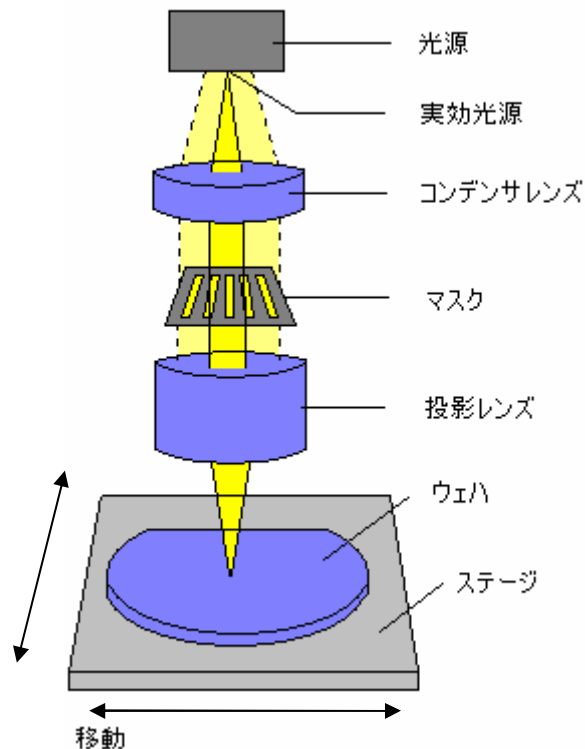


図 5-2 ステッパー簡易図

### 5-1-2 現像

露光されたウェハはPEB(Post Exposure Bake：露光後焼き締め)という熱処理後に、現像処理をされる。現像処理には現像機(ディベロッパー)を使い、強アルカリ性の現像液をウェハに滴下またはスプレーして行う。この焼き締めは、露光する時に、定在波の影響を受けて、レジストのパターンエッジが傷だらけになることを防ぐためである。

ポジ型レジストの場合は、アルカリ溶液で溶けない感光性樹脂を使い、光が照射された部分のレジストを、化学反応を利用してアルカリ溶液に溶けるように化学構造を変化させることにより、アルカリ溶液に溶かし込ませ、光を照射されていない部分を残す。

ネガ型レジストの場合は、逆にアルカリ溶液で溶けない感光性樹脂を使い、光を照射した部分をアルカリ溶液に溶けるように化学構造を変化させることによって光が照射された部分を残すという方式である。(図 5-1)

## 5-2 平坦化技術 CMP

回路の微細化・多層配線化が進むにつれ、IC 表面には凹凸が増え、段差が大きくなっていった。それは IC の製造上、形成された素子や配線の上に絶縁膜などの薄膜を積み上げるとい工程を繰り返して製造するためである。

この段差が大きくなると、配線の断線、絶縁不良によるショートなどの故障の原因となる。

また、表面に凹凸があるとリソグラフィ工程においても、露光時に焦点が合わなくなり微細な回路パターンの形成が難しくなる。

以上の理由などから、工程の合間の平坦化処理は近年重要化されている。

平坦化の方法にはいくつか方法がある。現在主流となっているのは、研磨剤に含まれる化学成分による作用によって、研磨剤と研磨対象材の相対運動による機械的研磨の効果を増大させ、高速で平滑な研磨面を作り上げる技術である CMP (Chemical Mechanical Polishing : 化学的機械的研磨) というものである。

CMP ではシリカ粒(シリカ : Si・珪素・シリコン)を含んだ液状の研磨剤を流しながら、ウェハ表面を研磨パッドに接触させて研磨する。

CMP の簡易図を図 5-3、CMP での平坦化の例を図 5-4 に示す。

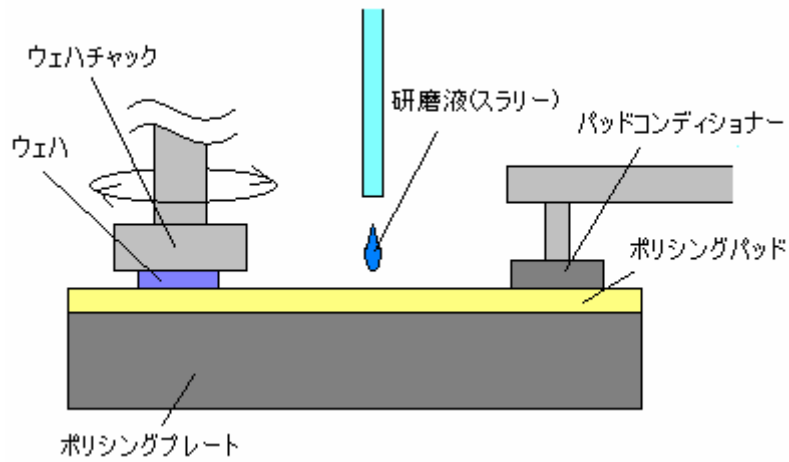


図 5-3 CMP 簡易図

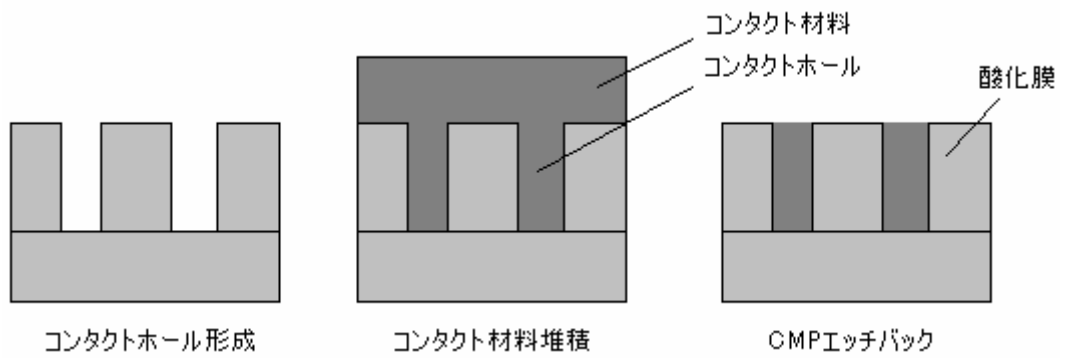


図 5-4 接触ホール平坦化例

なお、非ダマシ構造の場合でも平坦化は行われている。その方法は融点の低い絶縁膜(BPSG 膜など: ボロンとリンを拡散させたシリコン酸化膜)を層間絶縁膜に使用し、熱処理で溶かし平坦化するといったものである。(リフロー)しかし、CMP と比べると処理後の面は完全に平坦にはならない。

### 5-3 ダマシン構造

ダマシンとは Damascene：象嵌細工が由来であり、配線層とスルーホール埋め込みに行われる工程をダマシンプロセスという。

ダマシンプロセスでは、予め配線パターンを溝状に形成し、全面に厚く銅をメッキ(塗布)して形成する。その後メタル CMP で任意の銅配線を形成する。

ダマシンには配線とスルーホールを別々の金属で形成するシングルダマシンとスルーホールと配線を同時に同じ金属で形成するデュアルダマシンが存在する。

この説明で示す PW2 での画像は、図 5-5 の FA(Full Adder)回路のカットライン(白線)の部分での断面図である。

#### 5-3-1 シングルダマシン

シングルダマシンは第 4 章の 4-3 で工程を説明したが、スルーホールに配線と違う低抵抗・高融点の金属を使用して製造される方法である。

シングルダマシンの利点としては、ホールに低抵抗・高融点金属を使用する点や、ホールと配線を別々に形成するため、アスペクト比が大きくなっても不具合が起き難く、微細化に向いている。ということがある。

逆に欠点としては、2 種類の金属を使用し、ホールと配線を別に形成することによって工程量が増え、高コストとなり生産性が低いということがある。

図 5-6 にシングルダマシンの断面図を示す。

#### 5-3-2 デュアルダマシン

デュアルダマシンは、配線と共にスルーホール形成し、配線に使用される金属を用いて配線とスルーホールを同時に形成する方法である。

デュアルダマシンの工程には、

- 1.配線部分を先に形成する
  - 2.ホール部を先に形成する
- などといった形成法がある。

1 に比べて 2 のほうが工程は容易で、使用される頻度も高いようである。

デュアルダマシンの利点としては、工程量がシングルダマシンに比べて削減できるため低コストが実現しやすく、生産性が高いという点がある。逆に欠点としては、配線と同時にホールを形成するため、アスペクト比が高くなり、溝にバリアメタルを薄く形成することが難しくなるということがある。

図 5-7 にデュアルダマシンの断面図を示す。

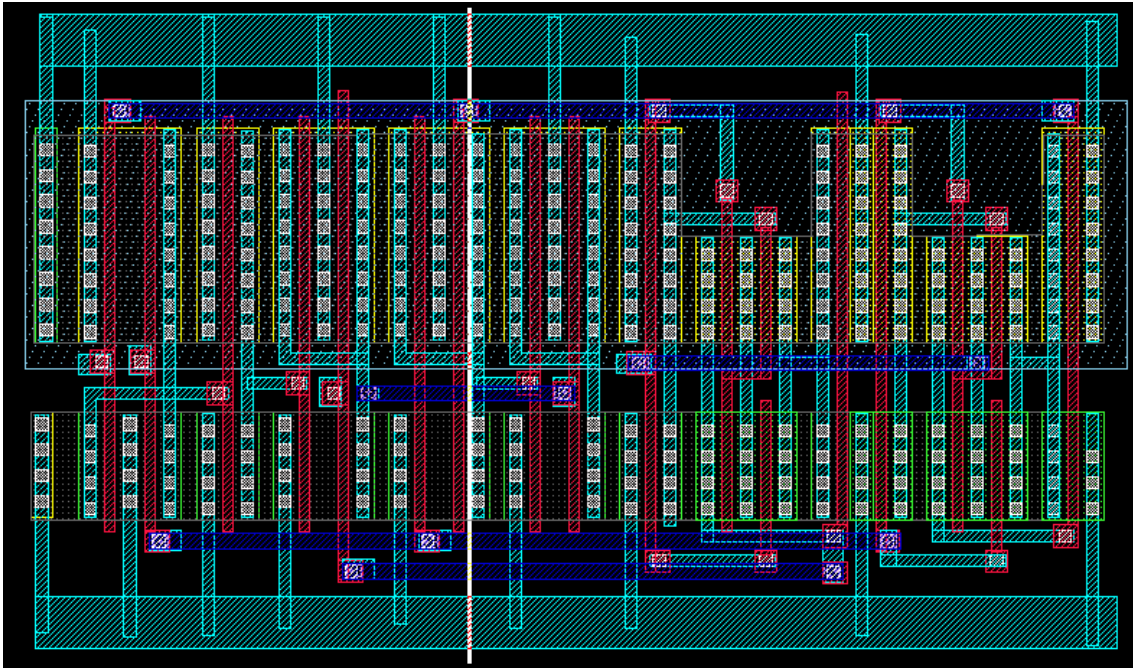


図 5-5 FA 回路

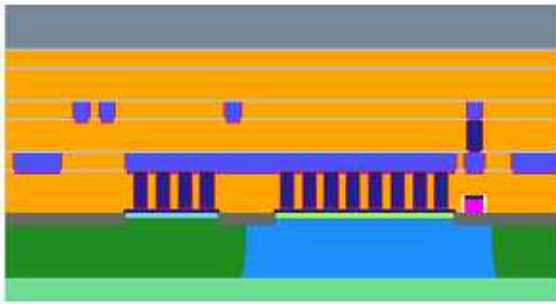


図 5-6 シングルダマシ

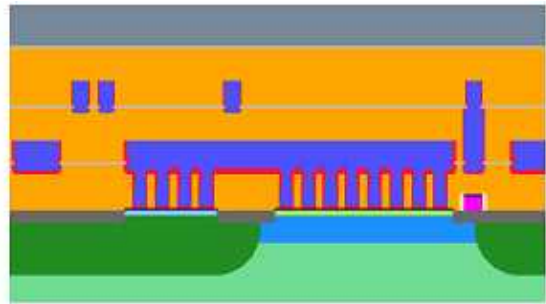


図 5-7 デュアルダマシ

## 5-4 LDD 構造

近年の回路の微細化によって、ゲート長あるいはソースとドレインの幅(チャンネル幅)が短くなると、ソース・ドレインのチャンネル領域への影響が著しくなり、しきい値の低下、素子の劣化などが起こる短チャンネル効果や、チャンネルの電界が大きくなるために、キャリアである電子あるいは正孔が過度なエネルギーを受け取ってゲート絶縁膜に飛び込み、素子に悪影響を与えるホットキャリアなどが発生しやすくなってきている。

LDD(Lightly Doped Drain)構造はソース・ドレインの間に低濃度の不純物領域を形成することによって、高電界が集中しないようにすることができる。また、LDD はチャンネルの両側で抵抗の役割も果たし、素子にドレイン電圧がかかりにくくなる。さらに、浅く形成することでドレイン領域からの空乏層の伸びを防ぐ目的もある。

LDD 構造の NMOS トランジスタの断面図を図 5-8 に示す。

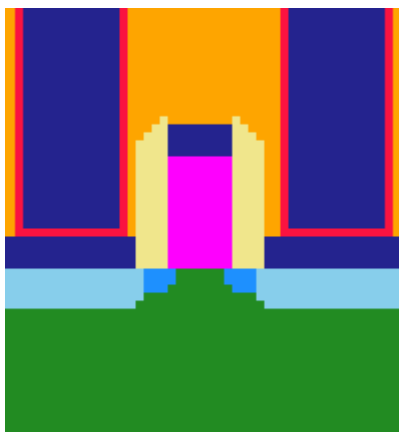


図 5-8 LDD 構造の NMOS トランジスタ





## 第6章 結論・考察

### 6-1 結論

本研究の目的は、断面構造のシミュレーションソフトを故障解析のアシストツールとして確立させることである。特に製造工程を研究したことにより、VDEC を利用して作成したレイアウトとのある程度の整合化ができ、今後材料のパラメータ設定を行っていけば実用化の目処が立つ状態になった。

また、故障解析へのアシストだが、ただ LSI の基板やレイアウトを上から見ているだけでは分からない、断面的な面から故障や故障解析を考えられるようになった。そして、製造工程は今回示した以外にも様々な技術・工程があることがわかった。

今後故障解析に携わる上で必ず力強いアシストになることが考えられる。

さらに、本研究を進める上で web や専門教科書、指導教員である真田教授など様々な面から製造工程や、使われている材料などの情報の入手を試みた。しかし、製造メーカーが現在使用している製造工程及び材料は秘密となっており、いろいろな資料から少しずつ情報を収集した。

その結果、LDD 構造や STI、シリサイドなどの技術を実現することができたのだが、イオン注入の接合深さやフィールド酸化膜やシリサイドの膜厚、層間絶縁膜の材料や厚さなどの面でまだまだ不十分であると感じられる。

製造工程の理解、故障の大体の断面的なイメージを捉えるといったことならば現在の状態でもある程度は可能である。

だが、材料パラメータの設定をした上で、算出シミュレーションを利用していくには様々な面で PW2 はまだ設定不足だということが分かった。

## 6-2 考察

PW2 を設定していく過程で、PW2 を当初故障解析のアシストツールとして考えていたのだが、思っていたよりも詳細な設定が可能なのことがわかった。製造工程だけでも、マスクのずれを設定できるパラメータや、濃度・処理時間の細かな設定などが使用することができる。

現在、多層配線化が進む LSI 開発では複雑化する配線構造や、いくつもの層を形成することによる高抵抗化、すなわち信号の遅延が問題となっている。使用する材料のパラメータの設定、算出シミュレーションやさらなる製造工程の構築によって、遅延の改善方法の研究や LSI のデバイス評価等も可能となるはずである。

本研究では、VDEC(Rohm0.18  $\mu\text{m}$ )を利用して設計されたレイアウトを元に研究を進めていた。

よって、算出シミュレーションや故障の再現、デバイス評価へ応用させるためには、いくら秘密にされているとはいっても、ある程度は VDEC 利用で作成された LSI の構造、使われている材料に合わせる必要がある。

そこで、様々な資料を探して製造工程や技術などの実現を目指すと同時に、実際に VDEC を利用して簡単な LSI を作成し、その LSI の計測を行うことで完全とはいえないかもしれないが、VDEC 利用 LSI との統合が進められると思われる。

第 4 章の図 4-2c に、SEM で撮影した LSI の断面を示したが、今回は SEM によるサンプル撮影といったことを深く行うことができなかった。今度この SEM に関しても実物の断面からの情報収集を行うことにより、上記の方法と共に統合が進められるはずである。

### 6-3 今後の課題

今回は特に製造工程の理解、シミュレーションでの実現を中心に進めてきたのだが、LSI の製造技術はまさに日進月歩であり、今現在も様々な技術が開発されている。よって、以下に挙げる課題以外にも新しい技術の研究やシミュレーションでの実現も平行して行っていく。

#### 6-3-1 LSI 材料の数値設定

第 3 章で説明したように、算出シミュレーションを行うには使用される材料のパラメータを設定しなければならない、これには多種多様の材料が存在するため基本となる材料の選択や、特に不純物濃度に関する N 型・P 型シリコンの抵抗、絶縁物に対する誘電率など様々な面での研究を行っていく。

#### 6-3-2 3 次元シミュレーション

今回は詳しく研究できなかったのだが、PW2 には 2 次元でのシミュレーションに加えて 3 次元でのシミュレーションも可能になっている。ある程度の設定が終了したら、3 次元でのシミュレーションも行っていくことで、さらに詳細な評価・シミュレーションが行える。

#### 6-3-3 製造工程の決定

製造工程は様々な技術や工程が存在する。しかし、常にそれを PW2 に反映させていても算出シミュレーションなどに移ることができない。よって、デバイス評価や故障を作りこんで断面構造シミュレーションを行うことを考慮した上で、製造工程を整理し工程レシピを決定する。

## 参考文献

小西 教彦、西村 正 著「システム LSI の設計と製造」森北出版株式会社 (2005)

小林 稔、中島 蕃 著「VLSI プロセス技術第 2 版」日刊工業新聞社 (2002)

菊池 正典 著「半導体のすべて」日本実業出版社 (2006)

菊池 正典、高山 洋一郎、鈴木 俊一 著「半導体・IC のすべて」  
電波新聞社 (2000)

筒井 一生 著「よくわかる電子デバイス」株式会社オーム社 (2004)

株式会社日立製作所中央研究所 ULSI 研究部 青木 茂  
「透過電子顕微鏡(TEM)技術を利用した  
半導体素子や生物試料などの微細構造解析」(2003)

J-STORE 科学技術振興機構研究成果展開総合データベース  
URL: <http://jstore.jst.go.jp/>

freepatentsonline URL: <http://www.freepatentsonline.com/>

## 謝辞

本研究を進めるにあたり、始終丁寧なご指導を賜りました高知工科大学電子・光システム工学科 真田 克教授に心から深く感謝いたします。

また、レイアウト設計や LSI 構造について多々アドバイスを頂きました橘教授、SEM をお貸しいただいた八田教授、さらにお二人の研究室に所属されているお手伝い賜った皆様に、深くお礼申し上げます。

そして、常日頃から互いに励ましあい切磋琢磨した真田研究室の川島裕也氏、桑田雄一氏、鈴木総一郎氏、高橋慎太郎氏、柘野裕紀氏、松波太郎氏、山崎規雄氏、山本賢二氏、本当にありがとうございました。

最後に、今までお世話になった方々に深く感謝の意を表します。