

Title	InGaZnO 薄膜トランジスタの特性・信頼性制御とフレキシブルデバイス応用
Author(s)	戸田, 達也
Citation	高知工科大学, 博士論文.
Date of issue	2016-03
URL	http://hdl.handle.net/10173/1385
Rights	
Text version	ETD



Kochi, JAPAN

<http://kutarr.lib.kochi-tech.ac.jp/dspace/>

高知工科大学
博士論文

InGaZnO 薄膜トランジスタの特性・信頼性
制御とフレキシブルデバイス応用

Control of Electrical Properties and Reliability of InGaZnO
Thin-Film Transistor for Flexible Device Applications

2016 年 3 月 17 日

高知工科大学大学院 工学研究科
博士後期課程 基盤工学コース

戸田 達也

目次

第一章 背景・研究目的

1.1 序論.....	1
1.2 薄膜トランジスタ (TFT)	2
1.2.1 TFT の特徴と電流・電圧特性.....	2
1.2.2 TFT 特性とサブギャップ欠陥準位.....	5
1.3 次世代ディスプレイと要求 TFT 性能.....	8
1.3.1 液晶ディスプレイ (LCD) の駆動原理と要求移動度	8
1.3.2 有機 EL (OLED) ディスプレイの駆動原理と要求 TFT 性能.....	11
1.3.3 フレキシブルディスプレイと要求プロセス温度	12
1.3.4 ディスプレイ駆動用 TFT チャンネル材料の比較	14
1.4 InGaZnO (IGZO) TFT.....	17
1.4.1 酸化物半導体及び IGZO の TFT チャンネル応用の経緯.....	17
1.4.2 IGZO TFT の特徴.....	18
1.4.3 IGZO TFT のフレキシブルディスプレイ応用の現状と課題.....	23
1.5 本研究の目的、独創性・新規性と意義	25
1.6 本学位論文の構成.....	27
参考文献.....	28

第二章 チャンネル保護膜からの拡散水素が IGZO TFT 特性・信頼性に与える影響

2.1 はじめに.....	31
2.2 成膜及び TFT 作製条件	32
2.3 TFT 初期特性.....	34
2.4 正ゲートバイアス熱ストレス (PBTS) 信頼性.....	36
2.5 SIMS (Secondary-Ion Mass Spectrometry) による膜中水素量の評価	38
2.6 TFT の閾値電圧と膜中水素量の量的関係性	40
2.7 TFT の C-V 特性とキャリア濃度・膜中水素量の量的関係性に関する考察	41
2.8 まとめ.....	44
参考文献.....	45

第三章 成膜時の H₂ ガス導入が IGZO 薄膜物性、及び TFT 特性・信頼性に与える影響

3.1	はじめに	47
3.2	H ₂ ガス導入 DC マグネトロンスパッタ法による IGZO 成膜条件	48
3.3	膜中水素濃度と体積抵抗率	49
3.4	光学バンドギャップ	52
3.5	TFT 特性・信頼性	54
3.5.1	TFT 初期特性と正ゲートバイアスストレス (PBS) 信頼性	54
3.5.2	負ゲートバイアス光照射ストレス (NBIS) 信頼性	57
3.5.3	NBIS 信頼性劣化モデルに関する考察	59
3.6	まとめ	64
	参考文献	66

第四章 ポリマー絶縁膜を用いたトップゲート・セルフアライン (TG-SA) IGZO TFT の低温形成

4.1	はじめに	69
4.2	絶縁膜の低温形成技術とその特徴	70
4.3	ポリマー絶縁膜材料・TFT 構造の選択と研究目的	72
4.3.1	ポリマー絶縁膜材料の選択	72
4.3.2	TFT 構造の選択	72
4.3.3	本研究の目的とオリジナリティ	74
4.4	ポリマー絶縁膜の成膜条件、及び光学・電気特性	74
4.5	TFT 作製プロセス	76
4.6	フロントチャネル界面形成プロセスの改善	78
4.7	フロントチャネル界面形成条件が TFT 特性に与える影響	80
4.8	良好な特性を有する IGZO TFT を低温形成する為の指針	84
	参考文献	87

第五章 TG-SA IGZO TFT の実効チャネル長と信頼性評価

5.1	はじめに	91
5.2	He プラズマ処理により S/D 領域を形成した TG-SA IGZO TFT の実効チャネル長評価	92
5.3	Al 反応法による S/D 領域の形成と実効チャネル長評価	94
5.4	正ゲートバイアスストレス (PBS) 信頼性	98
5.5	本研究成果の位置付け	101
	参考文献	104

第六章 総括

6.1 各章で得られた知見の要約	107
6.2 総括	110
謝辞	112
研究業績	115

第一章

背景・研究目的

1.1 序論

現在、テレビ・パソコン・スマートフォンやタブレット端末等のディスプレイデバイスは、人と情報とをつなぐ“Human-Machine Interface”として我々の身の回りに溢れ、日常生活において必要不可欠なものとなっている。2000 年代前半における、ブラウン管（CRT: Cathode Ray Tube）テレビに代わる薄くて軽い液晶テレビの急速な普及や、2000 年代後半における、米アップル社の“iPhone”シリーズの大ヒットをきっかけとした、タッチパネルディスプレイ搭載スマートフォンの爆発的普及に見られる様に、新たなディスプレイデバイスの誕生は我々の生活様式を一変させる可能性を秘めている。

本論文で対象とする薄膜トランジスタ（TFT: Thin-Film Transistor）は、現在主流となっている液晶ディスプレイ（LCD: Liquid Crystal Display）や、本格的な普及が始まりつつある有機 EL（OLED: Organic Light Emitting Diode）ディスプレイ等のフラットパネルディスプレイ（FPD: Flat Panel Display）のスイッチングに用いられている電子デバイスである。現在、薄く・軽く・大画面かつ高精細な FPD が安価かつ大量に製造されるようになった背景には、大面積ガラス基板上への特性均一性の高い TFT 作製技術の発展が不可欠であった。

また新たな半導体材料の発見は、新規電子デバイスの誕生・発展を常に加速してきた。本論文の研究対象である非晶質酸化インジウム・ガリウム・亜鉛（IGZO）は、従来 TFT の半導体活性層に用いられてきた非晶質シリコンの代替材料として期待されている、新しい半導体材料である。さらに IGZO はスパッタ法による室温成膜が可能である為、耐熱性の低いプラスチックフィルムを基板に用いたフレキシブルディスプレイ駆動用 TFT のチャネル材料としても期待されている。薄く、軽く、折り曲げられるフレキシブルディスプレイの量産が実現すれば、将来我々は例えば新聞や雑誌のページをめくる感覚で、より自然に情報とつながることができる。

本章ではこれらの研究背景をふまえ、本研究の目的と意義について記述する。

1.2 薄膜トランジスタ (TFT)

1.2.1 TFT の特徴と電流・電圧特性[1]

薄膜トランジスタ (TFT: Thin-Film Transistor) は、金属/酸化膜 (絶縁体) /半導体を積層した MOS (Metal-Oxide-Semiconductor) 構造からなる電界効果トランジスタ (FET: Field Effect Transistor) の一種であり、前述した様に FPD のスイッチングデバイスとして主に用いられている。MOS FET が単結晶半導体基板上に作製されるのに対し、TFT は通常ガラス基板上に数十から数百 nm の金属・絶縁膜・半導体薄膜を積層することにより作製される。これが薄膜トランジスタと呼ばれる所以である。

ガラス基板を用いる為、TFT の作製プロセス温度は MOS FET に比べて低温 ($\sim 600^{\circ}\text{C}$) でなければならず、その為チャネルには単結晶半導体に比べて欠陥の多い非晶質、又は多結晶半導体薄膜が用いられる。従って TFT のデバイス特性・信頼性は単結晶半導体をチャネルに用いた MOS FET と比較すると原理的に劣る。しかしながら、MOS FET に用いられる単結晶 Si ウェハの現行の最大直径が約 30 cm であるのに対し、TFT では現行最大級のもので第 10 世代 (G10) と呼ばれる約 3 m 四方の非常に巨大なガラス基板を用いた量産が行われている。つまり TFT はディスプレイ応用という目的のもと、巨大なガラス基板上に、低温、均一、安価に作製できる特徴を活かして発展してきた電子デバイスである。

図 1.1 は本研究で実際に作製した、非晶質 In-Ga-Zn-O (IGZO) をチャネルに用いたボトムゲート・トップコンタクト型 TFT の断面図である。この TFT では、熱酸化 SiO_2 膜付低抵抗 Si 基板 (n 型ドーパ) をゲート絶縁膜、及びバックゲートとして用いている。前述の様に TFT は MOS FET の一種であり、図 1.1 に示した TFT 構造では、バックゲート ($\text{n}^+\text{-Si}$) /ゲート絶縁膜 (SiO_2) /半導体チャネル (IGZO) による MOS キャパシタが形成されている。

図 1.2 及び図 1.3 は、図 1.1 に示した TFT の電流・電圧特性である。図 1.2 はドレイン電圧 (V_d) = 0.1, 20.1 V におけるソース・ドレイン (S/D) 電極間に流れるドレイン電流 (I_d) のゲート電圧 (V_g) 依存性であり、TFT の伝達特性と呼ばれる。チャネルが蓄積状態となる V_g (n 型半導体である IGZO の場合 $V_g > 0\text{ V}$) を印加した場合、チャネルの抵抗率が減少することにより TFT はオン状態となり、 I_d は指数関数的に増加する。一方、チャネルが空乏状態となる V_g (IGZO の場合 $V_g < 0\text{ V}$) を印加した場合、TFT はオフ状態となり I_d はほぼ流れない。つまり TFT は MOS FET と同様、ゲート電極に印加する V_g によって S/D 電極間に流れる I_d を制御することによりスイッチング動作している。

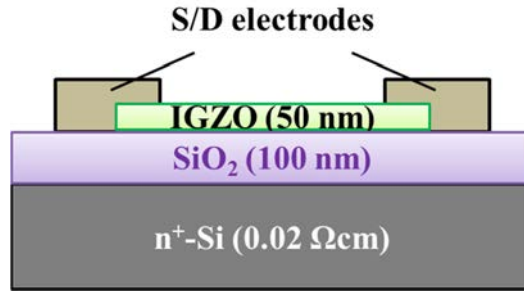


図 1.1 ボトムゲート・トップコンタクト型 IGZO TFT の断面図

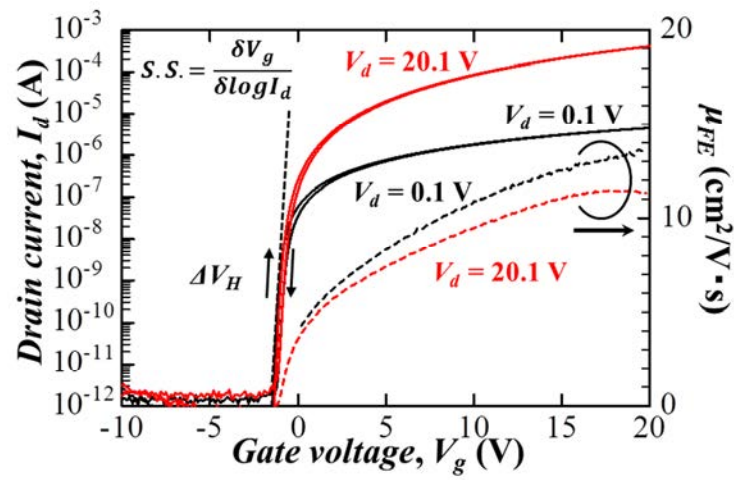
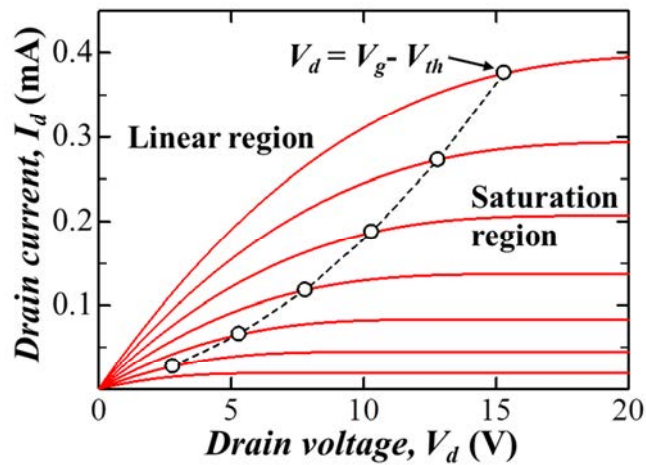


図 1.2 IGZO TFT の伝達特性 (W/L = 1000/150 μm)

図 1.3 IGZO TFT の出力特性 ($V_g = 5.0, 7.5, 10.0, 12.5, 15.0, 17.5, 20.0 \text{ V}$ 、 $V_{th} = 4.7 \text{ V}$)

また図 1.3 は $V_g = 5.0 - 20.0 \text{ V}$ における I_d の V_d 依存性であり、出力特性と呼ばれる。TFT の閾値電圧を V_{th} とすると、図 1.3 中に示す様に $V_d < V_g - V_{th}$ となる領域では I_d は V_d にほぼ比例する。従ってこの領域を TFT における線形領域といい、線形領域における I_d は以下の式

$$I_d = \frac{\mu_{Lin.} W C_i}{L} \left[(V_g - V_{th}) V_d - \frac{1}{2} V_d^2 \right] \quad (1.1)$$

により与えられる。 $\mu_{Lin.}$ は線形領域における電界効果移動度 (μ_{FE})、 W, L はそれぞれチャネル幅、チャネル長である。 C_i は単位面積当たりのゲート絶縁膜のキャパシタンスを表し、ゲート絶縁膜の誘電率 ϵ_i と膜厚 t_i から、

$$C_i = \epsilon_i / t_i \quad (1.2)$$

と与えられる。尚、 V_d が小さいとき (1.1) 式中の V_d^2 の項は無視できる。

$\mu_{Lin.}$ は TFT の伝達特性から、チャネルの相互コンダクタンス (g_m) と (1.1) 式を用いることにより、

$$g_m = \frac{\delta I_d}{\delta V_g} = \mu_{Lin.} \frac{W}{L} C_i V_d \quad (1.3)$$

$$\mu_{Lin.} = \frac{L g_m}{W C_i V_d} \quad (1.4)$$

と求められる。また V_{th} は得られた $\mu_{Lin.}$ を用いることにより (1.1) 式から算出できる。尚、MOSFET における V_{th} はゲート絶縁膜界面でチャネルが強い反転状態となる V_g として定義されるが [2]、TFT では通常チャネルに反転層が形成されない為、慣例的に I_d がある一定の値となる際の V_g として定義される場合もあり、本論文ではその様に定義した V_{th} を閾値電圧として用いている。

また同じく図 1.3 中に示す様に、 $V_d > V_g - V_{th}$ となる領域では I_d は V_d に寄らずほぼ一定の値で飽和 (微増) する。これは、 V_d によるチャネル長方向への電位勾配の為、ドレイン端近傍でチャネルが消失 (ピンチ・オフ) する為である。従ってこの領域を TFT における飽和領域といい、飽和領域におけるドレイン電流式は

$$I_d = \mu_{sat.} \frac{W}{2L} C_i (V_g - V_{th})^2 \quad (1.5)$$

と与えられる。 $\mu_{\text{Sat.}}$ は飽和領域における電界効果移動度であり、(1.5) 式より、

$$\frac{\delta\sqrt{I_d}}{\delta V_g} = \sqrt{\frac{\mu_{\text{Sat.}}WC_i}{2L}} \quad (1.6)$$

$$\mu_{\text{Sat.}} = \frac{2L}{WC_i} \left(\frac{\delta\sqrt{I_d}}{\delta V_g} \right)^2 \quad (1.7)$$

と与えられる。尚、図 1.2 中に示す様に $\mu_{\text{Lin.}}$ 及び $\mu_{\text{Sat.}}$ は V_g 依存性を示すが、通常最大値を用いる。

1.2.2 TFT 特性とサブギャップ欠陥準位

前述の様に、TFT の半導体チャネルには非晶質又は多結晶薄膜が用いられる。非晶質薄膜では結晶性の乱れに伴い膜全体に、多結晶薄膜では結晶粒界に高密度な欠陥が存在する。また、一般的に連続した物質の境目である半導体チャネルと絶縁膜の界面には多数の欠陥が存在する。これら半導体チャネル内、及び絶縁膜界面に存在する欠陥は、本来電子が存在出来ないバンドギャップ内に準位（サブギャップ欠陥準位）を形成する。さらに半導体チャネル中の不純物は、正負に帯電したサブギャップ欠陥準位を形成することによりチャネルのキャリア濃度に影響を与えることから、その密度の増減によって TFT の V_{th} は変化する。これらサブギャップ欠陥準位はその帯電型、またエネルギー準位によって TFT 特性・信頼性に与える影響がそれぞれ異なる[1,3]。以下にサブギャップ欠陥準位と TFT 特性・信頼性の関係について記述する。

図 1.4 (a) に示す様に、フェルミレベル (E_F) 以下で負に帯電するサブギャップ欠陥準位はアクセプター準位と呼ばれ、 E_F 以下のアクセプター準位密度の増加に伴い TFT の V_{th} は正方向にシフトする。また図 1.4 (b) に示す様に、 E_F 以上で正に帯電するサブギャップ欠陥準位はドナー準位と呼ばれ、 E_F 以上のドナー準位密度の増加に伴い TFT の V_{th} は負方向にシフトする。応用上 TFT はノーマリー・オフ特性 (n チャネル TFT の場合 $V_{\text{th}} > 0$ V) であることが求められる為、正・負に帯電したサブギャップ欠陥準位密度の制御による V_{th} 制御が求められる。

また図 1.4 (c) は n 型非晶質半導体の状態密度 (DOS, Density of State) 図である。図 1.4 (c) 中に示す様に、特定のエネルギー準位にピークを持つサブギャップ欠陥準位を局在準位と呼ぶ。伝導帯付近に局在する浅いドナー準位はシャロードナーと呼ばれ、室温程度のエネルギーでイオン化し正に帯電することにより、チャネルの電子濃度を増加させる。従って半導体チャネル中のシャロードナー密度が高い場合、TFT は n 型動作を示す。

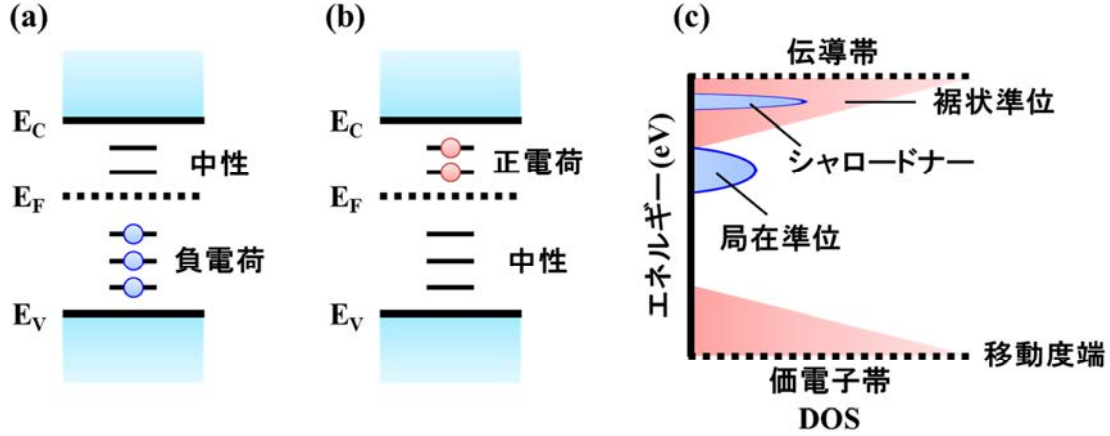


図 1.4 (a) アクセプター型、(b) ドナー型サブギャップ欠陥準位、及び (c) n 型非晶質半導体の DOS のイメージ図

また E_F 付近の局在準位は TFT の駆動電圧に影響する。TFT の駆動電圧は TFT をオン・オフ動作させる為に必要な V_g の範囲で決まり、その示標として S 値 (S.S.: Subthreshold swing) が用いられる。図 1.2 中に示す様に、S.S. は伝達特性における V_{th} 以下での I_d の立ち上がりにおける接線として表され、

$$S.S. = \partial V_g / \partial \log I_d \quad (1.8)$$

と求められる。(1.8) 式に表される様に、S.S. は I_d が 10 倍変化するのに必要な V_g として定義される。また S.S. は E_F 付近に局在する欠陥準位密度 D_{sg} ($\text{cm}^{-2}\text{eV}^{-1}$) を用いて、以下の式

$$S.S. = \ln 10 \frac{k_B T}{e} \left(1 + \frac{e D_{sg}}{C_i} \right) = 0.0595 \left(1 + \frac{e D_{sg}}{C_i} \right) (T = 300 \text{ K}) \quad (1.9)$$

により与えられる[4]。(1.9) 式における k_B はボルツマン定数、 T は絶対温度、 e は素電荷量である。従って C_i の増大及び D_{sg} の減少に伴い S.S. は減少し、より狭い V_g 範囲でのスイッチング動作が可能となる。

また図 1.4 (c) 中に示す様に、非晶質半導体のバンド内には伝導帯、及び価電子帯に近づくにつれ指数関数的に増加する裾状準位が存在する。この裾状準位は半導体の結晶性の乱れに起因しており、伝導キャリアを捕獲 (トラップ) することによりキャリア輸送を妨げる。従って非晶質半導体 TFT の μ_{FE} は、本来の半導体チャネル内での多数キャリアのドリフト移動度 (μ_d) に比べ低い値となる。非占有状態の裾状準位の総量を N_t 、また V_g 印加によりチャネル内に誘起されたキャリア濃度を $N_g = C_i (V_g - V_{th})$ とすると、 μ_{FE} と μ_{drift} の関係はおおまかに

$$\mu_{FE} = \frac{N_g - N_t}{N_g} \mu_d \quad (1.10)$$

と与えられる[4]。従って N_t の減少に伴い μ_{FE} は向上する。

さらに TFT のゲート絶縁膜/チャネル界面に存在するサブギャップ欠陥準位（界面準位）密度に関連するパラメータとして、ヒステリシス (ΔV_H) が挙げられる。図 1.2 中に示す様に、 ΔV_H は順方向（n 型の場合 $V_g < 0 \text{ V} \rightarrow 0 \text{ V} < V_g$ ）と逆方向（n 型の場合 $V_g > 0 \text{ V} \rightarrow 0 \text{ V} > V_g$ ）測定した伝達特性の V_{th} の差である。 ΔV_H は多くの場合、ゲート絶縁膜/チャネル（フロントチャネル）界面へのキャリアトラップが原因とされる。n チャネル TFT の場合、図 1.5 に示す様に順方向測定時の正ゲートバイアスの印加によって、フロントチャネル界面付近に蓄積された電子が界面準位に捕獲される。電子はある期間界面準位に捕獲されたままであり、連続して逆方向測定を行った場合、捕獲電子の持つ負電荷によってゲートバイアスがスクリーニングされ、TFT の V_{th} は正方向にシフトする。従って、 ΔV_H が小さいほど界面準位密度の低い良好なフロントチャネル界面が形成されていると言え、多くの場合 ΔV_H が小さい TFT ほど良好なバイアスストレス信頼性を示す。

以上に述べた様に、サブギャップ欠陥準位は TFT 特性・信頼性と密接に関わっており、TFT 特性・信頼性を制御する上で、チャネル内及び絶縁膜界面に存在するサブギャップ欠陥準位密度を制御することが重要である。

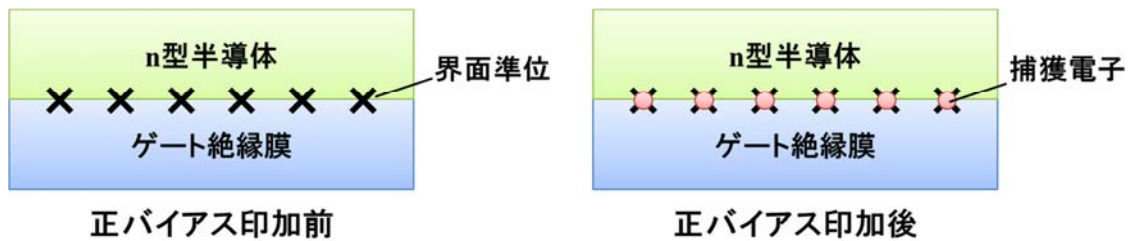


図 1.5 n チャネル TFT におけるフロントチャネル界面準位への電子トラップのイメージ図

1.3 次世代ディスプレイと要求 TFT 性能[1]

1.3.1 液晶ディスプレイ（LCD）の駆動原理と要求移動度

図 1.6 は透過型カラー液晶ディスプレイ（LCD: Liquid Crystal Display）の断面図である。LCD は偏光フィルタ、ガラス基板、画素電極、液晶及び配向膜によるサンドイッチ構造をもち、酸化インジウムスズ（ITO : Indium Tin Oxide）などの透明画素電極への印加電圧によって液晶分子の配向性を制御し、R（赤）G（緑）B（青）の各画素におけるバックライト光の透過率を制御することで画像を表示している。この様な LCD の駆動方式として、現在 TFT を用いたアクティブマトリックス（AM: Active Matrix）駆動方式が主流となっている。

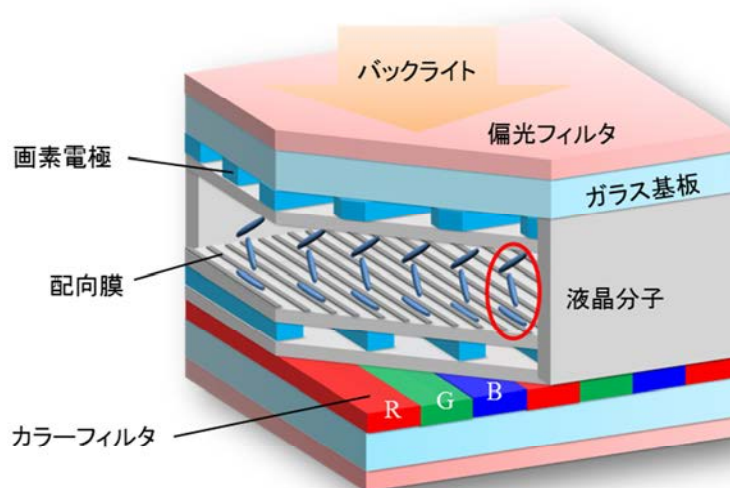


図 1.6 透過型カラーLCD の断面構造

AM 駆動方式では、図 1.7 (a) に示す様に横方向の走査線と、縦方向の信号線がマトリックスを形成し、その交点に存在する TFT のスイッチングにより画像の書き換えが行われる。また図 1.7 (b) の画素等価回路に示す様に、AM-LCD の一画素は一つの TFT と一つの保持容量 (1T1C) により構成される。走査線は TFT のゲート電極、信号線は TFT のドレイン電極につながっており、走査線、信号線を通じてそれぞれ V_g 及び V_d が印加される。ゲートドライバによってある走査線が選択されると、その走査線に接続された全ての TFT がオン状態となり、TFT を通じて画素電極が信号電位まで充電される。また、選択されていない走査線に接続された TFT はオフ状

態（高抵抗）となり、ある周期（フレームレート）で再び選択されるまでの間、充電された画素電位を保持する。以上の様に、AM 方式では走査線の選択を順次行うことによって画像の書き換えを行っている。

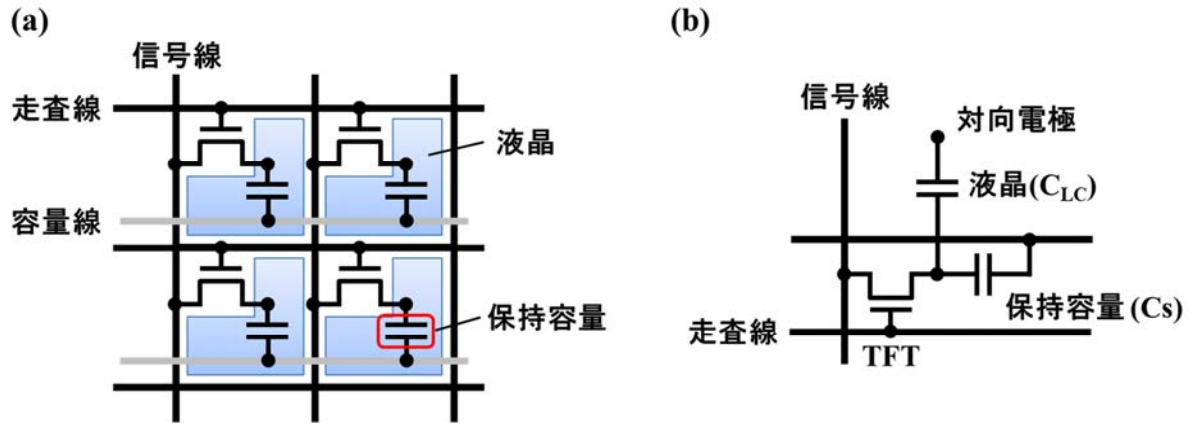


図 1.7 (a) AM-LCD の画素構成図と (b) 画素等価回路

AM-LCD 駆動用 TFT には、走査線選択期間内に画素電位を信号電位まで充電する性能が求められる。通常 LCD では 1 分間に 60 回画像を書き換えている（基準フレームレート: 60 Hz）。その間に全走査線が選択されるので、フレームレート比を m 、全走査線数を n 本とすると、一走査線当たりの選択時間 t_s は、

$$t_s = \frac{1}{60 \times m \times n} \quad (1.11)$$

となる。一方画素電極への充電時間は、TFT の抵抗 R と、回路中の容量 C により決まる時定数 τ として得られる ($\tau = RC$)。ここで TFT から見た C は、液晶容量 (C_{LC}) と保持容量 (C_s) との合計容量 ($C = C_{LC} + C_s$) である。 R はオームの法則により V_d/I_d で得られ、線形領域においては (1.1) 式より、

$$R = \frac{V_d}{I_d} = \frac{1}{\mu_{FE} \frac{W}{L} C_i (V_g - V_{th})} \quad (1.12)$$

と求められる。TFT は選択時間内に余裕をもって画素電極を充電することを求められるので、 $\tau \gg t_s$ を満たさなければならない。従って駆動用 TFT に対する要求電界効果移動度 (μ_{FE}) は、(1.11)

式と (1.12) 式より、

$$\mu_{FE} \gg \frac{(C_{LC} + C_S)}{\frac{W}{L} C_i (V_g - V_{th})} 60 \times m \times n \quad (1.13)$$

となる。(1.13) 式より、液晶容量: C_{LC} 、フレームレート比: m 、走査線数: n の増大に伴い、駆動 TFT にはより高い電界効果移動度が求められることが分かる。

近年、ディスプレイの高精細化が進められている。例えば現状のスマートフォンのハイエンドモデルでは、HD (High-Definition, 1280×720) の 4 倍の画素数である WQHD (Wide Quad-HD, 2560×1440) の解像度を持つものが市販されている。またテレビでは、2016 年現在の日本国内における地上デジタル放送の標準規格である FHD (Full HD, 1920×1080) の 4 倍にあたる、4K2K (3840×2160) の解像度をもつ「4K テレビ」が市販され始めた。さらに NHK 放送技術研究所が中心となり、2020 年東京オリンピックまでの普及を目指した、FHD の 16 倍にあたる 8K4K (7680×4320) の解像度をもつ 8KSHV (Super High-Vision) テレビの研究開発が進められるなど [5]、今後もディスプレイの高精細化が進められていくことが予想される。また 8KSHV テレビは、視角を広げ視聴者の臨場感を高める為に対角 70~150 インチの大型ディスプレイをターゲットとしており、さらにスポーツ中継等における速く動く被写体の映像のブレを低減する為に、通常の 2 倍となる 120 Hz のフレームレートが規格とされている。

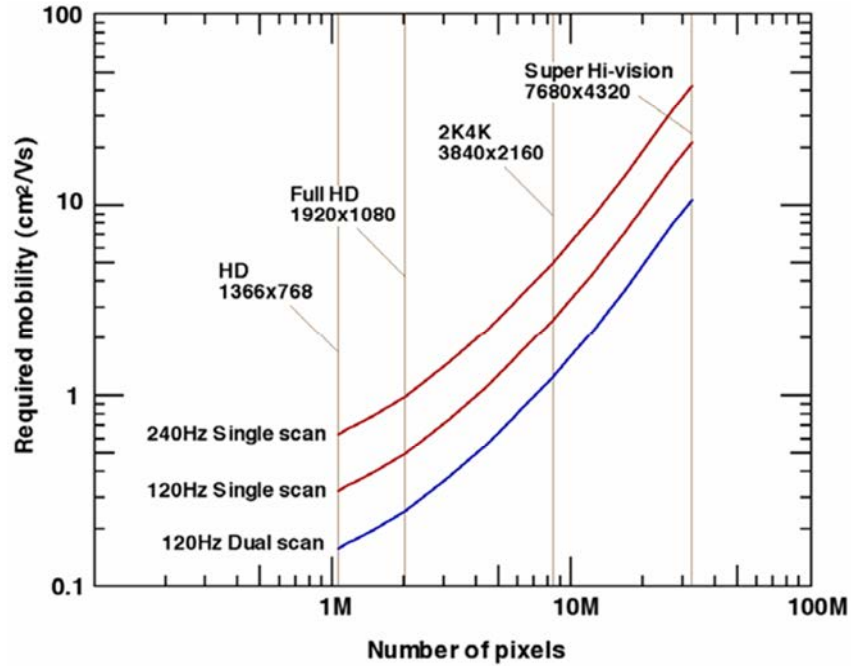


図 1.8 ディスプレイ駆動 TFT の要求移動度の画素数依存性[6]

ディスプレイの高精細化に伴い走査線数が増え、大画面化に伴い液晶容量が増加し、高フレームレート化に伴い一走査線あたりの選択時間は短くなる。図 1.8 に示した参考資料によると、120 Hz 駆動で 8K の解像度を持つ AM-LCD を駆動させる為には、 $10 \text{ cm}^2/\text{Vs}$ 以上の電界効果移動度が必要であるとされている[6]。現在主流である水素化アモルファスシリコン (a-Si:H) TFT の電界効果移動度は $0.5 \text{ cm}^2/\text{Vs}$ 程度である為、次世代の高精細・大画面・高フレームレートディスプレイ駆動には、より高い電界効果移動度を有する TFT が求められている。

1.3.2 有機 EL (OLED) ディ스플레이の駆動原理と要求 TFT 性能

自発光型ディスプレイである有機 EL (OLED: Organic Light Emitting Diode) ディ스플레이は、LCD に比べ視野角、応答性、コントラスト比に優れ、色再現性が高い。またバックライトユニットが不要であり、LCD に比べ構造が単純である為に原理的に薄型・軽量化が容易である。一方で OLED ディ스플레이では、有機材料である OLED の寿命や、歩留りの向上が量産上の課題として挙げられるが、近年 LG ディ스플레이が 4K OLED ディ스플레이の量産を達成しており、またアップルが iPhone シリーズへの採用を発表するなど、本格的な普及が始まりつつある。

LCD と同様、OLED ディ스플레이の駆動にも TFT を用いた AM 駆動方式が用いられている。図 1.9 の断面図に示す様に、OLED ディ스플레이は同一基板上に駆動用 TFT と OLED 発光層を積層することにより作製される。また図 1.10 は AM-OLED ディ스플레이の画素等価回路である。図 1.9 及び図 1.10 中に示す様に、OLED ディ스플레이の画素は基本的に選択用・駆動用の 2 つの TFT と、一つの保持容量 (2T1C) により構成される。選択用 TFT は LCD 駆動用 TFT と同様、走査線選択期間内に信号電位まで保持容量の充電を行う。また、供給線に接続された駆動用 TFT を流れる電流により OLED が発光する。OLED の発光輝度 L_m (cd/m^2) は、駆動用 TFT を流れる電流 I_{pixel} (A)、OLED 発光効率 η (cd/A)、発光面積 a (m^2) を用いて、以下の式

$$L_m = \frac{I_{\text{pixel}} \times \eta}{A \times a} \quad (1.14)$$

で与えられる (A : 定数)。従って十分な L_m を得る為には大きな I_{pixel} が必要である為、OLED ディ스플레이駆動用 TFT は飽和領域 ($V_d > V_g - V_{\text{th}}$) で動作し、また駆動用 TFT には高い電界効果移動度が要求される。

駆動用 TFT のドレイン電極に印加される供給線電位は全ての画素で同じであり、また駆動用 TFT のゲート電位は選択用 TFT を通じて保持容量に充電される信号電位と等しくなる。従って OLED ディ스플레이は、信号電位により駆動用 TFT を流れる I_{pixel} を制御し、画素毎の L_m を制御

することにより画像を表示している。駆動用 TFT は飽和領域で動作する為、 I_{pixel} は飽和領域におけるドレイン電流 (1.5) 式で与えられる。(1.5) 式に表される様に、飽和領域では I_{pixel} が V_{th} の二乗に比例する為、TFT の V_{th} バラつきはディスプレイの輝度バラつきとして直接的に視認される。例として、わずか $\pm 0.1 \text{ V}$ の V_{th} の違いによって L_m が 16% 変化することが報告されている [7]。従って OLED ディスプレイ駆動用 TFT には電界効果移動度に加え、高い V_{th} 均一性が求められる。また、OLED が発光している間駆動用 TFT には電流が流れ続けるので、電流ストレスに対する高い信頼性が要求される。一方、選択用 TFT は LCD 駆動用 TFT に比べて高いゲート電圧が印加される為、ゲートバイアスストレスに対する高い信頼性が要求される。

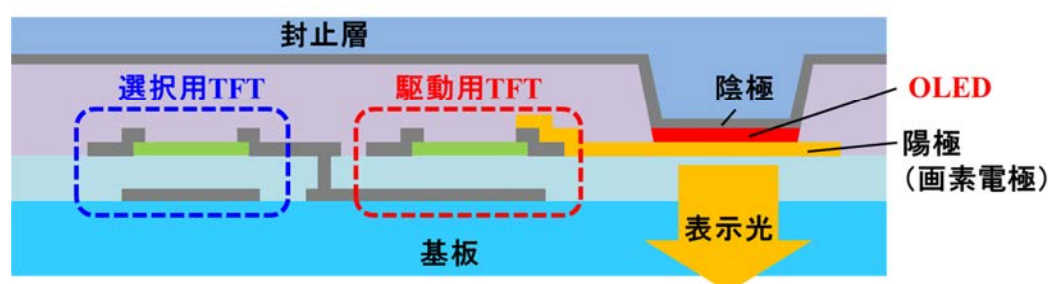


図 1.9 ボトムエミッション型 AM-OLED ディスプレイの断面構造

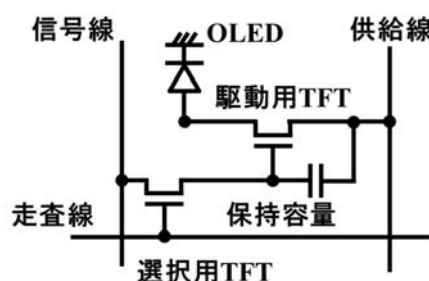


図 1.10 AM-OLED ディスプレイの画素等価回路

1.3.3 フレキシブルディスプレイと要求プロセス温度

次世代ディスプレイとして、図 1.11 に示す様な薄く・軽く・折り曲げられるフレキシブルディスプレイが注目されている。フレキシブルディスプレイのメリットとして、軽量かつ形状が自由に変えられる為に持ち運びが容易であること、曲面や衣服に張り付けることが可能であること

が挙げられる。また 1.3.1 で述べた様に、8KSHV テレビは臨場感を高める為に 70 インチ以上の大型ディスプレイをターゲットにしているが、軽量で巻き上げることのできるディスプレイが実現すれば、大型テレビであっても一般家庭に容易に搬入することが出来る[8,9]。

フレキシブルディスプレイの実現には、表示デバイスの薄型・柔軟化が必須である。薄型・柔軟化が可能かつ、高精細な動画再生にも対応可能な表示デバイスは、現状では LCD と OLED ディスプレイにほぼ限られる[8]。LCD は現在主流の表示デバイスである為に、フレキシブルディスプレイの量産において既存の製造技術・設備が利用でき、OLED ディスプレイに比べデバイスの長期的信頼性が確保し易いという長所があるものの、バックライトと液晶分子を封止する為に 2 枚の基板が必要であることから、薄型・柔軟化に限界があると考えられている。一方 OLED ディスプレイは、前述した様に原理的に薄型・柔軟化が容易であることから、フレキシブルディスプレイ用の表示デバイスとして適している[8]。



図 1.11 2016 年の CES (Consumer Electronics Show) で LG Display が展示したフレキシブル OLED ディスプレイ

表 1.1 に主なフレキシブル基板の特徴についてまとめた[9]。薄板ガラスは従来のガラス基板と同様、耐熱性・平坦性・光透過性・ガスバリア性に優れることから、ディスプレイ基板としては理想的であるが、割れずに曲げられる範囲に限度がある為、完全にフレキシブルなディスプレイを作製することは出来ない。メタルホイルは耐熱性・柔軟性に優れるものの、平坦性に課題があり、また透明でないことから OLED ディスプレイの構造は技術的に難易度の高いトップエミッション方式に限定される。さらに導電性を持つことから浮遊容量の問題があり、ディスプレイの基板として用いられることは少ない。

PET (Poly Ethylene Terephthalate)、PEN (Poly Ethylene Naphthalate) 等のプラスチックフィルムは、平坦性・光透過性・柔軟性に優れるが、耐熱性に劣る。PET、PEN のガラス転移温度 (T_g : Glass Transition Temperature) はそれぞれ 110 °C、155 °C であり[10]、 T_g 以上の温度で加熱すると基板が膨張、変形する為に、微細パターンを形成することが困難となる。一方、耐熱性に優れる PI (Polyimide) は 300 °C 以上の T_g を有するが、透明性に課題があり、また PET、PEN 等の一般的なプラスチックフィルムに比べると高価である。さらに PET、PEN、PI 等のプラスチックフィルムはガスバリア性に欠ける為、プラスチックフィルム上に OLED ディスプレイを作製する際には、アンダーコート層としてガスバリア性の高い無機絶縁膜を成膜する必要がある。

以上の様に、プラスチックフィルムは耐熱性・ガスバリア性に課題があるものの、薄く、軽量かつフレキシビリティに優れることから、フレキシブルディスプレイ用の基板としては最も理想的であると言える。一方、従来のガラス基板に比べ耐熱性に劣るプラスチックフィルムをフレキシブル OLED ディスプレイの基板として用いる場合、特性均一性・信頼性に優れる TFT を、プラスチックフィルムが使用可能な低温プロセスで作製することが求められる。

表 1.1 各フレキシブル基板の特徴[9]

基板	PET, PEN	PI	薄板ガラス	メタルホイル
最高プロセス温度 (°C)	180	> 300	600	> 600
平坦性	○	○	○	△
導電性	無	無	無	有
光透過性	○	△～○	○	×
ガスバリア性	×	×	○	△～○
柔軟性	○	○	△	○

1.3.4 ディスプレイ駆動用 TFT チャンネル材料の比較

前述した次世代ディスプレイ駆動用 TFT に対する性能要求を踏まえ、現行技術である a-Si:H 及び低温ポリシリコン (LTPS, Low-Temperature Poly Silicon) TFT と、本論文の研究対象であり、次世代ディスプレイ駆動用 TFT として注目されている酸化インジウム・ガリウム・亜鉛 (IGZO: InGaZnO) TFT の比較について表 1.2 にまとめた。

a-Si:H はプラズマ支援化学気相堆積 (PE-CVD) 法により大面積基板上に非常に均質に成膜できることから、大型ディスプレイ駆動用 TFT のチャンネル材料として用いられている。しかしながら、非晶質半導体である a-Si:H は膜中のサブギャップ欠陥準位密度が高い為、a-Si:H TFT は電

界効果移動度及び信頼性に劣り、大画面・高精細・高フレームレートである SHV テレビや、高い信頼性が要求される OLED ディスプレイの駆動に用いることは困難である[7]。

LTPS は、a-Si:H 薄膜をエキシマレーザーアニール（ELA: Excimer Laser Anneal）により熔融・再結晶化した多結晶 Si 薄膜である[11,12]。結晶粒内はほぼ単結晶である為に、LTPS TFT は電界効果移動度、信頼性に優れる。またイオンドーピングにより n/p 両極性のチャネルを作製出来る為、TFT 基板上に CMOS（Complementally MOS）ドライバ回路を集積できるのが最大の特徴であり、スマートフォン・タブレット等中小型高精細ディスプレイの駆動 TFT として用いられている。

一方で、LTPS TFT は結晶粒界の影響により閾値電圧のバラつきが大きい[12]。従って LTPS TFT を OLED ディスプレイの駆動 TFT に用いる場合、輝度バラつき低減の為に画素内に複雑な補償回路を設ける必要があり、例えば一画素が 5 つの TFT と 2 つのキャパシタ（5T2C）により構成される[7]。

表 1.2 a-Si:H、LTPS 及び IGZO TFT の比較

チャネル材料	a-Si:H	LTPS	IGZO
チャネル成膜法	PE-CVD	PE-CVD+ELA	SPT
基板サイズ	10 G	6 G	8.5 – 10 G
電界効果移動度 (cm^2/Vs)	< 0.5	> 100 (n 型)	10 <
信頼性	△	◎	○
閾値電圧均一性	◎	△	○
リーク電流 ($\text{A}/\mu\text{m}$)	10^{-13}	10^{-12}	10^{-16}
プロセス温度 ($^{\circ}\text{C}$)	150 - 350	250 - 500	RT - 350
チャネル極性	n	n/p	n
回路集積	×	◎	○
製造コスト	◎	△	○

酸化物半導体である IGZO は、a-Si:H と同様大面積均一性に優れる非晶質半導体でありながら、a-Si:H に比べサブギャップ欠陥準位密度が低い為に $10 \text{ cm}^2/\text{Vs}$ を越える電界効果移動度を有し、また信頼性に優れる[4,7]。従って IGZO は、a-Si:H を代替する次世代の大画面・高精細・高フレームレートディスプレイ駆動用 TFT のチャネル材料として期待されており、現状では LG ディスプレイが IGZO TFT を駆動に用いた OLED ディスプレイを販売している。また a-Si:H、LTPS TFT に比べリーク電流が数桁低いことも IGZO TFT の特徴であり、シャープはこの点に着目し、低消費電力ディスプレイとして IGZO TFT を駆動に用いた LCD を販売し[13]、また 2015 年 10 月には図 1.12 に示す IGZO TFT を用いた 120 Hz 駆動、85 型 8K LCD の受注生産を開始した。一

方で、現在市販されている 4K 液晶テレビでは依然として a-Si:H TFT が駆動に用いられており、またパナソニックが駆動方式を工夫することにより、a-Si:H TFT を駆動に用いた 120 Hz 駆動、55 型 8K LCD を開発するなど[14]、IGZO TFT による a-Si:H TFT の本格的な代替は未だ始まっていない。

従来 TFT のチャネル材料として用いられてきた a-Si:H、LTPS との比較における、IGZO のもう一つの大きな特徴として、スパッタ法による室温成膜が可能である点が挙げられる。従って耐熱性の低いプラスチックフィルムを基板に用いたフレキシブル OLED ディスプレイは、低温形成可能かつ、a-Si:H TFT に比べ電界効果移動度・信頼性に優れ、また LTPS TFT に比べ特性均一性に優れる IGZO TFT の特徴を最大限に活かすアプリケーションであると言える。

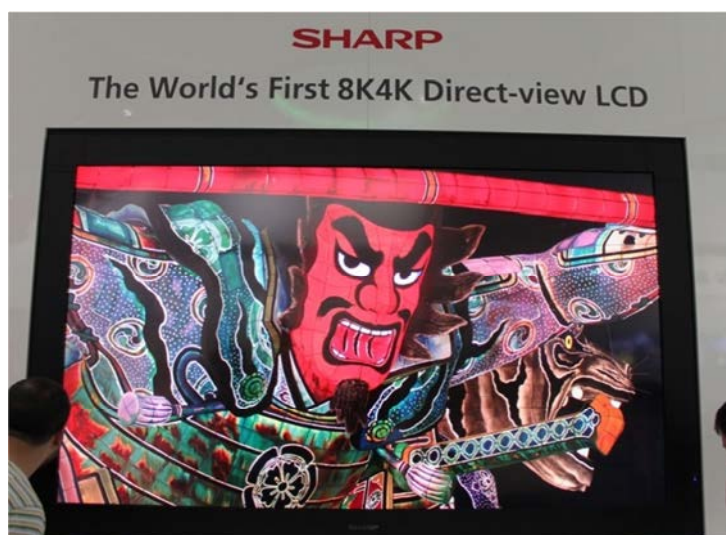


図 1.12 2015 年 10 月にシャープが受注生産を開始した、IGZO TFT を駆動に用いた 120 Hz 駆動、85 型 8K ディスプレイ (LV-85001)

1.4 InGaZnO (IGZO) TFT

1.4.1 酸化物半導体及び IGZO の TFT チャネル応用の経緯

以下の①～③に、酸化物半導体である IGZO が次世代ディスプレイ駆動用 TFT のチャネル材料として注目され、盛んな研究開発が進められる様になるまでの経緯についてまとめた。

① 酸化物半導体トランジスタ応用の初期

SnO_2 や ZnO といった単元系酸化物半導体を FET のチャネル材料に用いる試みは、1960 年頃から報告されている[15,16]。しかしながら当時作製された酸化物半導体 FET では、 V_g の変動に伴う I_d の変化がわずかであり、明確なスイッチング動作が得られていない。十分なオン・オフ電流比とノーマリー・オフ特性 ($V_{th} > 0V$) を有する FET を作製する為には、チャネルのキャリア濃度を 10^{17} cm^{-3} 以下に制御する必要があるが[17]、透明導電膜としても利用されている SnO_2 や ZnO のキャリア濃度は、意図的に不純物ドーピングを行わなくとも 10^{17} cm^{-3} を越える。これは酸化物半導体中の酸素欠損 (V_O) や格子間金属イオン (M_i) 等の真性欠陥がシャロードナーとして働き、電子密度を増加させる為である[4,7]。従って V_O 等の真性欠陥の効果的な制御が困難であったことが、 SnO_2 や ZnO をチャネルに用いた FET が明確なスイッチング動作を示さなかった原因として考えられる。

② ZnO TFT の再興

1996 年における強誘電ゲート絶縁膜を用いた $\text{SnO}_2\text{:Sb}$ TFT に関する報告まで[18]、酸化物半導体をチャネルに用いた FET に関する報告は一度途絶えるが、その後 2000 年代前半から ZnO の TFT チャネル応用が再び注目され始めた[19-22]。 ZnO チャネルの成膜にはパルスレーザー堆積 (PLD: Pulse Laser Deposition) 法や RF マグネトロンスパッタ法が用いられ、成膜時の酸素分圧の調整によるキャリア濃度の制御が可能であったことから、 ZnO TFT では 10^7 以上のオン・オフ電流比とノーマリー・オフ特性が得られている。また、 $2\sim7 \text{ cm}^2/\text{Vs}$ 程度の a-Si:H TFT を越える電界効果移動度を有することから、 ZnO TFT は a-Si:H TFT に代わる新たな LCD 駆動用 TFT として期待された。我々の研究グループも、2006 年に世界で初めて ZnO TFT を駆動に用いた LCD の作製を報告している[23]。また ZnO は 3.3 eV 以上の広いバンドギャップを持ち可視光透明である為、ITO 等の透明電極を用いることにより 80%以上の可視光透過率を有する透明 ZnO TFT の作製が報告されている[19-22]。

しかしながら、 ZnO はガラス基板上に室温成膜した場合でも c 軸方向に配向した多結晶薄膜となる為、LTPS TFT と同様、 ZnO TFT には結晶粒界に起因した特性バラつきや特性不安定性といった課題があった[4,7,17]。

③ IGZO の TFT チャネル応用が開始されるまでの経緯

ZnO が TFT のチャネル材料として再び注目され始めた頃とほぼ同時期に、IGZO に代表される透明非晶質酸化物半導体 (TAOS: Transparent Amorphous Oxide Semiconductor) が新たな TFT のチャネル材料として提案され、応用研究が始まった。以下に IGZO の TFT 応用が注目されるまでの経緯について、「IGZO 系酸化物半導体 TFT」に関する特許群を有する科学技術振興機構 (JST) の HP[24]を参考にまとめた。

1985 年 12 月、当時の科学技術庁無機材質研究所の君塚博士らは世界で始めて結晶 IGZO (InGaZnO_4 , $\text{In}_2\text{Ga}_2\text{ZnO}_7$) の合成に関する論文を発表した[25]。さらに君塚博士らは 1995 年 4 月に単結晶 IGZO を合成し、結晶構造がホモロガス積層構造であることを示した[26]。また 1995 年 11 月に結晶 IGZO が導電性を持つことが報告された[27]。その後 1996 年 5 月、8 月に、東京工業大学の細野教授らが高い電子移動度を有する TAOS の材料設計の指針について発表し[28,29]、2003 年 5 月には c 軸配向した単結晶 IGZO (c-IGZO) をチャネルに用いた TFT に関する論文を発表した[17]。そして 2004 年 11 月、同じく細野教授らによりアモルファス IGZO (a-IGZO) をチャネルに用いた TFT が報告されたことをきっかけに[30]、a-Si:H に代わる新たな TFT チャネル材料として IGZO が注目され、世界中で急速な応用研究が始まった。

1.4.2 IGZO TFT の特徴

図 1.13 に示す様に、a-Si 等の共有結合性非晶質半導体では、異方性の大きい sp^3 結合により伝導帯最下端 (CBM, Conduction-Band Minimum) が構成される為、結合角の乱れに伴い軌道の重なりが大きく変化する[4,7,30,31]。その為、単結晶 Si (c-Si) をチャネルに用いた n 型 MOS FET の電界効果移動度は $1,000 \text{ cm}^2/\text{Vs}$ 以上であるのに対し、a-Si:H TFT の電界効果移動度は $0.5 \text{ cm}^2/\text{Vs}$ 以下である。一方で、細野教授らは高電子移動度を有する TAOS の材料設計指針として、以下の式

$$\text{M: } (n-1)d^{10}ns^0 \quad (n = 5, 6) \quad (1.15)$$

で表される電子配置 (n: 主量子数) を持つポスト遷移金属 (M) の酸化物は、非晶質薄膜であっても単結晶に匹敵する電子移動度を有するという仮説を示した[28,29]。これは同じく図 1.13 に示す様に、TAOS 材料では CBM が球状に大きく広がったポスト遷移金属の空の s 軌道により構成される為、結合の乱れが軌道の重なりに与える影響が小さいからであると考えられている。報告された c-IGZO TFT と a-IGZO TFT の電界効果移動度はそれぞれ $80 \text{ cm}^2/\text{Vs}$, $7 \text{ cm}^2/\text{Vs}$ であり[17,30]、実験的に上記仮説の妥当性が示されている。

以下の①～⑦に TAOS (IGZO) の特徴について、ディスプレイ駆動 TFT 応用における利点を焦点にまとめた。

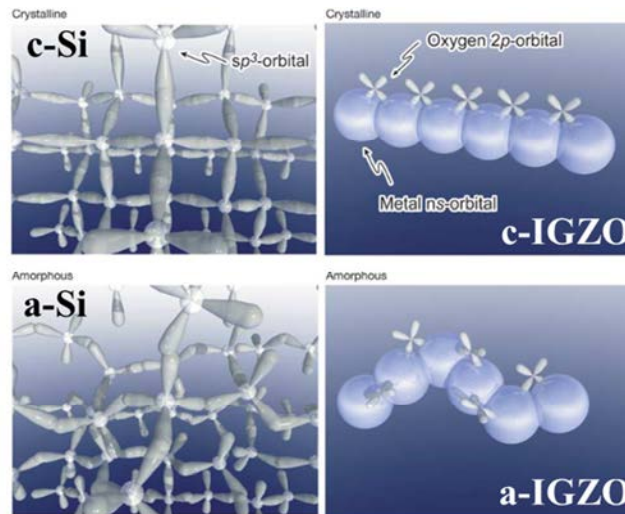


図 1.13 c-Si と a-Si、及び c-IGZO と a-IGZO の CBM 軌道イメージ図[30]

① 大面積成膜可能な非晶質薄膜

IGZO の様に結晶構造が既知である TAOS 材料は、大型セラミックターゲットを作製することが可能である為[7]、スパッタ法による大面積基板への成膜が可能である。2004 年の a-IGZO TFT に関する報告では、PLD 法による IGZO チャンネルの成膜が行われたが[30]、その後 2006 年には Cannon が世界で初めて RF マグネトロンスパッタ法により IGZO チャンネルの成膜を行った TFT について報告している[32]。尚、現在は成膜速度の早い DC マグネトロンスパッタ法による成膜が一般的である。

(1.15) 式で表される電子配置を持つポスト遷移金属としては、毒性の高い Cd を除けば Zn、Ga、In、Sn 等が挙げられる。前述した様に、ZnO 等の単元系酸化物半導体は室温成膜した場合でも容易に結晶化する為、非晶質薄膜を形成することが困難である。一般的に結晶化を抑制し非晶質薄膜を得る為には、イオン電荷やサイズが異なる 2 種類以上のポスト遷移金属を混合することが有効である[4]。従って通常 TAOS 材料としては、異なるポスト遷移金属を一定以上の組成比で混合した多元系酸化物半導体が用いられる。非晶質薄膜である為に、TAOS TFT は原理的に特性均一性に優れている。尚、室温成膜した IGZO は 500 °C 以下では非晶質構造を維持していることが報告されている[30,33]。

② 高電界効果移動度

前述の様に、a-Si 等の共有結合性非晶質半導体では、異方性の大きい sp^3 混成軌道により CBM

が構成される為、CBM 近傍には結合角の乱れに起因した高密度な裾状準位が存在する。一方、TAOS 材料では球状の大きな s 軌道により CBM が構成される為、結合角の乱れに起因した CBM 近傍の裾状準位密度が小さい。図 1.14 は C-V (Capacitance-Voltage) 法により算出された a-Si:H と a-IGZO の DOS の比較である[4]。n 型半導体である a-IGZO のキャリア伝導に直接影響を与える E_c 近傍の裾状欠陥準位密度は、a-Si:H に比べて 2-3 桁程度低い。従って a-IGZO TFT では正の V_g の印加により E_F が移動度端近傍まで容易に移動できる為、非晶質薄膜であっても $10 \text{ cm}^2/\text{Vs}$ を越える高い電界効果移動度が得られる。

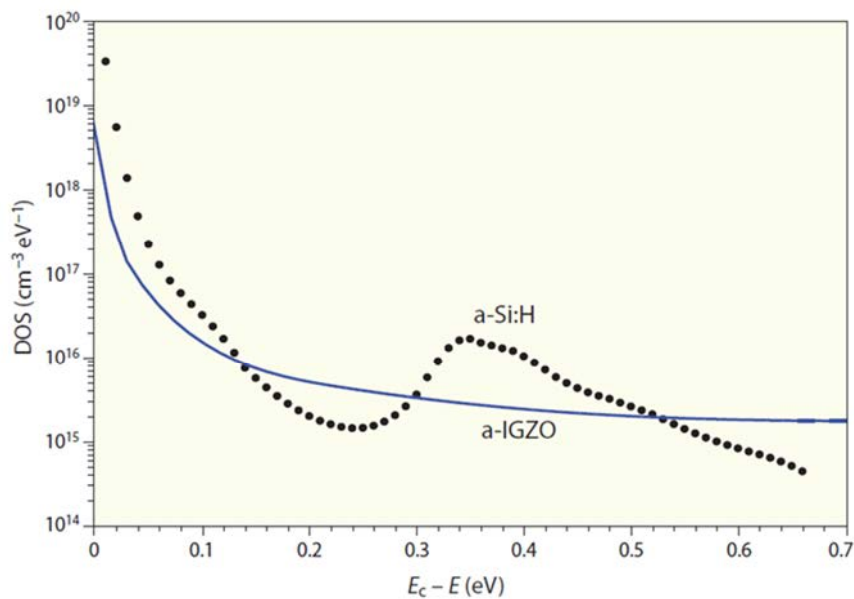


図 1.14 C-V 法により算出された a-Si:H と a-IGZO の DOS の比較[4]

③ 低駆動電圧

図 1.15 に a-Si:H TFT と a-IGZO TFT の伝達特性の比較を示す[7]。a-Si:H TFT に比べ、a-IGZO TFT は鋭い I_d の立ち上がりを示し、図 1.15 における a-Si:H TFT の S.S.は $\sim 0.4 \text{ V/dec.}$ 、a-IGZO TFT の S.S.は $\sim 0.1 \text{ V/dec.}$ である。従って、a-Si:H TFT において 10^8 のオン・オフ電流比を得るのに必要な最小 V_g は 3.2 V であるのに対し、a-IGZO TFT は 0.8 V と、より狭い V_g 範囲でスイッチング動作させることが可能である。本章 1.2.2 で述べた様に、S.S.は E_F 近傍の局在準位密度 (D_{sg}) に依存する。(1.9) 式を用いてそれぞれの TFT の C_i 及び S.S.から算出された D_{sg} は、a-Si:H TFT では $\sim 10^{12} \text{ cm}^{-2}\text{eV}^{-1}$ であるのに対し、a-IGZO TFT では $\sim 10^{11} \text{ cm}^{-2}\text{eV}^{-1}$ であり、a-IGZO TFT の D_{sg} は a-Si:H TFT の 10 分の 1 程度であることが報告されている[7]。

④ 低いオフ電流

図 1.15 に示した伝達特性に見られる様に、a-IGZO TFT に負の V_g を印加した際流れるオフ電流は a-Si:H TFT に比べ数桁低い。硬 X 線光電子分光 (HX-PES, Hard X-ray Photoelectron spectroscopy) による解析により、a-IGZO の価電子帯最上端 (VBM: Valence Band Maximum) 近傍には、CBM 近傍とは対照的に高密度な局在準位が存在することが報告されている[34]。また密度汎関数法 (DFT, Density Functional Theory) による計算により、これら VBM 近傍の局在準位は酸素欠陥が起源であることが示唆されている[7]。IGZO TFT のオフ電流が非常に低い理由は、負の V_g を印加した際、 E_F が VBM 近傍の大きな局在準位にピン止めされる為、価電子帯にホールが生成されず反転動作しない為であると考えられている[7]。ディスプレイ駆動応用において、低いオフ電流はリーク電流の抑制、即ち低消費電力化につながる。

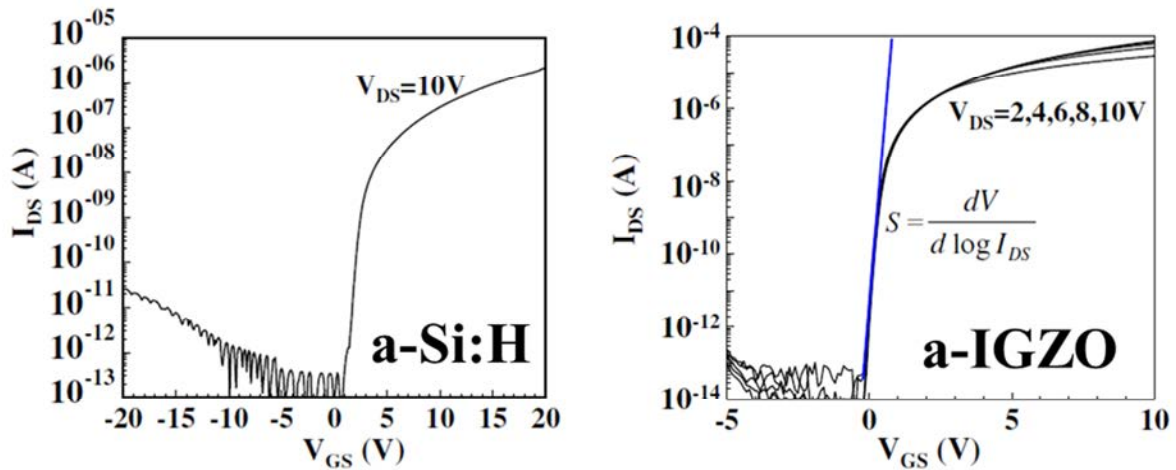


図 1.15 a-Si:H TFT と a-IGZO TFT の伝達特性[7]

⑤ 元素及び組成比の選択による TFT 特性の制御性

前述した様に、TAOS は Zn、Ga、In、Sn 等のポスト遷移金属の多元系酸化物である為、用いるポスト遷移金属カチオンの種類、また組成比によって電気的特性が変化する。主量子数の大きな In や Sn は空間的に大きく広がった s 軌道を持つことから、これらの元素組成比を高めることにより隣接する金属間の軌道の重なりが大きくなり、高い電子移動度を得る事が出来る[4,31,33]。また ZnO は四配位である為、Zn の組成比を高めることにより金属間の距離が近くなり、軌道の重なりが大きくなる為、電子移動度を増加させることが出来る[33]。従って InZnO (IZO) [35] や ZnSnO (ZTO) [36] をチャネルに用いた TFT では、 $\sim 55 \text{ cm}^2/\text{Vs}$ という高い電界効果移動度が得られている。

一方で、前述の様に透明導電膜としても応用されている In_2O_3 、 SnO_2 、 ZnO は、キャリア濃度を 10^{17} cm^{-3} 以下に制御することが困難である[4,31]。従って IZO TFT は電界効果移動度に優れる

ものの、良好な TFT 特性が得られるプロセスウインドウが狭く、また TFT 特性が不安定であることが報告されている[33,37]。そこで酸素欠損の生成を抑制し、キャリア濃度を制御することを目的に、In や Zn に比べて酸素との結合力が高い Ga が加えられる[4,31,33]。Ga の組成比を増やすことにより電界効果移動度は低下するが、 V_{th} の制御性、またデバイスの安定性が向上する。従って TAOS 材料では、電界効果移動度と信頼性のバランスに優れ、良好な特性が得られるプロセスウインドウが広い IGZO が現在最も広く用いられている。

⑥ 可視光透明性

TAOS を含む酸化物半導体は、通常 3 eV を越える広いバンドギャップを持ち、80%を越える可視光透過率を有する。これは従来の半導体材料には無いユニークな特徴である。酸化物半導体の透明性は、1964 年に報告された SnO_2 TFT において既に着目されており、ボトムゲート・トップコンタクト型 TFT 構造において、裏面露光による自己整合的な S/D 電極のパターニングが行われている[15]。また我々の研究グループは、NHK 放送技術研究所と共同で透明 ZnO TFT を信号読み出し回路に用いた積層型有機撮像素子を開発しており[38]、今後このような TAOS 材料の可視光透明性を活かした透明デバイスの発展が期待される。

⑦ 大気圧・溶液プロセスとの親和性

Si 等通常の半導体では不純物となる大気中の酸素は、TAOS の主構成元素である為、TAOS は真空装置を用いない大気圧プロセスとの親和性が高い。大気圧プロセスは環境負荷の小さいグリーンテクノロジーとして注目されており、我々の研究グループは、溶液ベースの大気圧化学気相体積 (CVD) 法である“ミスト CVD 法”を用いた IGZO TFT の作製を報告している[39]。また高価な真空装置を用いなくとも、ポスト遷移金属の前駆体溶液を基板上に塗布し焼結させる溶液プロセスにより、様々な組成を持つ TAOS 薄膜を容易に成膜出来る為、これまで多数の溶液プロセスを用いた TAOS TFT に関する研究が報告されている[40]。溶液プロセスはインクジェットプリンティング等の印刷技術と組み合わせることにより、より環境負荷が小さく生産効率の高い次世代のデバイス作製技術として、今後の発展が期待されている。

1.4.3 IGZO TFT のフレキシブルディスプレイ応用の現状と課題

2004 年に報告された a-IGZO TFT に関する論文において、既に IGZO TFT のフレキシブルディスプレイ応用のコンセプトは示されており、実際に PET フィルム上への a-IGZO TFT の室温形成が報告されている[30]。その後現在まで多数の研究機関・企業により、IGZO TFT を駆動に用いたフレキシブル OLED ディスプレイの開発が試みられており、近年の開発例について表 1.3 にまとめた。200 °C 以下の低温プロセスで駆動 TFT を作製することにより、PEN フィルムを基板に用いたフレキシブル OLED ディスプレイの試作例が報告されているものの[41,43]、10 インチを超える画面サイズ、また高解像度を有するディスプレイでは、耐熱性に優れる PI フィルムが基板に用いられていることが分かる[42,44]。

表 1.3 近年の IGZO TFT を駆動に用いたフレキシブル OLED ディスプレイの開発例

開発企業・機関	画面サイズ (インチ)	画素数	基板	TFT 作製プロセス温度 (°C)
パナソニック [41]	4.0	224×RGB×224	PEN	150
東芝 [42]	10.2	1920×RGBW×1200	透明 PI	-
アリゾナ州立大学・ 米陸軍研究所 [43]	14.7	960×RGB×720	PEN	200
LG ディスプレイ [44]	18.0	810×RGB×1200	PI	-
NHK 放送技術研究所 [45]	8.0	640×RGB×480	PI	-

熱酸化 SiO₂ 膜付低抵抗 Si 基板上に、スパッタ法により適切な条件で IGZO チャネルを室温成膜し、メタルマスクを用いて S/D 電極を形成した場合、ポストアニール処理を行わずとも電界効果移動度: $\sim 10 \text{ cm}^2/\text{Vs}$ 、S.S.: $\sim 0.2 \text{ V/dec.}$ という良好なスイッチング特性を有する IGZO TFT を作製出来ることが報告されている[4,7,31]。しかしながら、ポストアニール処理を行っていない IGZO TFT は大きなヒステリシスとバイアスストレス試験における V_{th} の正シフトを示し、また特性均一性が悪いことが報告されている[7,46,47]。従って、通常良好な特性・信頼性を有する IGZO TFT を作製する為には、300 °C 以上のポストアニール処理が必要である[7,46]。

1.2.2 で述べた様に、TFT 特性・信頼性はチャネル中、及び絶縁膜界面に存在するサブギャップ欠陥準位密度と密接に関わっている。図 1.16 は C-V 法により抽出されたアニール前後の a-IGZO TFT、及び a-Si:H TFT の DOS である[48]。前述の様に、a-IGZO TFT の CBM 近傍の裾状準位密度は a-Si TFT に比べ 2,3 桁低い為、a-IGZO TFT はアニール前であっても高い電界効果移動度を示す。一方で、a-IGZO TFT の CBM から 0.1-0.3 eV 程度に存在するサブギャップ欠陥準位

密度は、アニール処理によって2桁程度減少していることが分かる。これがポストアニールによって a-IGZO TFT の特性・信頼性が改善する理由である。また昇温脱離ガス分析 (TDS, Thermal Desorption Spectrum) の結果、アニール前の a-IGZO からは温度上昇に伴う Zn, H, OH 等の多量の脱離が見られる一方で、アニール処理によりその脱離量が減少することが報告されている[47]。従ってアニール処理によりサブギャップ欠陥準位密度が減少する理由は、アニール前の a-IGZO 膜中に存在する不安定な化学結合が、アニール処理によって安定化する為であると考えられている[7,46,47]。

1.3.2 で述べた様に、OLED ディスプレイ駆動用 TFT には高い特性均一性・信頼性が求められる為、いかにして汎用プラスチックフィルムが使用可能な低温プロセスで、高い特性均一性・信頼性を確保するかが、IGZO TFT のフレキシブル OLED ディスプレイ応用における課題と言える。また実際に用いられる TFT の作製過程では、フォトリソグラフィによるパターニングが行われ、チャンネル上には絶縁膜が成膜される。フォトリソグラフィや絶縁膜成膜に伴うプロセスダメージは、チャンネルのサブギャップ欠陥準位密度を増加し、TFT 特性・信頼性を劣化させる要因となる。従って IGZO TFT のフレキシブルディスプレイ応用では、ポストアニール処理以外の効果的なサブギャップ欠陥準位密度の制御手法、及びチャンネルへのプロセスダメージが少ない TFT 作製プロセスの開発が求められる。

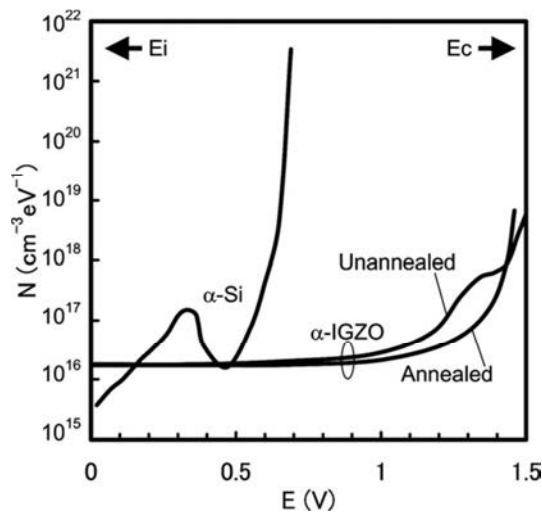


図 1.16 C-V 法により抽出されたアニール前後の a-IGZO TFT、及び a-Si:H TFT の DOS[48]

1.5 本研究の目的、独創性・新規性と意義

本研究の目的

本研究は、IGZO TFT のフレキシブルディスプレイ応用に向け、低温プロセスにより良好な特性・信頼性を有する IGZO TFT を作製する為の普遍的な指針を得ることを目的に行った。チャンネル材料としては、リファレンス材料として最も広く用いられている In:Ga:Zn の元素組成比が 1:1:1 の InGaZnO_4 を用い、下記①、②に示す IGZO TFT の特性・信頼性制御を目指した研究に取り組んだ。

① IGZO 膜中水素量の制御による TFT 特性・信頼性制御

従来研究により、実際に作製した TFT の IGZO チャンネル中には、絶縁膜からの拡散、及びスパッタ成膜時の残留水分の取り込みによって、意図していない量の不純物水素が存在していることが報告されていた[49,50]。また、水素が IGZO に対しシャロードナーとして働くことがよく知られている一方で[31,51]、水素が IGZO 膜中の電子トラップを終端している可能性も示唆されており[52]、IGZO の電子物性に対する不純物水素の影響は議論の途上にあった。従って IGZO TFT 特性・信頼性を制御する為には、IGZO の電子物性に対する不純物水素の影響を明らかにし、膜中水素量の制御を行うことが重要であると考えた。

そこで本研究では、水素が IGZO の電子物性に与える影響の解明、及び膜中水素量の制御による IGZO TFT の特性・信頼性制御を目的に、チャンネル保護絶縁膜から IGZO チャンネル中に拡散した水素が TFT 特性・信頼性に与える影響について評価を行った。また積極的な水素導入による IGZO 膜中欠陥準位の終端を試みる為、 H_2 ガス導入 DC マグネトロンスパッタ法による IGZO の成膜を行い、成膜中に取り込まれた水素が、IGZO 薄膜物性、及び TFT 特性・信頼性に与える影響の評価も行った。

② ポリマーゲート絶縁膜を用いた最高プロセス温度 150 °C でのトップゲート・セルフアライン型 IGZO TFT の作製、及び特性・信頼性の向上

ゲート絶縁膜の低温形成は、実際にプラスチックフィルム上に TFT を作製する際のボトルネックである。そこで低温形成可能であり、無機材料と比べてフレキシビリティに優れるポリマーゲート絶縁膜を用いて、最高プロセス温度 150 °C での IGZO TFT の作製に取り組んだ。さらに TFT 構造として、S/D 電極とゲート電極の重なり合いを無くし、寄生容量を最小化することにより回路動作速度の高速化が可能なトップゲート・セルフアライン (TG-SA) 構造を採用した。

プロセスダメージフリーな IGZO/ポリマーゲート絶縁膜界面を形成することにより、150 °C 以下の作製プロセスにより良好な特性を示す TG-SA IGZO TFT の作製を達成した。また従来研究により報告されていた Al 反応法を[53]、低温かつ、チャンネル長制御性が高い S/D 領域形成手法

として応用・発展させた。さらにポリマーパッシベーション層の追加形成により、大気環境下でのバイアスストレス信頼性試験における異常な劣化が抑制できることを明らかにした。

本研究の独創性・新規性

前述した様に、IGZO の電子物性に対する不純物水素の影響は議論の途上にあったが、本研究成果によりチャネル保護絶縁膜から IGZO チャネル中に拡散した水素が、IGZO TFT 特性・信頼性に与える影響に関する明確な結論を得る事が出来た。また、 H_2 ガスを導入したスパッタ法による IGZO の成膜はこれまでに報告されておらず、成膜時の H_2 ガス導入が IGZO の薄膜物性及び TFT 特性・信頼性に与える影響について、新規性・独創性の高い研究成果を得る事が出来た。

ポリマーゲート絶縁膜を用いたハイブリット IGZO TFT の低温形成に関しては、従来研究により既に報告があったが、TFT 構造として応用上様々な利点を有する TG-SA 構造を採用した試みは本研究が初めてである。さらに本研究により、プロセスダメージフリーな IGZO/ポリマーゲート絶縁膜界面形成を行うことが、低温プロセスにおいて良好な TG-SA TFT 特性を得る上で重要であることが明らかとなった。また、本研究により低温プロセスにおける S/D 領域形成手法として応用・発展させた AI 反応法は、従来用いられてきたプラズマ処理による S/D 領域形成プロセスに代わる、低温かつチャネル長制御性に優れる S/D 領域形成手法として有用な手法となることが期待出来る。

本研究の意義

1.3.4 で述べた様に、フレキシブル OLED ディスプレイは IGZO TFT の特徴を最大限に活かした“キラーアプリケーション”となることが期待される。フレキシブル OLED ディスプレイは未だ量産には至っておらず、今後の市場の成長は未知数であるが、各国有数の研究機関、企業がその研究開発に取り組んでいることから、次世代ディスプレイとして非常に大きな関心が寄せられていることが伺える。また大きく重いブラウン管テレビが、薄くて軽い LCD に急激に置き換わった経緯を顧みると、より薄くて軽く、折り曲げられるフレキシブル OLED ディスプレイが、次世代の表示デバイスとして人々に広く受け入れられることが予想される。従って、IGZO TFT の特性・信頼性制御手法に関する新たな知見の創出と、IGZO TFT を用いたフレキシブルデバイスの発展への寄与が、本研究の意義である。

1.6 本学位論文の構成

第一章 背景・研究目的

本研究の背景、また IGZO TFT のフレキシブルディスプレイ応用における課題について述べ、本研究の目的と意義について示した。

第二章 チャネル保護膜からの拡散水素が IGZO TFT 特性・信頼性に与える影響

PE-CVD 法により成膜した SiO_x チャネル保護膜を有するボトムゲート型 IGZO TFT における、チャネル保護膜からの拡散水素が TFT 特性・信頼性に与える影響について述べる。

第三章 成膜時の H_2 ガス導入が IGZO 薄膜物性、及び TFT 特性・信頼性に与える影響

H_2 ガスを導入した DC マグネトロンスパッタ法により IGZO を成膜し、成膜時に意図的に IGZO 膜中に取り込ませた水素が、IGZO 薄膜物性、及び TFT 特性・信頼性に与える影響について述べる。

第四章 ポリマー絶縁膜を用いたトップゲート・セルフアライン (TG-SA) IGZO TFT の低温形成

ポリマーゲート絶縁膜を用いて、最高プロセス温度 150°C で作製した TG-SA IGZO TFT における、IGZO/ポリマーゲート絶縁膜界面形成プロセスが TFT 特性に与える影響について述べる。

第五章 TG-SA IGZO TFT の実効チャネル長と信頼性評価

TG-SA IGZO TFT の S/D 領域低温形成技術として、プラズマ処理法と Al 反応法を比較した結果について示す。また作製した TG-SA IGZO TFT の、大気環境下におけるバイアスストレス信頼性、及びパッシベーション層形成の効果について示す。さらに従来研究との比較から、本研究成果の位置づけと今後の課題について述べる。

第六章 総括

各章の内容、及び得られた知見について総括し、低温プロセスにより良好な特性・信頼性を有する IGZO TFT を作製する為の指針を示す。

参考文献

- [1] 薄膜材料デバイス研究会 編, “薄膜トランジスタ” (コロナ社, 2008) .
- [2] S. M. Sze 著, 南日 康負 他, 訳, “半導体デバイス (第2版) —基礎理論とプロセス技術”, 産業図書株式会社, (2004).
- [3] 藤井 菜美, “次世代ディスプレイ実現に向けた酸化物半導体薄膜トランジスタの高性能化技術”, 奈良先端科学技術大学院大学博士論文 (2012).
- [4] T. Kamiya and H. Hosono, “Material characteristics and application of transparent amorphous oxide semiconductors”, *NPG Asia Mater*, **2** (2010) 15.
- [5] 総務省, “4K・8K ロードマップに関するフォローアップ会合 中間報告”.
- [6] Y. Matsueda, “Required Characteristics of TFTs for Next generation Flat Panel Display Backplanes”, *The Proceedings of the 6th International Thin-Film Transistor Conference* (2010) 314.
- [7] T. Kamiya, K. Nomura, and H. Hosono, “Present status of amorphous In-Ga-Zn-O thin-film transistors”, *Sci. Technol. Adv. Mater.*, **11** (2010) 044305.
- [8] 栗田 泰市郎, “フレキシブルディスプレイの研究・開発動向”, *NHK 技研 R&D No.145* (2014) 4.
- [9] 山本 敏裕, “フレキシブルディスプレイ用薄膜トランジスタの研究動向”, *NHK 技研 R&D No.145* (2014) 28.
- [10] 帝人デュポンフィルム株式会社 HP, https://www.teijindupontfilms.jp/product/name/pen/pen_teo.html.
- [11] T. Sameshima, S. Usui, and M. Sekiya, “XeCl Excimer Laser Annealing Used in the Fabrication of Poly-Si TFT’s”, *IEEE Electron Device Lett.*, **7** (1986) 276.
- [12] S. Higashi *et al.*, “High-quality SiO₂/Si interface formation and its application to fabrication of low-temperature-processed polycrystalline Si thin-film transistor”, *Jpn. J. Appl. Phys.*, **41** (2002) 3646.
- [13] シャープ HP, <http://www.sharp.co.jp/igzo/concept.html>.
- [14] I. Hiyama *et al.*, “The Latest IPS LCD Technology Realizing Super High Resolution and Wide Color Gamut”, *The 22nd International Display Workshops, LCT1-1* (2015) 314.
- [15] H. A. Klasens and H. Koelmans, “A tin oxide field effect transistor”, *Sol. Stat. Electron.*, **7** (1964) 701.
- [16] G. F. Boesen and J. E. Jacobs, “ZnO Field-Effect Transistor”, *Proc. IEEE*, **56** (1968) 2094.
- [17] K. Nomura *et al.*, “Thin-Film Transistor Fabricated in Single-Crystalline Transparent Oxide Semiconductor”, *Science*, **300** (2003) 1269.
- [18] M. W. J. Prins *et al.*, “A ferroelectric transparent thin-film transistor”, *Appl. Phys. Lett.*, **68** (1996) 3650.
- [19] S. Masuda *et al.*, “Transparent thin film transistors using ZnO as an active channel layer and their electrical properties”, *J. Appl. Phys.*, **93** (2003) 1624.
- [20] R. L. Hoffman, B. J. Norris, and J. F. Wager, “ZnO-based transparent thin-film transistors”, *Appl. Phys. Lett.*, **82** (2003) 733.

- [21] P. F. Carcia *et al.*, “Transparent ZnO thin-film transistor fabricated by rf magnetron sputtering”, *Appl. Phys. Lett.*, **82** (2003) 1117.
- [22] J. Nishii *et al.*, “High mobility thin film transistors with transparent ZnO channels”, *Jpn. J. Appl. Phys.*, **42** (2003) L347.
- [23] T. Hirao *et al.*, “Novel top-gate zinc oxide thin-film transistors (ZnO TFTs) for AMLCDs”, *J. SID*, **15** (2007) 17.
- [24] 国立研究開発法人 科学技術振興機構 (JST) HP, <http://www.jst.go.jp/osirase/20130515.html>.
- [25] N. Kimizuka and T. Mohri, “Spinel, YbFe_2O_4 , and $\text{Yb}_2\text{Fe}_3\text{O}_7$ types of structures for compounds in the In_2O_3 and Sc_2O_3 - Al_2O_3 -BO systems [A: Fe, Ga, or Al; B: Mg, Mn, Fe, Ni, Cu, or Zn] at temperatures over 1000°C ”, *J. Sol. State Chem.*, **60** (1985) 382.
- [26] N. Kimizuka, M. Isobe, and M. Nakamura, “Syntheses and Single-Crystal Data of Homologous Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m = 3, 4$, and 5), $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m = 7, 8, 9$, and 16) in the In_2O_3 - ZnGa_2O_4 - ZnO System”, *J. Sol. State Chem.*, **116** (1995) 170.
- [27] M. Orita *et al.*, “New Transparent Conductive Oxides with YbFe_2O_4 Structure”, *Jpn. J. Appl. Phys.*, **34**, (1995) L1550.
- [28] H. Hosono *et al.*, “Working hypothesis to explore novel wide band gap electrically conducting amorphous oxides and examples”, *J. Non-Cryst. Sol.*, **198-200** (1996) 165.
- [29] H. Hosono *et al.*, “Novel oxide amorphous semiconductors: transparent conducting amorphous oxides”, *J. Non-Cryst. Sol.*, **203** (1996) 334.
- [30] K. Nomura *et al.*, “Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors”, *Nature*, **432** (2004) 488.
- [31] T. Kamiya, K. Nomura, and H. Hosono, “Origins of high mobility and low operation voltage of amorphous oxide TFTs: electronic structure, electron transport, defects and doping”, *J. Display Technol.*, **5** (2009) 273.
- [32] H. Yabuta *et al.*, “High-mobility thin-film transistor with amorphous InGaZnO_4 channel fabricated by room temperature rf-magnetron sputtering”, *Appl. Phys. Lett.*, **89** (2006) 112123.
- [33] K. Nomura *et al.*, “Amorphous oxide semiconductors for high-performance flexible thin-film transistors”, *Jpn. J. Appl. Phys.*, **45**, (2006) 4303.
- [34] K. Nomura *et al.*, “Subgap states in transparent amorphous oxide semiconductor, In-Ga-Zn-O, observed by bulk sensitive x-ray photoelectron spectroscopy”, *Appl. Phys. Lett.*, **92** (2008) 202117.
- [35] N. L. Dehuff *et al.*, “Transparent thin-film transistors with zinc indium oxide channel layer”, *J. Appl. Phys.*, **97** (2005) 064505.
- [36] H. Q. Chiang and J. F. Wager, “High mobility transparent thin-film transistors with amorphous zinc tin oxide channel layer”, *Appl. Phys. Lett.*, **86** (2005) 013503.
- [37] N. Itagaki *et al.*, “Zn-In-O thin-film transistors: compositional dependence”, *Phys. Stat. Sol. (a)*, **205** (2008) 1915.

- [38] H. Seo *et al.*, “A 128×96 Pixel Stack-Type Color Image Sensor: Stack of Individual Blue-, Green-, and Red-Sensitive Organic Photoconductive Films Integrated with a ZnO Thin Film Transistor Readout Circuit”, *Jpn. J. Appl. Phys.*, **50** (2011) 024103.
- [39] M. Furuta *et al.*, “Electrical Properties of the Thin-Film Transistor With an Indium–Gallium–Zinc Oxide Channel and an Aluminium Oxide Gate Dielectric Stack Formed by Solution-Based Atmospheric Pressure Deposition”, *IEEE Electron Device Lett.*, **33** (2012) 851.
- [40] S. J. Kim, S. Yoon, and H. J. Kim, “Review of solution-processed oxide thin-film transistors”, *Jpn. J. Appl. Phys.*, **53** (2014) 02BA02.
- [41] Y. Fukui *et al.*, “Full Color Flexible Top-emission AMOLED Display on Polyethylene Naphthalate (PEN) Foil with Metal Oxide TFTs Backplane”, *SID Int. Symp. Digest Tech. Papers*, **44** (2013) 203.
- [42] N. Saito *et al.*, “10.2-inch WUXGA Flexible AMOLED Display Driven by Amorphous Oxide TFTs on Plastic Substrate”, *SID Int. Symp. Digest Tech. Papers*, **44** (2013) 443.
- [43] B. O. Brien *et al.*, “14.7 active matrix PHOLED displays on temporary bonded PEN substrate with low temperature IGZO TFTs”, *SID Int. Symp. Digest Tech. Papers*, **44** (2013) 447.
- [44] J. Yoon *et al.*, “World 1st Large Size 18-inch Flexible OLED Display and the Key Technologies”, *SID Int. Symp. Digest Tech. Papers*, **46** (2015) 962.
- [45] M. Nakata *et al.*, “Development of Flexible Displays Using Back-Channel-Etched In–Sn–Zn–O TFTs and Air-Stable Inverted OLEDs”, *SID Int. Symp. Digest Tech. Papers*, **46** (2015) 969.
- [46] K. Nomura *et al.*, “Defect passivation and homogenization of amorphous oxide thin-film transistor by wet O₂ annealing”, *Appl. Phys. Lett.*, **93** (2008) 192107.
- [47] K. Nomura *et al.*, “Origins of threshold voltage shifts in room-temperature deposited and annealed a -In – Ga – Zn – O thin-film transistors”, *Appl. Phys. Lett.*, **95** (2009) 013502.
- [48] M. Kimura *et al.*, “Trap densities in amorphous-InGaZnO₄ thin-film transistors”, *Appl. Phys. Lett.*, **92** (2008) 133512.
- [49] H. Kumomi *et al.*, “Materials, devices, and circuits of transparent amorphous-oxide semiconductor”, *J. Display Technol.*, **5** (2009) 531.
- [50] K. Nomura, T. Kamiya, and H. Hosono, “Effects of diffusion of hydrogen and oxygen on electrical properties of amorphous oxide semiconductor, In-Ga-Zn-O”, *ECS J. Sol. Stat. Sci. and Technol.*, **2** (2013) P5.
- [51] T. Kamiya, K. Nomura, and H. Hosono, “Subgap states, doping and defect formation energies in amorphous oxide semiconductor a-InGaZnO₄ studied by density functional theory”, *Phys. Stat. Sol. (a)*, **207** (2010) 1698.
- [52] Y. Hanyu *et al.*, “Hydrogen passivation of electron trap in amorphous In-Ga-Zn-O thin-film transistors”, *Appl. Phys. Lett.*, **103** (2013) 202114.
- [53] N. Morosawa *et al.*, “Self-aligned top-gate oxide thin-film transistor formed by aluminum reaction method” *Jpn. J. Appl. Phys.*, **50** (2011) 096502.

第二章

チャネル保護膜からの拡散水素が IGZO TFT 特性・信頼性に与える影響

2.1 はじめに

従来研究により、不純物水素が IGZO の電子物性に与える様々な影響が報告されている[1-3]。例えば、 H_2 雰囲気中でのアニーリングや[1,2,4-6]、 H_2 またアンモニア (NH_3) プラズマ処理[2,7,8]、また H^+ 注入[4]などにより IGZO 膜中水素濃度を増加させた場合、IGZO の抵抗率が減少することから、水素が IGZO のキャリア濃度を増加させるシャロードナーとして働くことが知られている。密度汎関数法 (DFT, Density Functional Theory) による計算結果は、IGZO 中の不純物水素はほとんどの場合酸素と結合した状態 ($-OH$) で存在することが示されており[4,9-11]、水素がシャロードナーとして働く理由は、単純には以下のイオン反応式



により理解される[4]。

また実際にディスプレイ駆動に用いられる TFT では、チャネル形成後のプロセスによるダメージや汚染、また大気分子の吸着からチャネル表面を保護する為に、チャネル上に保護絶縁膜が成膜されるが、この保護膜成膜によっても IGZO 膜中に水素が拡散し、IGZO の抵抗率が減少することが知られている。例えば、シラン (SiH_4) と NH_3 を原料ガスに用いたプラズマ支援化学気相堆積 (PE-CVD) 法により、IGZO 上に直接水素化窒化シリコン ($SiN_x:H$) を成膜した場合、IGZO の抵抗率は大幅に減少することが報告されている[12-14]。これは IGZO 上への $SiN_x:H$ 成膜時、IGZO が水素リッチなプラズマ雰囲気曝され、さらにポストアニール処理によって $SiN_x:H$ から多量の水素が IGZO 膜中に拡散する為である。従って IGZO TFT のチャネル保護膜としては、 SiH_4 と亜酸化窒素 (N_2O) を原料ガスとした PE-CVD 法により成膜した酸化シリコン (SiO_x) が

一般的に用いられている[15-17]。しかしながら SiO_x をチャネル保護膜に用いた場合でも、一定量の水素が IGZO チャネル中に拡散し、TFT の V_{th} が変動することが報告されている[16,17]。

水素が IGZO に対しシャロードナーとして働くことを示す実験結果が多数報告されている一方で、膜中水素量の減少に伴い TFT 特性・信頼性が劣化することから、水素が IGZO 膜中の欠陥準位を終端している可能性も示唆されており[2,3]、IGZO の電子物性に対する水素の役割は議論の途上にあつた。また前述の様に、絶縁保護膜からの拡散によって、チャネル中には意図していない量の水素が存在する。従って、IGZO TFT の特性・信頼性を制御する上で、チャネル保護膜からの拡散水素が IGZO の電子物性に与える影響を明らかにし、拡散水素量の制御を行うことが重要であると考えた。そこで本研究では、PE-CVD 法により成膜した SiO_x チャネル保護膜を有するボトムゲート型 IGZO TFT を作製し、チャネル保護膜の成膜条件 ($\text{N}_2\text{O}/\text{SiH}_4$ 流量比) による IGZO チャネル中への拡散水素量の制御を試みた。そしてチャネル保護膜から IGZO チャネル中へ拡散した水素が、TFT 特性・信頼性に与える影響について評価を行った。

2.2 成膜及び TFT 作製条件

ボトムゲート・トップコンタクト型 IGZO TFT では、チャネル上に直接 S/D 電極を形成した場合、S/D 電極のエッチングによってチャネルの裏面界面（バックチャネル）がダメージを受け、TFT 特性・信頼性が劣化する[15,16]。そこで S/D 電極と IGZO チャネルの間にエッチングストッパー層（ESL: Etching Stopper Layer）と呼ばれる層間絶縁膜を形成し、チャネル表面を保護することにより、TFT 特性・信頼性が向上することが知られている[15]。本研究では、 SiO_x チャネル保護膜から IGZO チャネル中への拡散水素量を制御し、拡散水素が IGZO TFT 特性・信頼性に与える影響を評価する為に、PE-CVD 法により異なる $\text{N}_2\text{O}/\text{SiH}_4$ 流量比で SiO_x ESL の成膜を行った IGZO TFT を作製した。

本研究で作製した SiO_x ESL を有するボトムゲート型 IGZO TFT の作製プロセスについて図 2.1 に示す。尚、本研究では 4 インチ無アルカリガラス基板（0.7 mm, Corning® EAGLE XG®）を用い、各層のパターニングにはポジ型フォトレジストとフォトマスク、Deep UV 露光装置を用いたフォトリソグラフィにより行った。

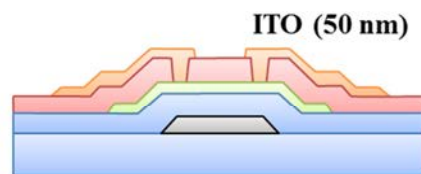
初めに DC スパッタ法により Cr ゲート電極（50 nm）を成膜し、ウエットエッチングによってアイランドパターンを形成した。その後 PE-CVD 法により基板温度 350 °C で SiO_x ゲート絶縁膜（GI: Gate Insulator, 150 nm）を成膜し、続いて DC マグネトロンスパッタ法により IGZO チャネル（45 nm）の成膜を行った。IGZO チャネルの成膜条件については表 2.1 にまとめる。IGZO チャネルのエッチングは、 CH_4/Ar ガスを用いたドライエッチングにより行った。また本研究におけるドライエッチングは、誘導結合プラズマ（ICP: Inductively Coupled Plasma）エッチング装置

を用いて行った。続いて PE-CVD 法により基板温度 170 °C、 $\text{N}_2\text{O}/\text{SiH}_4 = 120/2, 50/2, 40/2$ sccm の各条件で SiO_x ESL (200 nm) の成膜を行った。 CF_4/O_2 ガスを用いたドライエッチングにより、 SiO_x ESL 及び GI にコンタクトホールを形成した後、InSnO (ITO) S/D 電極 (50 nm) を成膜した。ITO S/D 電極は、DC マグネトロンスパッタ法により基板温度 200 °C で成膜し、 CH_4/Ar ガスを用いたドライエッチングによりパターニングを行った。その後、再び PE-CVD 法により基板温度 170 °C で SiO_x パッシベーション層 (PSL: Passivation Layer, 200 nm) を成膜し、 CF_4/O_2 ガスを用いたドライエッチングにより測定用電極パッドへのコンタクトホールを形成した。PE-CVD 法による SiO_x GI, ESL, PSL の各成膜条件について表 2.2 にまとめる。TFT は作製後、RTA (Rapid Thermal Annealing) を用いて N_2 雰囲気中で 350 °C、1 時間のポストアニール処理を行った。

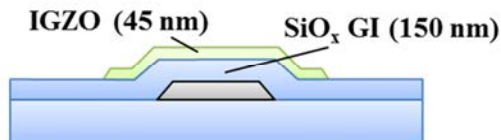
MASK1: ゲート電極



MASK5: S/D電極



MASK2: チャンネル



MASK6: コンタクトホール(パッド)

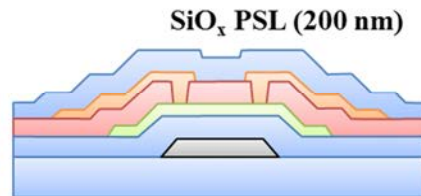
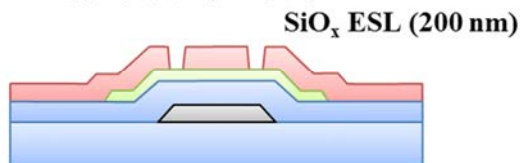
MASK3,4: コンタクトホール
(チャンネル、パッド)図 2.1 SiO_x ESL を有するボトムゲート型 IGZO TFT 作製プロセス

表 2.1 IGZO チャネル成膜条件

ターゲット	4 インチ ϕ 多結晶 InGaZnO ₄ [In: Ga: Zn = 1: 1: 1 (元素比)]
成膜ガス流量 [sccm]	O ₂ /Ar = 0.6/29.4
成膜圧力 [Pa]	1.0
成膜電力 (DC) [W]	80
成膜温度 [°C]	~160
基板-ターゲット間距離 [mm]	88
成膜速度 [nm/min]	~13.5

表 2.2 SiO_x GI, ESL, PSL 成膜条件

	GI	ESL1	ESL2	ESL3	PSL
成膜圧力 [Pa]	110	←	←	←	←
成膜電力 (RF 13.56 MHz) [W]	50	←	←	←	←
成膜温度 [°C]	350	170	←	←	←
基板-電極間距離 [mm]	28	←	←	←	←
成膜ガス流量 (N ₂ /N ₂ O/SiH ₄) [sccm]	120/100/2	120/120/2	120/50/2	120/40/2	120/100/2
成膜速度 [nm/min]	6.6	6.7	7.3	7.7	7.0

2.3 TFT 初期特性

図 2.2 は、N₂O/SiH₄ = 120/2, 50/2, 40/2 sccm の各条件で SiO_x ESL の成膜を行った IGZO TFT の代表的な伝達特性である。また各 TFT の線形領域における電界効果移動度 (μ_{Lin})、S 値 (S.S.)、閾値電圧 (V_{th})、ヒステリシス (ΔV_{H}) について表 2.3 にまとめた。本研究における S.S.はドレイン電流 (I_d) が 10 pA から 100 pA に変化するのに要したゲート電圧 (V_g)、 V_{th} は $I_d = 1 \text{ nA}$ における V_g として定義した。TFT 特性の評価は半導体パラメータアナライザ (Agilent 4156C) を用いて、プローブボックス内で大気雰囲気中、室温で行った。また評価した TFT のチャネル幅 (W)、チャネル長 (L) は全て $W/L = 50/20 \text{ }\mu\text{m}$ である。

図 2.2 及び表 2.3 に示す様に、 $\text{N}_2\text{O}/\text{SiH}_4$ 比が 120/2 sccm から 50/2 sccm に減少した際、TFT の V_{th} は 2.7 V から 1.0 V へと負シフトした。さらに $\text{N}_2\text{O}/\text{SiH}_4$ 比が 40/2 sccm に減少した際、 V_{th} は -13.7 V と大幅に負シフトした。この結果は、 $\text{N}_2\text{O}/\text{SiH}_4$ 比の減少に伴い IGZO チャンネルのキャリア濃度が増加していることを示唆する。一方で $\text{N}_2\text{O}/\text{SiH}_4$ 比が 120/2 sccm から 40/2 sccm に減少にした際、 $\mu_{Lin.}$ は $12.7 \text{ cm}^2/\text{Vs}$ から $17.7 \text{ cm}^2/\text{Vs}$ に増大した。さらに同じく $\text{N}_2\text{O}/\text{SiH}_4$ 流量比の減少に伴い、S.S. は 0.32 V/dec. から 0.26 V/dec. 、 ΔV_H は 0.5 V から 0.1 V 以下にそれぞれ減少（向上）した。

図 2.2 中に示す様に、 $\mu_{Lin.}$ は全ての TFT において極大値を示さず、 V_g の増加に伴い単調に増加していることから、 $\text{N}_2\text{O}/\text{SiH}_4$ 比の減少に伴う $\mu_{Lin.}$ の増大は V_{th} の差を反映した結果であることが考えられる。一方で、 $\text{N}_2\text{O}/\text{SiH}_4$ 比の減少に伴う S.S. の改善は、IGZO チャンネルのフェルミレベル (E_F) 近傍のサブギャップ欠陥準位密度 (D_{sg}) の低減を示唆している。(1.9) 式

$$S.S. = \ln 10 \cdot \frac{k_B T}{e} \left(1 + \frac{e D_{sg}}{C_i} \right) = 0.0595 \left(1 + \frac{e D_{sg}}{C_i} \right) (T = 300 \text{ K}) \quad (1.9)$$

を用いて各 $\text{N}_2\text{O}/\text{SiH}_4$ 比における S.S. から算出した D_{sg} について、同じく表 2.3 にまとめた。 $\text{N}_2\text{O}/\text{SiH}_4$ 比が 120/2 sccm から 40/2 sccm に減少した際、 D_{sg} は $6.5 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ から $5.0 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ と、23%程度減少していることが推量された。また ΔV_H の減少は、GI/IGZO（フロントチャンネル）界面準位（電子トラップ）密度の減少を示唆している。

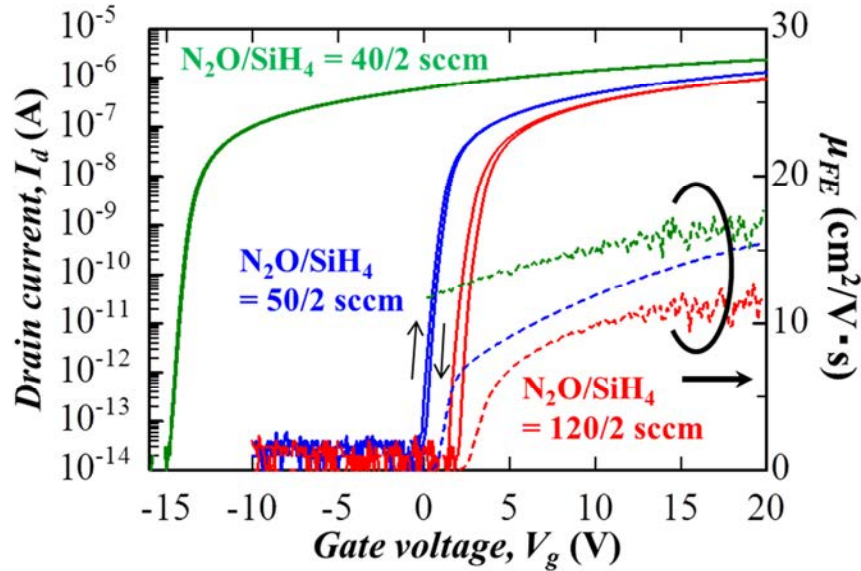


図 2.2 各 $\text{N}_2\text{O}/\text{SiH}_4$ 流量比で SiO_x ESL の成膜を行った IGZO TFT の伝達特性 ($V_d = 0.1 \text{ V}$, $W/L = 50/20 \text{ }\mu\text{m}$)

表 2.3 図 2.2 中の TFT 特性パラメータ

N ₂ O/SiH ₄ [sccm]	120/2	50/2	40/2
μ_{Lin} [cm ² /Vs]	12.7	15.5	17.7
S.S. (I _d : 10-100 pA) [V/dec.]	0.32	0.27	0.26
D _{sg} [cm ² eV ⁻¹]	6.5×10^{11}	5.2×10^{11}	5.0×10^{11}
V _{th} (V _g at I _d = 1 nA) [V]	2.7	1.0	-13.7
ΔV_{H} (V _g at I _d = 1 nA) [V]	0.5	0.2	< 0.1

2.4 正ゲートバイアス熱ストレス（PBTS）信頼性

前述の様に、N₂O/SiH₄比の減少に伴い TFT の S.S.及び ΔV_{H} が改善・向上したことから、N₂O/SiH₄ 比の減少に伴い IGZO チャネル、またフロントチャネル界面の電子トラップ密度が減少していることが考えられた。従って、各 TFT の正ゲートバイアス熱ストレス（PBTS: Positive Bias Temperature Stress）信頼性試験を行った。

a-Si:H TFT のバイアスストレス試験に伴う V_{th}シフトは、フロントチャネル界面への電子トラップ、及び GI への電子注入が主要因であり、その際の V_{th}シフト量の (ΔV_{th}) のストレス時間 (t_s) 依存性は、以下の拡張指数関数（Stretched-Exponential）式

$$\Delta V_{th}(t_s) = |\Delta V_{th0}|^{\alpha} [1 - \exp(t_{ST}/\tau)^{\beta}] \quad (2.2)$$

に従うことが知られている[18]。(2.2) 式中の ΔV_{th0} は t_s = ∞における ΔV_{th} (ΔV_{th} の飽和値) であり、ストレス電圧 (V_s) とストレス試験前の V_{th} 初期値 (V_{th_initial}) との差

$$\Delta V_{th0} = V_s - V_{th_initial} \quad (2.3)$$

として与えられる。また α は TFT の界面状態に関連するパラメータ ($\alpha < 1.0$)、 τ はキャリアの捕獲時間を示す時定数、 β は Stretched-Exponential 式の指数 ($\beta < 1.0$) であり、 α が小さいほど、また τ, β が大きいほど ΔV_{th} は小さくなり、バイアスストレス信頼性が高いことを示す。また (2.2) 式は、a-Si:H と同じ非晶質半導体である IGZO をチャネルに用いた TFT においても適用可能であることが報告されている[19-21]。

本研究における PBTS 試験では、加温ステージを用いてサンプル基板を 100 °C で加熱しながら、TFT の S/D 電極を接地した状態でゲート電極に計 10,000 秒間 V_s を印加し、各 t_s における伝達特性の評価を行った。前述した様に、 ΔV_{th0} は V_s と V_{th_initial} の差で決まる為、V_{th} の異なる TFT

の信頼性 (ΔV_{th}) を比較する際は、印加する V_s を各 TFT の V_{th} に応じて設定する必要がある。従って本研究では、各 TFT に対する V_s を $\Delta V_{th_initial} + 20$ V と設定した。

図 2.3 (a-c) に各 N_2O/SiH_4 流量比で SiO_x ESL の成膜を行った TFT の PBTS 試験における伝達特性の変化を示す。また図 2.4 (a,b) に ΔV_{th} 、S.S. の t_s 依存性を示す。図 2.3 (a) 及び図 2.4 (a,b) に示す様に、 $N_2O/SiH_4 = 120/2$ sccm の際、S.S. の変化はほぼ見られなかったが、ストレス時間の増加に伴う V_{th} の正シフトが確認され、10,000 秒後の ΔV_{th} は 3.9 V であった。 $N_2O/SiH_4 = 50/2$ sccm の際、同様に V_{th} の正シフトが確認されたが、10,000 秒後の ΔV_{th} は 2.7 V に減少した。また N_2O/SiH_4 流量比をさらに $40/2$ sccm に減少させた際、 ΔV_{th} 、S.S. 共にほぼ変化が見られなかった。

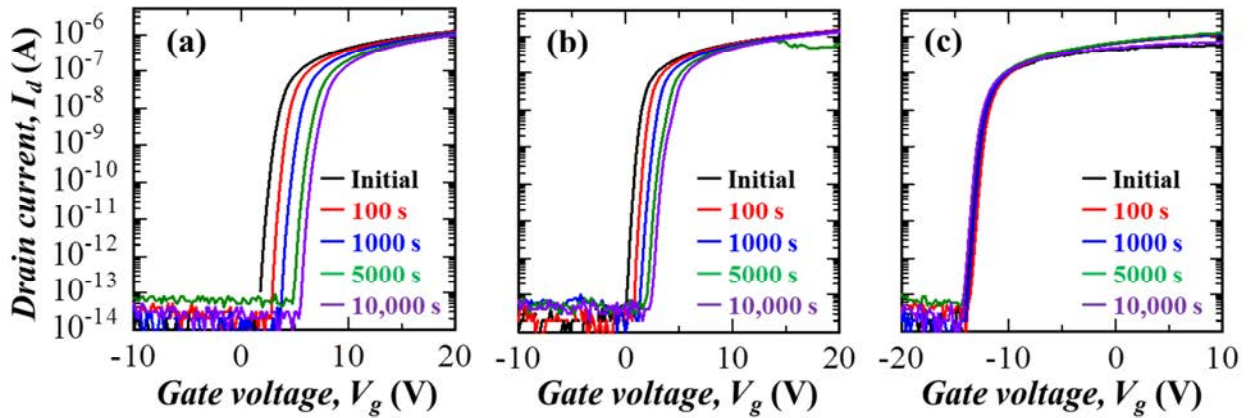


図 2.3 $N_2O/SiH_4 =$ (a) 120/2 sccm、(b) 50/2 sccm、(c) 40/2 sccm で SiO_x ESL の成膜を行った IGZO TFT の PBTS 試験における TFT 特性の変化 ($V_d = 0.1$ V, $\Delta V_{th0} = 20$ V, $T_s = 100$ °C)

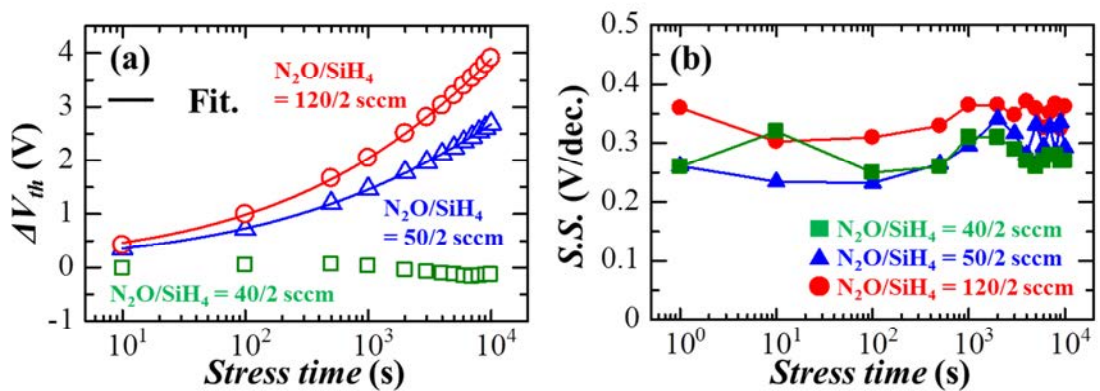


図 2.4 (a) ΔV_{th} 、(b) S.S. のストレス時間依存性

図 2.4 (a) 中の実線は、 $\text{N}_2\text{O}/\text{SiH}_4 = 50, 120/2 \text{ sccm}$ における ΔV_{th} の t_s 依存性の (2.2) 式を用いたフィッティング結果であり、フィッティングにより抽出された α 、 β 、 τ についてそれぞれ表 2.4 にまとめた。尚、フィッティングの際は $\Delta V_{\text{th}0} = 20 \text{ V}$ とした。確認された S.S. の変化を伴わない V_{th} の正シフトは、IGZO TFT で典型的に見られる PBTS 信頼性試験における特性劣化であり、図 2.4 (a) に示す様に ΔV_{th} のストレス時間依存性が Stretched-Exponential 式により非常によくフィッティングできたことから、フロントチャネルへの電子トラップが V_{th} の正シフトの主要因であることが考えられる。また $\text{N}_2\text{O}/\text{SiH}_4$ 流量比が $120/2 \text{ sccm}$ から $50/2 \text{ sccm}$ に減少した際、 ΔV_{th} は減少したが、抽出したフィッティングパラメータを見ると、この結果はフロントチャネル界面の品質に関連する α の減少 ($\text{N}_2\text{O}/\text{SiH}_4 = 120/2 \text{ sccm}$: 0.72、 $\text{N}_2\text{O}/\text{SiH}_4 = 50/2 \text{ sccm}$: 0.58) として表れている。従って、この結果は TFT 初期特性における ΔV_{H} の減少と同様、 $\text{N}_2\text{O}/\text{SiH}_4$ 比の減少に伴いフロントチャネル界面の電子トラップ密度が減少していることを示唆している。

表 2.4 図 2.4 におけるフィッティングパラメータ

$\text{N}_2\text{O}/\text{SiH}_4 [\text{sccm}]$	120/2	50/2
α	0.72	0.58
β	0.34	0.33
$\tau [\text{s}]$	4.6×10^4	4.0×10^4

2.5 SIMS (Secondary-Ion Mass Spectrometry) による膜中水素量の評価

2.3 で述べた様に、 SiO_x ESL 成膜時の $\text{N}_2\text{O}/\text{SiH}_4$ 比の減少に伴い TFT の V_{th} は負シフトした。この結果は、 $\text{N}_2\text{O}/\text{SiH}_4$ 比の減少に伴い IGZO チャネルのキャリア濃度が増加していることを示唆している。一方で $\text{N}_2\text{O}/\text{SiH}_4$ 比減少に伴い、TFT の S.S.、 ΔV_{H} 、また PBTS 信頼性試験における ΔV_{th} は減少 (改善) したことから、 $\text{N}_2\text{O}/\text{SiH}_4$ 比の減少に伴い IGZO チャネル中、及びフロントチャネル (GI/IGZO) 界面の電子トラップ密度が減少していることが考えられた。バックチャネル (IGZO/ESL) 界面の形成条件 ($\text{N}_2\text{O}/\text{SiH}_4$ 比) が、IGZO チャネルのキャリア濃度、及びチャネル内、フロントチャネル界面の欠陥準位密度に影響を及ぼす理由として、 SiO_x ESL から IGZO チャネル中への拡散水素量の変化が考えられた。そこで、Secondary-Ion Mass Spectrometry (SIMS) による IGZO/ SiO_x 積層膜中の水素量の評価を行った。

SIMS 測定には、 n^+ Si 基板 ($0.02 \Omega\text{cm}$) 上に IGZO/ SiO_x を積層したサンプルを用いた。その際、

SIMS プロファイルにおいて見られる界面付近での急激なイオンカウント数の変化（界面効果）の影響を緩和し、明確な IGZO 膜中水素プロファイルを得る為に、IGZO、 SiO_x の膜厚はそれぞれ 100 nm、50 nm とした。また一次イオン源として Cs^+ イオンを用い、その他表 2.5 にまとめた条件で SIMS 測定を行った。

表 2.5 SIMS 測定条件

加速電圧 [kV]	3.0
照射電流 [nA]	200
イオンビーム照射面積 [μm 四方]	600
質量分析範囲 (Aperture) [%]	9

図 2.5 は SIMS により測定した、各 $\text{N}_2\text{O}/\text{SiH}_4$ 比における IGZO/ SiO_x 積層膜中の H ($m/z = 1.2$)、O ($m/z = 18$)、Si ($m/z = 30$) のプロファイルである。図中の実線はアニール前、破線は TFT と同様に、 N_2 雰囲気中で 350 $^{\circ}\text{C}$ 、1 時間のアニール処理を行った後のプロファイルである。アニール前の各 $\text{N}_2\text{O}/\text{SiH}_4$ 比における O、Si のプロファイルにはほとんど差が見られないのに対し、 $\text{N}_2\text{O}/\text{SiH}_4$ 比の減少に伴い IGZO/ SiO_x 界面付近での H イオンカウント数が増加していることが分かる。さらにアニール後のプロファイルを見ると、アニール前と同様に O、Si のプロファイルにはほとんど変化が見られないのに対し、全てのサンプルにおいて SiO_x 膜から IGZO 膜中方向への水素拡散が確認され、またその拡散量は $\text{N}_2\text{O}/\text{SiH}_4$ 比の減少に伴い増大していることが明らかとなった。

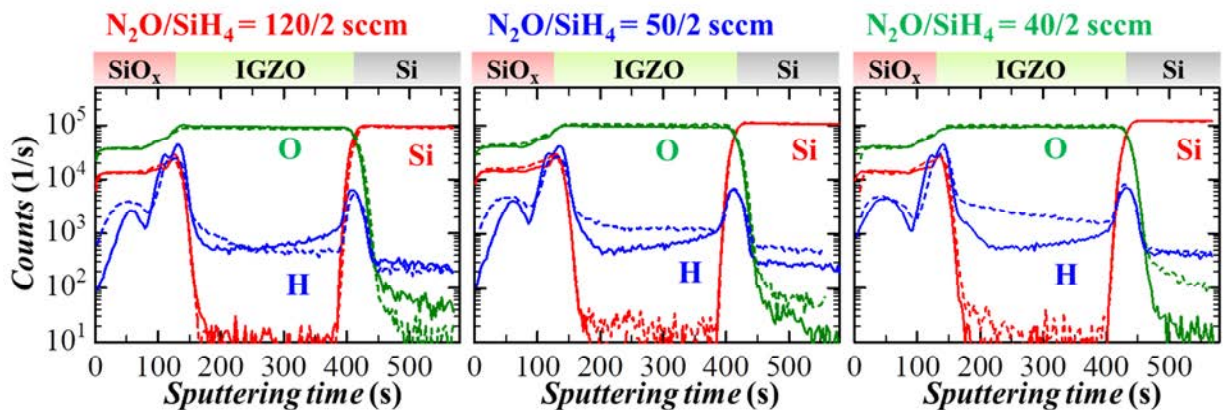


図 2.5 SIMS により測定した各 $\text{N}_2\text{O}/\text{SiH}_4$ 流量比における IGZO/ SiO_x 積層膜中の H, O, Si プロファイル (実線: アニール前、破線: アニール後)

2.6 TFT の閾値電圧と膜中水素量の量的関係性

IGZO/SiO_x 積層膜の SIMS による評価結果から、アニール処理によって SiO_x から IGZO 膜内に水素が拡散していることが分かり、さらにその拡散量は N₂O/SiH₄ 比の減少に伴い増大していることが明らかとなった。この結果から、SiO_x ESL から拡散した水素は IGZO のキャリア濃度を増加させるシャロードナーとして働いており、N₂O/SiH₄ 流量比の減少に伴いその拡散水素量が増加した結果、TFT の V_{th} が負シフトしたことが考えられた。そこで N₂O/SiH₄ 比を減少させた際の V_{th} 変化量と、膜中水素増加量の量的関係性について調べた。

図 2.6 は、図 2.5 における各 N₂O/SiH₄ 比でのアニール後の水素プロファイル線を線形スケールで表したものである。拡散による IGZO 膜中水素量の勾配が見られ、特に N₂O/SiH₄ = 40/2 sccm の際、IGZO/SiO_x 界面付近に多量の水素が存在していることが分かる。そこで図 2.6 中に示す様に、TFT のバックチャネル (IGZO/SiO_x 界面付近)、フロントチャネル (IGZO 膜厚: 45 nm 程度) 領域にそれぞれ対応する IGZO 膜厚における水素カウント数 (H_{back}, H_{front}) をそれぞれ抽出した。そして N₂O/SiH₄ = 120/2 sccm における H_{back}, H_{front} を基準として、N₂O/SiH₄ = 50/2, 40/2 sccm における水素カウント増分 (ΔH_{back}, ΔH_{front}) を算出した。また同じく N₂O/SiH₄ = 120/2 sccm の際の V_{th} を基準として、N₂O/SiH₄ = 50/2, 40/2 sccm における V_{th} 変化量 (ΔV_{th, initial}) を算出した。

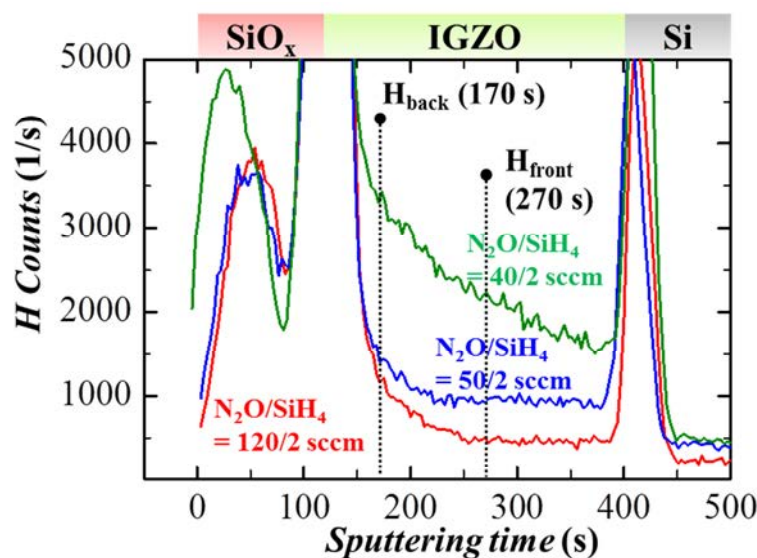


図 2.6 アニール後の IGZO/SiO_x 積層膜中の H プロファイル

表 2.6 に、各 $\text{N}_2\text{O}/\text{SiH}_4$ 比における H_{back} , H_{front} 、及び $\text{N}_2\text{O}/\text{SiH}_4 = 120/2$ sccm を基準として算出した $\text{N}_2\text{O}/\text{SiH}_4 = 50/2, 40/2$ sccm における ΔH_{back} , ΔH_{front} , ΔV_{th} についてまとめた。ここで、 SiO_x ESL からの拡散水素が全てシャロードナーとして働き、IGZO チャンルのキャリア濃度を上昇させるのであれば、水素 1 カウント増分あたりの V_{th} 変化量 ($\Delta V_{\text{th_initial}} / \Delta H_{\text{back, front}}$) は常に一定となるはずである。そこで $\text{N}_2\text{O}/\text{SiH}_4 = 50/2, 40/2$ sccm の際のバック・フロントチャンネル領域における $\Delta V_{\text{th_initial}} / \Delta H_{\text{back, front}}$ について同じく表 2.6 にまとめた。 $\Delta V_{\text{th_initial}} / \Delta H_{\text{back}}$ は、 $\text{N}_2\text{O}/\text{SiH}_4 = 50/2$ sccm の際 -9.0×10^{-3} V/count、 $\text{N}_2\text{O}/\text{SiH}_4 = 40/2$ sccm の際 -7.1×10^{-3} V/count であり、一致しなかった。また $\Delta V_{\text{th_initial}} / \Delta H_{\text{front}}$ も、 $\text{N}_2\text{O}/\text{SiH}_4 = 50/2$ sccm の際 -4.3×10^{-3} V/count、 $\text{N}_2\text{O}/\text{SiH}_4 = 40/2$ sccm の際 -9.7×10^{-3} V/count であり、一致しなかった。この結果、膜中水素量増加に伴う V_{th} の変化量は、バック・フロントチャンネル領域共に一定でないことが明らかとなった。

表 2.6 各 $\text{N}_2\text{O}/\text{SiH}_4$ 比での H_{back} , H_{front} 、及び $\text{N}_2\text{O}/\text{SiH}_4 = 120/2$ sccm を基準として算出した $\text{N}_2\text{O}/\text{SiH}_4 = 50/2, 40/2$ sccm における ΔH_{back} , ΔH_{front} , $\Delta V_{\text{th_initial}}$, $\Delta V_{\text{th_initial}} / \Delta H_{\text{back}}$, $\Delta V_{\text{th_initial}} / \Delta H_{\text{front}}$

$\text{N}_2\text{O}/\text{SiH}_4$ [sccm]	120/2	50/2	40/2
H_{back} [counts/s]	1200	1400	3500
H_{front} [counts/s]	510	920	2200
ΔH_{back} [counts/s]	-	200	2300
ΔH_{front} [counts/s]	-	410	1690
$\Delta V_{\text{th_initial}}$ [V]	-	-1.8	-16.4
$\Delta V_{\text{th_initial}} / \Delta H_{\text{back}}$ [V/count]	-	-9.0×10^{-3}	-7.1×10^{-3}
$\Delta V_{\text{th_initial}} / \Delta H_{\text{front}}$ [V/count]	-	-4.4×10^{-3}	-9.7×10^{-3}

2.7 TFT の C-V 特性とキャリア濃度・膜中水素量の量的関係性に関する考察

2.6 で述べた様に、 $\text{N}_2\text{O}/\text{SiH}_4$ 比を $\text{N}_2\text{O}/\text{SiH}_4 = 120/2$ sccm から 50/2, 40/2 sccm にそれぞれ減少させた際、IGZO チャンルの膜中水素量増加に伴う V_{th} 変化量が一定でないことが明らかとなった。その理由を調べる為に、各 IGZO TFT の C-V (Capacitance - Voltage) 特性の評価を行った。

TFT の C-V 特性の評価は、LCR メーター (Agilent E4980A) を用いて行った。その際図 2.7 (a) に示す様に、TFT の S/D 電極は短絡させた状態で接地し、ゲート電極とダイオード接続した。S/D 電極を短絡させることにより、バックチャンネル界面が同電位となってゲート電極と平行平板

を形成する為、通常の MOS ダイオードの場合と同様、ゲート電極に V_g を印加した場合の合計容量 (C_{total}) は、IGZO チャネルの空乏層容量 (C_{IGZO}) と GI の容量 (C_{GI}) の直列として、以下の式

$$\frac{1}{C_{total}} = \frac{1}{C_{IGZO}} + \frac{1}{C_{GI}} \quad (2.4)$$

により与えられる[22]。TFT のゲート電極に正の V_g を印加するで IGZO チャネルが蓄積状態になると、(2.4) 式に表される様に C_{total} はほぼ C_{GI} と等しい値に飽和する。一方、 V_g を負方向に掃引していくことにより、フロントチャネル界面から形成され始める空乏層幅の増大に伴い C_{total} は減少していき、やがてチャネルが完全に空乏化すると C_{total} は最小値 ($C_{MIN.}$) で飽和する。尚、第一章 1.4.2 で述べた様に、IGZO TFT では大きな負の V_g を印加した場合でも反転層は形成されない。

図 2.7 (b) は周波数 (f) 1 kHz で測定した、各 N_2O/SiH_4 比における TFT の C-V 特性である。 $N_2O/SiH_4 = 50/2, 120/2$ sccm の際は、負の V_g 印加による $C_{MIN.}$ の飽和が確認出来るが、 $N_2O/SiH_4 = 40/2$ sccm の際、 $V_g = -20$ V においても $C_{MIN.}$ の飽和が見られず、チャネルが完全に空乏化していないことが分かる。さらに $N_2O/SiH_4 = 40/2$ sccm における C-V 曲線には、図 2.7 (b) 中に示す様に二箇所の変曲点 P_1 、 P_2 が確認された。

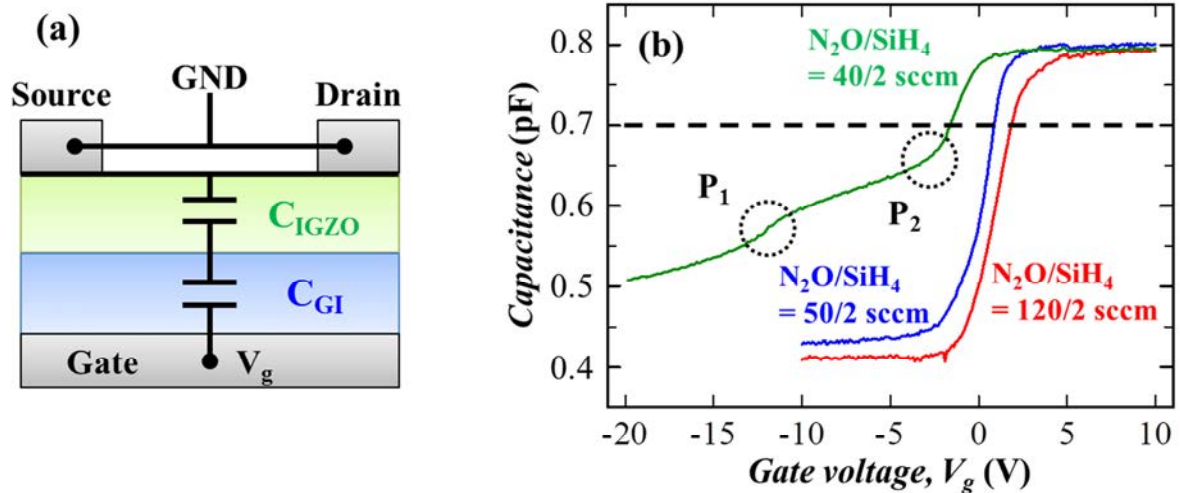


図 2.7 (a) TFT の C-V 特性評価の概念図、及び (b) 各 N_2O/SiH_4 流量比で ESL の成膜を行った IGZO TFT の C-V 特性 ($f = 1$ kHz, $W/L = 50/20$ μm)

$N_2O/SiH_4 = 40/2$ sccm における TFT の C-V 特性について、以下の様に考察した。まず 2.6 で述べた様に、SIMS による測定の結果、 $N_2O/SiH_4 = 40/2$ sccm の際はバックチャネル界面付近に多量の水素が拡散していることが分かった。従って多量の水素拡散により TFT のバックチャネル領域に低抵抗層が形成された為、大きな負の V_g を印加した場合でもチャネル全域が空乏化されず、 C_{MIN} が飽和しなかったことが考えられる。一方で P_2 以降においては、他の TFT と同様に C-V 曲線の急峻な立ち上がりが確認出来る。これはフロントチャネル界面付近における空乏状態から蓄積状態への遷移を意味している。従って $N_2O/SiH_4 = 40/2$ sccm においても、フロントチャネル界面付近のキャリア濃度は負の V_g 印加により空乏化出来る範囲にあることが分かる。

以上の C-V 特性に対する考察から、 $N_2O/SiH_4 = 40/2$ sccm における TFT では、正方向への V_g の掃引によりバックチャネルのキャリア濃度がある閾値を越えた際、 I_d がバックチャネルの低抵抗領域を流れ始めることでスイッチング動作していることが考えられる。また図 2.7 (b) 中に示す様に、 $N_2O/SiH_4 = 40/2$ sccm における C-V 曲線には TFT の V_{th} ($V_g = -13.7$ V) 付近に変曲点 P_1 が確認できる。従って、 $N_2O/SiH_4 = 40/2$ sccm における TFT の V_{th} はフロントチャネルのキャリア濃度の示標ではないと言え、その為に IGZO チャネルの膜中水素増加量と V_{th} 変化量が対応しなかったことが考えられる。一方で、 P_2 以降の点では他の TFT と同様、フロントチャネルにおける空乏状態から蓄積状態の遷移を意味する C-V 曲線の急峻な立ち上がりが見られた。従ってフロントチャネルのキャリア濃度の示標として、各 TFT の C-V 特性における閾値電圧 (V_c) を定義し、フロントチャネルにおける膜中水素増加量とキャリア濃度増加量の量的関係性について再び考察した。

本研究では、 V_c を P_2 以降の $C = 0.7$ pF となる V_g と定義した。各 N_2O/SiH_4 流量比における V_c と、 N_2O/SiH_4 流量比を $N_2O/SiH_4 = 120/2$ sccm から $50/2$, $40/2$ sccm にそれぞれ減少させた際の V_c の変化量 (ΔV_c)、さらにフロントチャネルにおける水素 1 カウント増分に対する ΔV_c ($\Delta V_c / \Delta H_{front}$) について、それぞれ表 2.6 にまとめた。表 2.6 に示す様に、 $\Delta V_c / \Delta H_{front}$ は $N_2O/SiH_4 = 50/2$ sccm の際 -2.2×10^{-3} V/count、 $N_2O/SiH_4 = 40/2$ sccm の際 -2.0×10^{-3} V/count であり、ほぼ一致したことから、TFT のフロントチャネル領域では、膜内水素量の増加に伴いキャリア濃度が一定の割合で増加していると言える。この結果は、 SiO_x ESL から IGZO チャネル中に拡散した水素は、そのほぼ全てがシャロードナーとして働いていることを示唆している。

表 2.7 各 N_2O/SiH_4 流量比での V_c 、及び $N_2O/SiH_4 = 120/2$ sccm を基準として算出した $N_2O/SiH_4 = 50/2$, $40/2$ sccm における ΔV_c と $\Delta V_c / \Delta H_{front}$

N_2O/SiH_4 [sccm]	120/2	50/2	40/2
V_c [V]	1.8	0.9	-1.6
ΔV_c [V]	-	-0.9	-3.4
$\Delta V_c / \Delta H_{front}$ [V/count]	-	-2.2×10^{-3}	-2.0×10^{-3}

2.8 まとめ

本研究では、PE-CVD 法により異なる $\text{N}_2\text{O}/\text{SiH}_4$ 流量比で成膜した SiO_x ESL を有するボトムゲート型 IGZO TFT を作製し、 SiO_x ESL から IGZO チャネル中へ拡散した水素が TFT 特性・信頼性に与える影響について評価した。得られた知見について以下にまとめる。

SIMS により IGZO/ SiO_x 積層膜の評価を行った結果、アニールにより SiO_x から IGZO 中に水素が拡散しており、その拡散量は PE-CVD 法による SiO_x 成膜時の $\text{N}_2\text{O}/\text{SiH}_4$ 流量比の減少に伴い増加することを明らかにした。またフロントチャネルにおける IGZO 膜中水素増加量と、フロントチャネルのキャリア濃度の示標となる TFT の C-V 特性における閾値電圧 (V_c) のシフト量の量的関係性について評価したところ、膜中水素量増加に伴い V_c はほぼ一定の割合で変化していることを確かめた。この結果は、IGZO チャネル中に拡散した水素ほぼ全てがシャロードナーとして働いていることを示唆している。さらに TFT のバックチャネル (IGZO/ SiO_x) 領域に過剰な水素が存在する場合、バックチャネル領域に低抵抗層が形成されることにより TFT のスイッチングメカニズムが変化し、 V_{th} の大幅な負シフトを招くことを明らかにした。

一方で IGZO 膜中水素量の増加に伴い、TFT の S.S.、 ΔV_H 、また PBTS 信頼性試験における V_{th} シフト量 (ΔV_{th}) は減少した。これらの結果は、拡散水素によって IGZO チャネル内、及びフロントチャネル界面の電子トラップが終端されたことを示唆している。また過剰な水素拡散によりバックチャネル領域に低抵抗層が形成された TFT では、PBTS 試験における V_{th} シフトがほとんど確認されなかった。本研究における PBTS 試験では、各 TFT に対する実効的なストレス電圧を一定にする為に、ストレス電圧は $V_{th} + 20 \text{ V}$ と設定したが、バックチャネル領域に低抵抗層が形成された TFT の V_{th} は、フロントチャネルのキャリア濃度を反映した値では無いと考えられる為、実効的なストレス電圧の減少が、PBTS 試験において V_{th} がほとんど変化しなかった理由として考えられる。

以上にまとめた本研究成果により、 SiO_x ESL から IGZO チャネル中へ拡散した水素は、IGZO チャネル、及び絶縁膜界面の電子トラップを終端し TFT 特性・信頼性を向上させると同時に、そのほぼ全てがシャロードナーとして働き、チャネルのキャリア濃度を増加させるという結論を得た。従ってノーマリー・オフ特性を得る為には、拡散水素量を一定以下に抑える必要がある為、絶縁膜からの水素拡散による電子トラップの終端効果は実用上有限であると言えるが、本研究では IGZO TFT の特性・信頼性を制御する上で、絶縁膜からの拡散水素量を適切に制御することが重要であることを示した。

参考文献

- [1] K. Nomura, T. Kamiya, and H. Hosono, “Effects of diffusion of hydrogen and oxygen on electrical properties of amorphous oxide semiconductor, In-Ga-Zn-O”, ECS J. Solid State Sci. and Technol., **2** (2013) P5.
- [2] Y. Hanyu *et al.*, “Hydrogen passivation of electron trap in amorphous In-Ga-Zn-O thin-film transistors”, Appl. Phys. Lett., **103** (2013) 202114.
- [3] T. Miyase *et al.*, “Roles of hydrogen in amorphous oxide semiconductor In-Ga-Zn-O: comparison of conventional and ultra-high-vacuum sputtering”, ECS J. Solid State Sci. and Technol., **3** (2014) Q3085.
- [4] T. Kamiya, K. Nomura, and H. Hosono, “Origins of high mobility and low operation voltage of amorphous oxide TFTs: electronic structure, electron transport, defects and doping”, J. Display Technol., **5** (2009) 273.
- [5] H. J. Kim *et al.*, “Role of incorporated hydrogen on performance and photo-bias instability of indium gallium zinc oxide thin film transistors”, J. Phys. D: Appl. Phys., **46** (2013) 055104.
- [6] S.-I. Oh *et al.*, “Hydrogenated IGZO thin-film transistors using high-pressure hydrogen annealing”, IEEE Trans. on Electron Devices, **60** (2013) 2537.
- [7] B. D. Ahn *et al.*, “Comparison of the effects of Ar and H₂ plasmas on the performance of homojunctioned amorphous indium gallium zinc oxide thin film transistors”, Appl. Phys. Lett., **93** (2008) 203506.
- [8] S. Kim *et al.*, “Source/drain formation of self-aligned top-gate amorphous GaInZnO thin-film transistors by NH₃ plasma treatment”, IEEE Electron Device Lett., **30** (2009) 374.
- [9] T. Kamiya, K. Nomura, and H. Hosono, “Subgap states, doping and defect formation energies in amorphous oxide semiconductor a-InGaZnO₄ studied by density functional theory”, Phys. Stat. Sol. (a), **207** (2010) 1698.
- [10] H.-K. Noh, J.-S. Park, and K. J. Chang, “Effect of hydrogen incorporation on the negative bias illumination stress instability in amorphous In-Ga-Zn-O thin-film transistors”, Appl. Phys. Lett., **113** (2013) 063712.
- [11] W. Körner, D F. Urban, and C. Elsässer, “Origin of Subgap states in amorphous In-Ga-Zn-O”, Appl. Phys. Lett., **114** (2013) 163704.
- [12] A. Sato *et al.*, “Amorphous In-Ga-Zn-O coplanar homojunction thin-film transistor”, Appl. Phys. Lett., **94** (2009) 133502.
- [13] C.-H. Wu *et al.*, “Self-aligned top-gate coplanar In-Ga-Zn-O thin-film transistors”, J. Display Technol., **5** (2009) 515.
- [14] H. Kumomi *et al.*, “Materials, devices, and circuits of transparent amorphous-oxide semiconductor”, J. Display Technol., **5** (2009) 531.
- [15] M. Kim *et al.*, “High mobility bottom gate InGaZnO thin film transistors with SiO_x etch stopper”, Appl. Phys. Lett., **90** (2007) 212114.
- [16] J. Park *et al.*, “High-performance amorphous gallium indium zinc oxide thin-film transistors through N₂O plasma passivation”, Appl. Phys. Lett., **93** (2008) 053505.
- [17] H. Ohara *et al.*, “4.0-inch active-matrix organic light-emitting diode display integrated with driver circuits

using amorphous In-Ga-Zn-oxide thin-film transistors with suppressed variation”, Jpn. J. Appl. Phys., **49** (2010) 03CD02.

- [18] F. R. Libsch and J. Kanicki, “Biasstressinduced stretchedexponential time dependence of charge injection and trapping in amorphous thinfilm transistors”, Appl. Phys. Lett., **62** (1993) 1286.
- [19] J.-M. Lee *et al.*, “Bias-stress-induced stretched-exponential time dependence of threshold voltage shift in InGaZnO thin film transistors”, Appl. Phys. Lett., **93** (2008) 093504.
- [20] K. Nomura *et al.*, “Origin of threshold voltage shift in room-temperature deposited and annealed a-In—Ga—Zn—O thin-film transistors”, Appl. Phys. Lett., **95** (2009) 013502.
- [21] M. D. H. Chowdhury *et al.*, “Time-temperature dependence of positive gate bias stress and recovery in amorphous indium-gallium-zinc-oxide thin-film-transistors”, Appl. Phys. Lett., **98** (2011) 153511.
- [22] S. M. Sze 著, 南日 康負 他, 訳, “半導体デバイス（第2版）—基礎理論とプロセス技術”, 産業図書株式会社, (2004).

第三章

成膜時の H_2 ガス導入が IGZO 薄膜物性、及び TFT 特性・信頼性に与える影響

3.1 はじめに

第二章に記した研究成果により、チャンネル保護絶縁膜から拡散した水素は、IGZO チャンネル中の電子トラップを終端し、TFT 特性・信頼性を向上させる一方で、そのほとんどが IGZO チャンネルのキャリア濃度を増加させるシャロードナーとして働く為に、閾値電圧 (V_{th}) の負シフトを招くことが明らかとなった。この結果と同様に、 H_2 雰囲気でのアニーリングや、 H_2 また NH_3 プラズマ処理、 H^+ イオン注入などにより膜中水素量を増加させた場合、IGZO のキャリア濃度が増加することが報告されていることから[1-7]、成膜後に IGZO 膜中に取り込まれた水素は、ほぼ全ての場合においてシャロードナーとして働くことが考えられる。従って第二章の結論で述べた様に、IGZO 成膜後の水素ドーピングによる IGZO チャンネル、及び絶縁膜界面の電子トラップ密度の低減効果は、実用上 TFT の V_{th} が 0 V 以上（ノーマリー・オフ特性）となる範囲に限定されると言える。

一方でスパッタ成膜した IGZO 膜中には、真空チャンバー内、及びターゲット表面の残留水分を起源とした 10^{19} cm^{-3} を越える多量の不純物水素が存在しているにも拘らず、IGZO のキャリア濃度は 10^{17} cm^{-3} 以下であることが報告されている[4,5,8]。さらに、 H_2O 雰囲気でのポストアニール（wet O_2 アニール）処理により IGZO 膜中水素濃度を増加させた場合、ノーマリー・オフ特性を維持したまま TFT 特性・信頼性が向上することが報告されている[9]。これらの結果は、水素と同時に酸素を IGZO 膜中に取り込ませた場合、チャンネルのキャリア濃度の増加を抑制しつつ、効果的に電子トラップ密度を低減出来ることを示唆している。従って、チャンネル成膜時に意図的に水素を導入することにより、 V_{th} の負シフトを抑制しながら、IGZO TFT の特性・信頼性を向上出来るのではないかと考えた。

従来研究では、超高真空スパッタ装置（UHV, 背圧: $\sim 10^{-7} \text{ Pa}$ ）を用いた IGZO の成膜が試みら

れ、成膜時に取り込まれる膜中水素濃度を減少させることによる、IGZO 薄膜物性及び TFT 特性・信頼性の変化が報告されている[8]。また反対に、H₂O 導入 DC マグネトロンスパッタ法による IGZO の成膜も試みられており、成膜時の H₂O 導入が IGZO 薄膜物性、及び TFT 特性に与える影響について報告されている[10,11]。しかしながらこれらの従来研究の様に、成膜時のチャンバー内の残留水分、及び水分圧 (P[H₂O]) を変化させた場合、IGZO 膜中水素濃度と同時に、膜中酸素濃度も変化することが考えられ、成膜時に取り込まれる水素と酸素の影響を切り分けることは困難であることが考えられる。

従って本研究では、成膜時の O₂ 分圧 (P[O₂]) を固定した状態で、H₂ ガスを導入した DC マグネトロンスパッタ法により IGZO を成膜することにより、成膜時の積極的な水素導入が IGZO 薄膜物性、及び TFT 特性・信頼性に与える影響について調べた。筆者が調べた限り、H₂ ガスを導入したスパッタ法による IGZO 成膜はこれまでに報告されていない。

3.2 H₂ ガス導入 DC マグネトロンスパッタ法による IGZO 成膜条件

本研究では、成膜ガスとして O₂、Ar 及び Ar 希釈 H₂ ガス (H₂/H₂+Ar = 10%) を用いた DC マグネトロンスパッタ法により IGZO の成膜を行った。成膜時の H₂ ガス導入が IGZO 膜中水素濃度に与える影響を評価する為に、総ガス流量に対する H₂ ガス流量比 (10%換算、R[H₂]) = 0, 2, 3.3% で IGZO の成膜を行った。また全ての成膜条件において O₂ ガス流量、及び総ガス流量をそれぞれ 0.6 sccm と 30.0 sccm に固定することにより、総ガス流量に対する O₂ ガス流量比 (R[O₂])、及び P[O₂] はそれぞれ R[O₂] = 2%、P[O₂] = 10⁻² Pa に固定した。

各成膜条件における O₂、Ar 及び Ar 希釈 H₂ ガス流量について表 3.1 にまとめる。成膜時に基板加熱は行わず、その他の成膜条件は第二章表 2.1 に示した条件と同じである。尚、各条件における成膜速度はほぼ等しく ~13 nm/min であった。またアニールによる IGZO 膜中水素濃度、及び薄膜物性の変化を調べる為に、ホットプレートを用いて大気雰囲気中で 300 °C、1 時間の条件で各 R[H₂] で成膜した IGZO のアニーリングを行った。

表 3.1 R[H₂] = 0, 2, 3.3% における O₂、Ar 及び Ar 希釈 H₂ ガス流量

R[H ₂] (%)	0	2	3.3
Ar ガス流量 [sccm]	29.4	23.4	19.4
O ₂ ガス流量 [sccm]	0.6	←	←
Ar 希釈 H ₂ ガス流量 [sccm]	0.0	6.0	10.0

3.3 膜中水素濃度と体積抵抗率

① IGZO 膜中水素濃度

Secondary-Ion Mass Spectrometry (SIMS) により各 $R[H_2]$ で Si 基板上に成膜した IGZO (130 nm) の膜中水素濃度の評価を行った。SIMS 測定条件は第二章、表 2.5 に示した条件と同じである。また水素濃度が既知の IGZO を標準試料として用いることにより、IGZO 膜中水素濃度の定量化を行った。

図 3.1 に SIMS により測定、定量化を行った各 $R[H_2]$ における IGZO 膜中水素濃度、及び O、Si イオンカウント数を示す。実線はアニール前、破線は大気雰囲気で 300 °C、1 時間の条件でアニール処理を行った後のプロファイルである。また表 3.2 に各 $R[H_2]$ におけるアニール前後の IGZO 膜中水素濃度をまとめた。

図 3.1 及び表 3.2 に示す様に、 H_2 ガスを導入せず成膜したアニール前の IGZO 膜中には ($R[H_2] = 0\%$)、従来研究による報告と同様 $8 \times 10^{19} \text{ cm}^{-3}$ の水素が含まれていることを確かめた。尚、IGZO 成膜前の背圧は $\sim 5 \times 10^{-5} \text{ Pa}$ であった。また成膜時に H_2 ガスを導入し、 $R[H_2] = 2\%$ で成膜した IGZO の膜中水素濃度は $2 \times 10^{21} \text{ cm}^{-3}$ であり、 H_2 ガスを導入しなかった場合に比べ 25 倍増加した。さらに $R[H_2] = 3.3\%$ で成膜した IGZO の膜中水素濃度は $4 \times 10^{21} \text{ cm}^{-3}$ であり、 $R[H_2]$ の増加に伴い IGZO 膜中水素濃度が増加することを確認した。

アニール後の膜中水素濃度を見ると、 $R[H_2] = 2, 3.3\%$ の際はアニール前後でほとんど変化が見られないのに対し、 $R[H_2] = 0\%$ で成膜した IGZO では、アニールに伴う表面から膜内方向への水素拡散が見られ、IGZO 膜中水素濃度は $1\text{--}4 \times 10^{20} \text{ cm}^{-3}$ に増加した。これは、アニールによる大気中の水分の拡散であることが考えられる。

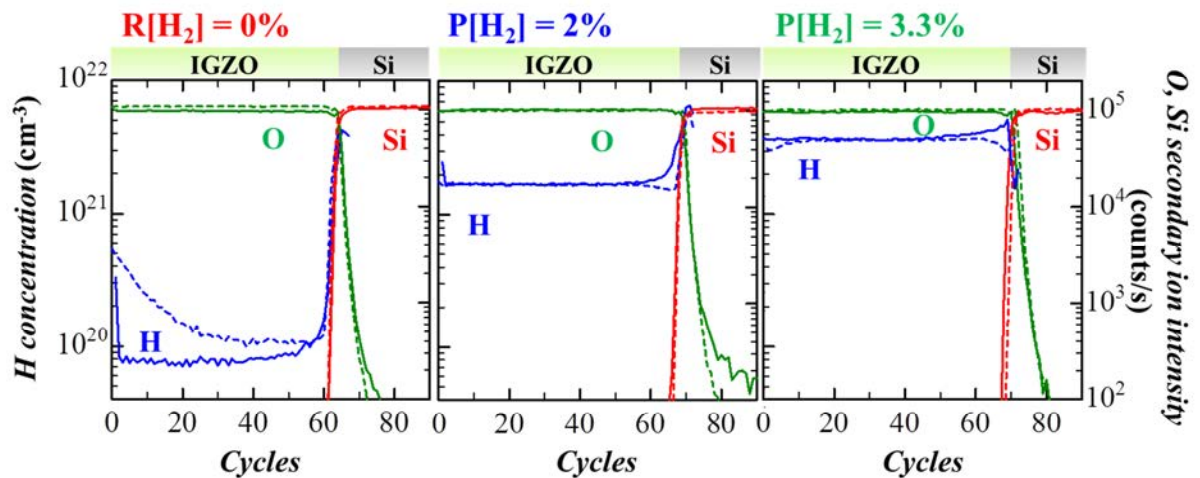


図 3.1 各 $R[H_2]$ で成膜した IGZO 膜中水素濃度と Si, O イオンカウント数
(実線: アニール前、破線: アニール後)

表 3.2 R[H₂] = 0, 2, 3.3% で成膜した IGZO のアニール前後の膜中水素濃度と体積抵抗率

R[H ₂] (%)		0	2	3.3
膜中水素濃度 (cm ⁻³)	アニール前	8×10 ¹⁹	2×10 ²¹	4×10 ²¹
	アニール後	1-4×10 ²⁰	2×10 ²¹	4×10 ²¹
体積抵抗率 (Ω·cm)	アニール前	3.9×10 ⁵	8.6×10 ⁻²	2.1×10 ⁻²
	アニール後	2.0×10 ⁻¹	3.3×10 ⁶	3.9×10 ⁷

② IGZO 体積抵抗率

各 R[H₂] でガラス基板上に成膜した IGZO (130 nm) の、表面抵抗率計により測定したアニール前後の体積抵抗率について、膜中水素濃度と同じく表 3.2 にまとめた。

R[H₂] = 0% で成膜した IGZO のアニール前の体積抵抗率は 3.9×10⁵ Ω·cm であり、キャリア濃度は 10¹⁷ cm⁻³ 以下であることが推定される。また成膜時に H₂ ガスを導入し、R[H₂] = 2, 3% で成膜した IGZO の体積抵抗率はそれぞれ 8.6×10⁻² Ω·cm、2.1×10⁻² Ω·cm であり、ホール効果測定で評価したキャリア濃度はそれぞれ 4.7×10¹⁸, 1.1×10¹⁹ cm⁻³ であった。

一方アニール後の体積抵抗率を見ると、R[H₂] = 0% で成膜した IGZO の体積抵抗率は 2.0×10⁻¹ Ω·cm に減少したのに対し、R[H₂] = 2, 3% で成膜した IGZO の体積抵抗率はそれぞれ 3.3×10⁶ Ω·cm、3.9×10⁷ Ω·cm と大幅に増大した。さらにアニール前とは反対に、アニール後の体積抵抗率は R[H₂] の増加に伴い増大した。

③ IGZO 膜中水素濃度と体積抵抗率の関係に関する考察

フーリエ変換赤外分光 (FT-IR) やラマン分光による測定の結果[4]、また密度汎関数法 (DFT, Density Functional Theory) による計算結果により[3]、IGZO 中の不純物水素はほとんどの場合 -OH として存在していることが示されており[4,12]、水素がシャロードナーとして働く理由は単純には水素と酸素それぞれの荷数 (H⁺, O²⁻) により理解される。また他の DFT の計算により、IGZO 膜中の水素は格子間水素 (H_i) 及び酸素欠損 (V_o) を置換した水素 (H_o) 等、どのような結合状態で IGZO 中に存在したとしても、IGZO のフェルミレベル (E_F) を伝導帯側にシフトさせることが示されている[13,14]。

一方で、スパッタ成膜した IGZO 膜中には多量の不純物水素と同様に、弱結合 (過剰) 酸素が取り込まれており、この過剰酸素 (O_{ex}⁰) は IGZO 中の電子を捕獲することにより負に帯電 (O_{ex}⁻) し、IGZO のキャリア濃度を減少させることが報告されている[8, 15]。従って、スパッタ成膜した IGZO 膜中には 10¹⁹ cm⁻³ を越える水素が含まれているに関わらず、キャリア濃度が 10¹⁷ cm⁻³ 以下である理由として、成膜時に IGZO 膜中に取り込まれた水素により生成された電子が、同じく成膜時、またアニールにより膜中に取り込まれた過剰酸素に捕獲 (補償) されるといった、過剰酸素によるキャリア補償モデルが提案されている[4,7,8]。このモデルの妥当性を支持する実験

結果として、通常のスパッタ装置 (STD, 背圧: $\sim 10^{-4}$ Pa) と、前述した超高真空スパッタ装置 (UHV, 背圧: $\sim 10^{-7}$ Pa) を用いて同様の条件で成膜した IGZO を比較した際、STD で成膜した IGZO の導電率は $10^{-6} - 10^{-3}$ S/cm であるのに対し、UHV で成膜した IGZO の導電率は $\sim 10^{-10}$ S/cm であることが報告されている[8]。

本研究において H_2 ガス導入無しの従来条件 ($\text{R}[\text{H}_2] = 0\%$) でスパッタ成膜した IGZO は、従来研究による報告と同様に、 10^{19} cm^{-3} の越える多量の水素を含んでいるにも関わらず $3.9 \times 10^5 \Omega \cdot \text{cm}$ という高い体積抵抗率を示し、キャリア濃度は 10^{17} cm^{-3} 以下であることが推定された。また $\text{R}[\text{H}_2] = 3.3\%$ で成膜した IGZO では、膜中水素濃度が $4 \times 10^{21} \text{ cm}^{-3}$ であったのに対し、キャリア濃度は $1.1 \times 10^{19} \text{ cm}^{-3}$ であり、膜中水素濃度とキャリア濃度には 2 桁以上の差が見られた。これらの理由として、前述した過剰酸素によるキャリア補償が考えられる。

また $\text{R}[\text{H}_2] = 0\%$ で成膜した IGZO を大気雰囲気中でアニールした場合、表面から膜中への水素拡散が見られ、体積抵抗率は減少した。図 3.1 に示す様に、IGZO 中の酸素のイオンカウント数は飽和している為、アニール前後での膜中酸素量の変化は不明であるが、大気中の水分の拡散であるならば、水素と共に酸素も拡散していることが考えられる。その場合アニール後に体積抵抗率が減少した理由としては、酸素に比べ水素の拡散係数ははるかに大きいこと (200°C において水素: $\sim 2.6 \times 10^{-15} \text{ cm}^2 \text{ s}^{-1}$ 、酸素: $3 \times 10^{-17} \text{ cm}^2 \text{ s}^{-1}$) [4]、またアニールによる膜中の過剰酸素の脱離が考えられる。

一方で $\text{R}[\text{H}_2] = 2, 3\%$ で成膜した IGZO では、アニール前後における膜中水素濃度の変化が見られないにも関わらず、アニール後に体積抵抗率が大幅に増大し、さらにアニール前とは対照的に、 $\text{R}[\text{H}_2]$ 及び膜中水素濃度の増加に伴い体積抵抗率が増大した。この理由として、アニールにより水素の結合状態が変化した可能性も考えられるが、前述の様に DFT の計算結果では IGZO 膜中の水素はどのような結合状態であったとしてもシャロードナーとして働くことが示されている。また H_2 や H_2O として膜中に存在していることも考えられるが、その場合気体となり膜中から脱離することが考えられる。

本研究における IGZO の成膜時の基板-ターゲット間距離は 88 mm、成膜圧力は 1 Pa である。1 Pa における気体分子の平均自由行程を 70 mm と仮定すると、成膜時に導入した H_2 は基板に到達するまでに最低 1 回 O_2 と衝突することになり、その場合水素は OH として IGZO 膜中に取り込まれていることが考えられる。従って $\text{R}[\text{H}_2]$ の増加に伴い膜中水素濃度が増加していることから、同じく $\text{R}[\text{H}_2]$ の増加に伴い膜中酸素濃度が増加していることが考えられる。その場合アニール前のキャリア濃度が $\text{R}[\text{H}_2]$ の増加に伴い増加した理由としては、水素を含んだプラズマによる還元効果によって、IGZO 膜中の V_O 量が同時に増加している可能性が考えられる。そしてアニールにより V_O が減少した結果、過剰酸素によるキャリア補償効果が支配的になり、キャリア濃度が減少したのではないかと考える。しかしながら前述の様に、本研究における SIMS 測定の結果では IGZO 膜中酸素量に違いが見られていない為、この考察の妥当性を検証する為には、各 $\text{R}[\text{H}_2]$ で成膜した IGZO 薄膜の昇温脱離ガス分析 (TDS, Thermal Desorption Spectrum) 等による更なる解析が必要である。

3.4 光学バンドギャップ

分光光度計により各 R[H₂]で石英基板上に成膜した IGZO (膜厚:d = 130 nm) の、紫外-可視光領域における透過率 (T)・反射率 (R) を測定し、以下の式

$$\alpha = -\ln \left[\frac{T}{(1-R)} \right] / d \quad (3.1)$$

を用いて吸収係数 (α) を算出した[16]。図 3.2 (a,b) はそれぞれアニール前後の各 R[H₂]で成膜した IGZO の α の光エネルギー ($E = h\nu$, h : プランク数、 ν : 光の振動数) 依存性を示す。また、図 3.3 (a,b) に示した Tauc プロットにより評価したアニール前後の光学バンドギャップ (E_g) について表 3.3 にまとめた。

図 3.2 (a) に示す様に、アニール前の IGZO の光吸収端は R[H₂]の増加により高エネルギー側にシフトした。その結果、図 3.3 (a) 及び表 3.3 に示す様に、R[H₂] = 0, 2, 3%における E_g はそれぞれ 3.00, 3.10, 3.21 eV と、R[H₂]の増加に伴い増大した。また図 3.3 (b) 及び表 3.3 に示す様に、アニール後の E_g はアニール前の R[H₂]の違いによる差をほぼ保ったまま、0.6 ~ 0.8 eV 一様に増大した。

アニール前の R[H₂]の増加に伴う E_g 増大は、R[H₂]の増加に伴いキャリア濃度も増加していることから、過剰に生成されたキャリアが伝導帯底部を占有することにより、見かけ上の E_g が増大する Burstein-Moss シフトである可能性も考えられる[3]。しかしながらアニール後の R[H₂]の増加に伴う E_g の増大に関しては、IGZO の体積抵抗率が R[H₂]の増加に伴い増大していることから、Burstein-Moss シフトではないことが言える。

第一章 1.2.2 で述べた様に、非晶質半導体では結合角の乱れに伴い伝導帯最下端 (CBM) と価電子帯最上端 (VBM) 近傍に裾状準位が形成される為、結晶半導体に比べ E_g が小さくなる。硬 X 線光電子分光 (HX-PES) により評価された非晶質 IGZO (a-IGZO)、単結晶 IGZO (c-IGZO) の E_g はそれぞれ 3.10 eV、3.68 eV である[17]。また IGZO における E_g の減少は、VBM 近傍の裾状準位密度の増加が主要因であることが DFT の計算結果により示されている[14]。これは第一章 1.4.2 で述べた様に、IGZO の CBM は球状の金属の s 軌道により形成されるが、VBM は酸素の 2p 軌道により形成される為、結合角の乱れが VBM に与える影響は、CBM に比べより大きい為であると考えられている。

HX-PES を用いた評価の結果、IGZO の VBM からミッドギャップまでの約 1.5 eV の範囲に 10²⁰ cm⁻³ を越える高密度なサブギャップ欠陥準位が存在することが報告されている[17,18]。また DFT の計算結果により、VBM 近傍のサブギャップ欠陥準位は V_O 及び配位数が不十分な酸素 (O_{uc}: under coordinated oxygen) に由来していること[12-14]、さらに水素が O_{uc} に配位することにより、O_{uc} に起因する VBM 近傍のサブギャップ欠陥準位密度が減少することが示されている[14]。この

DFT の計算結果を支持する実験結果として、HX-PES による評価の結果、IGZO を高 $P[O_2]$ で成膜した場合や、 O_2 や wet O_2 雰囲気中でアニールを行うことにより、VBM 近傍のサブギャップ欠陥準位密度が減少することが報告されている[18]。

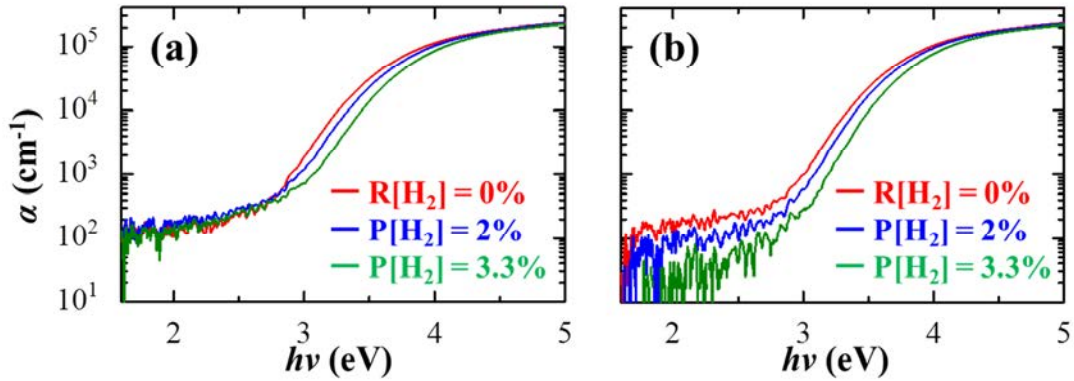


図 3.2 各 $R[H_2]$ で成膜した IGZO の (a) アニール前、(b) アニール後の α の $h\nu$ 依存性

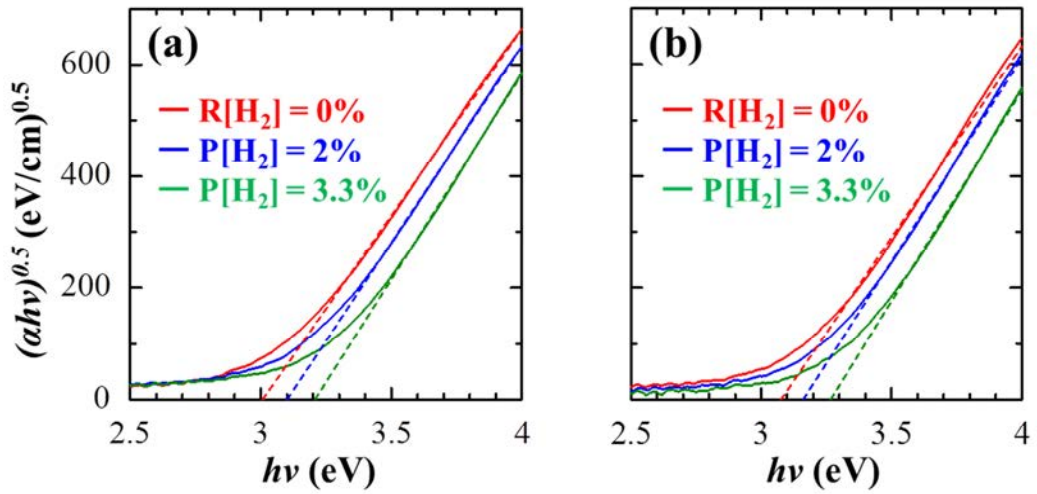


図 3.3 各 $R[H_2]$ で成膜した IGZO の (a) アニール前、(b) アニール後の Tauc プロット

表 3.3 $R[H_2] = 0, 2, 3.3\%$ で成膜した IGZO のアニール前後の光学バンドギャップ (E_g)

$R[H_2]$ (%)		0	2	3.3
E_g (eV)	アニール前	3.00	3.10	3.21
	アニール後	3.08	3.16	3.27

3.3 で述べた様に、体積抵抗率の評価の結果、 $R[\text{H}_2]$ の増加に伴い IGZO 膜中水素濃度に加え、膜中酸素濃度も増加していることが考えられた。従って本研究において $R[\text{H}_2]$ の増加に伴い E_g が増大した理由として、IGZO 膜中水素濃度及び酸素濃度の増加に伴い、VBM 近傍の裾状準位密度が減少した可能性が考えられる。一方で DC マグネトロンスパッタ法による IGZO の成膜時に H_2O を導入した従来研究では、HX-PES による評価の結果 H_2O 分圧の増加に伴い VBM 近傍の欠陥準位密度が増加することが報告されている[11]。従って、 $R[\text{H}_2]$ の増加に伴い光学測定により評価した E_g が増大した理由を明らかにする為には、TDS による脱離ガス分析に加え、HX-PES によるサブギャップ欠陥準位密度の評価が必要である。

3.5 TFT 特性・信頼性

3.5.1 TFT 初期特性と正ゲートバイアスストレス (PBS) 信頼性

IGZO チャンネル成膜時の H_2 ガス導入が、TFT 特性及び信頼性に与える影響を評価する為に、 $R[\text{H}_2] = 0, 2, 3\%$ で IGZO チャンネルの成膜を行った TFT を作製した。その際 IGZO チャンネルへのプロセスダメージや、絶縁膜からの水素拡散の影響を最小限にする為に、熱酸化 SiO_2 (108 nm) 付 n^+ Si 基板 ($0.02 \Omega \cdot \text{cm}$) をバックゲートとし、メタルマスクを用いてチャンネル、S/D 電極 (Mo/Al = 30/20 nm) のパターンニングを行ったボトムゲート型 IGZO TFT を作製した。TFT のチャンネル幅 (W) 及びチャンネル長 (L) は $W/L = 1000/150 \mu\text{m}$ である。また薄膜物性評価に用いたサンプルと同じく、TFT は作製後に大気雰囲気中で 300°C 、1 時間の条件でポストアニール処理を行った。

図 3.4 は各 $R[\text{H}_2]$ で IGZO チャンネルの成膜を行った TFT の伝達特性である。また図 3.4 に示した TFT の特性パラメータについて表 3.4 にまとめた。尚、本研究では TFT の閾値電圧 (V_{th}) を $I_d = 10 \text{ nA}$ となるとききの V_g 、S 値 (S.S.) を I_d が 0.1 nA から 1 nA に変化するのに要した V_g の差分、ヒステリシス (ΔV_H) は順方向 (V_g : $-10 \text{ V} \rightarrow 20 \text{ V}$) と逆方向 (V_g : $20 \text{ V} \rightarrow -10 \text{ V}$) 測定における V_{th} の差と定義した。

図 3.4 及び表 3.4 に示す様に、 $R[\text{H}_2]$ の増加に伴い TFT の V_{th} は正方向にシフトした。この結果はアニール後の $R[\text{H}_2]$ の増加に伴う体積抵抗率の増大と合致している。また電界効果移動度 (μ_{Lin}) は $R[\text{H}_2]$ の増加に伴い減少したが、図 3.4 に示す様に μ_{Lin} は全ての TFT において極大値を示さず、 V_g の増加に伴い単調に増加していることから、 V_{th} の差を反映した結果であると考えられる。また図 3.4 に示す様に、 $R[\text{H}_2] = 0, 2\%$ でチャンネルの成膜を行った TFT の伝達特性は、 V_{th} 以外ほとんど差が見られないが、 $R[\text{H}_2] = 3.3\%$ でチャンネルの成膜を行った TFT は、 0.7 V と比較的大きな ΔV_H を示し、また V_{th} 近傍でのオン電流劣化 (ハンプ) が確認された。この結果から、高 $R[\text{H}_2]$

で IGZO チャンネルの成膜を行った場合、チャンネル内、及び絶縁膜界面の欠陥準位密度が増加することが考えられる。同様の結果が H_2O 導入 DC マグネトロンスパッタ法により IGZO チャンネルの成膜を行った研究においても報告されている[10]。

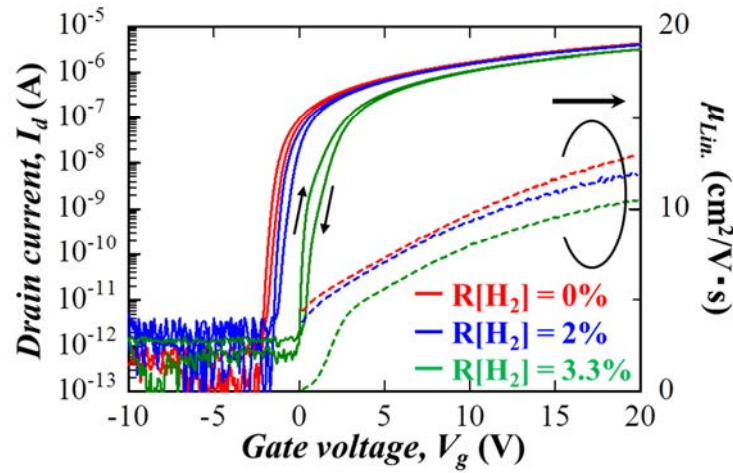


図 3.4 各 $R[\text{H}_2]$ で成膜した IGZO チャンネルの成膜を行った TFT の伝達特性 ($V_d = 0.1 \text{ V}$, $W/L = 1000/150 \text{ }\mu\text{m}$)

表 3.4 図 3.4 中の各 TFT の特性パラメータ

$R[\text{H}_2]$ (%)	0	2	3.3
μ_{Lin} [cm^2/Vs]	12.9	12.0	10.5
V_{th} [V]	-1.6	-1.1	0.5
S.S. (V/dec.)	0.18	0.16	0.15
ΔV_{H} [V]	0.3	0.5	0.7

続いて各 TFT の正ゲートバイアスストレス (PBS) 信頼性試験を行った。本研究における PBS 試験は室温、大気雰囲気中で行い、また V_{th} の異なる各 TFT に対する実効的なストレス電圧を等しくする為、ゲート電極に印加したストレス電圧は $V_{\text{th}} + 20 \text{ V}$ と設定した。

図 3.5 (a-c) に $R[\text{H}_2] = 0, 2, 3.3\%$ で IGZO チャンネルの成膜を行った各 TFT の、PBS 試験における伝達特性の変化を示した。また図 3.6 は PBS 試験における V_{th} シフト量 (ΔV_{th}) のストレス時間依存性である。図 3.5 (a-c) 及び図 3.6 に示す様に、全ての TFT はストレス時間の増加に伴い、フロントチャンネル界面への電子トラップが主要因と考えられる V_{th} の正シフトを示した。 $R[\text{H}_2] = 0, 2\%$ でチャンネルの成膜を行った TFT の、ストレス時間 10,000 秒後における ΔV_{th} はそれぞれ 3.2, 3.1 V であり、TFT 初期特性と同様にほとんど差は見られなかったが、 $R[\text{H}_2] = 3.3\%$ でチャンネルの

成膜を行った TFT は 3.8 V と、比較的大きな ΔV_{th} を示した。

第二章で述べた様に、チャネル保護膜絶縁膜から IGZO チャネル中への拡散水素量が増加した場合、S.S.や ΔV_{th} といった TFT 特性パラメータの向上が見られ、また正ゲートバイアス熱ストレス (PBTS) 信頼性試験における ΔV_{th} は減少した。しかしながら $R[\text{H}_2] = 2\%$ で成膜した IGZO チャネル中には、 $R[\text{H}_2] = 0\%$ で成膜したチャネルに比べ 10 倍以上の水素が含まれているにもかかわらず、TFT 特性・PBS 信頼性の改善・向上は見られず、さらに $R[\text{H}_2]$ を 3.3% に増加させた際には、TFT 特性・PBS 信頼性の劣化が見られた。従来研究により、特性・信頼性が不良である TFT の IGZO チャネル内には、多量の弱結合酸素・水素が含まれていることが報告されている[9]。従って成膜時の $R[\text{H}_2]$ の増加に伴い、チャネル内の弱結合酸素・水素量が増加していることが考えられる。

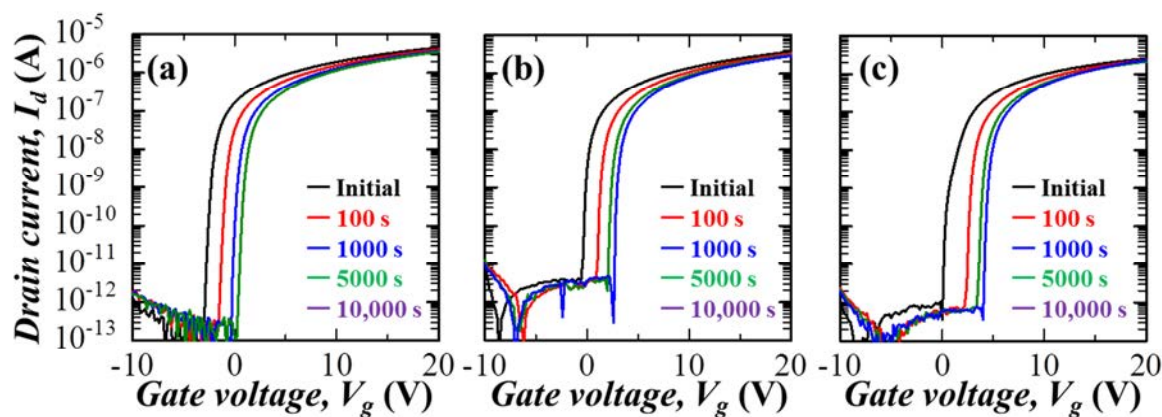


図 3.5 $R[\text{H}_2] =$ (a) 0%, (b) 2%, (c) 3.3% で IGZO チャネルの成膜を行った TFT の PBS 試験における伝達特性の変化 ($V_d = 0.1 \text{ V}$, $W/L = 1000/150 \text{ }\mu\text{m}$)

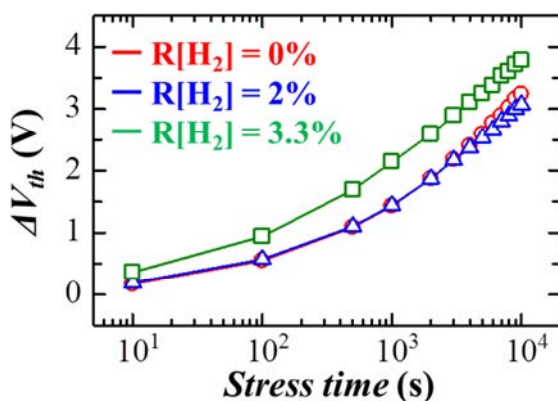


図 3.6 PBS 試験における ΔV_{th} のストレス時間依存性

3.5.2 負ゲートバイアス光照射ストレス（NBIS）信頼性

第一章 1.3.1 で述べた様に、液晶ディスプレイ（LCD）の駆動 TFT は、走査線により選択された期間オン状態となり画素電位の充電を行い、その後再び選択されるまでの間オフ状態となることで画素電位を保持している。つまり LCD 駆動に用いられる n 型 TFT は、LCD が画像を表示しているほとんどの期間オフ状態であり、その間走査線を通じて負ゲートバイアスが印加されている。また同時に LCD が画像を表示している間、内部の TFT は常にバックライト光に曝されている。従って LCD 駆動 n 型 TFT には、負ゲートバイアス光照射ストレス（NBIS, Negative-gate Bias Illumination Stress）に対する高い信頼性が要求される。

通常 IGZO TFT では、負ゲートバイアスストレス（NBS）試験における V_{th} シフトはほとんど確認されない。これは 3.4 で述べた様に、IGZO の VBM からミッドギャップまでの約 1.5 eV の範囲に 10^{20} cm^{-3} を越える高密度なサブギャップ欠陥準位が存在する為、負ゲートバイアスを印加しても E_F がピン止めされ価電子帯にホールがほとんど誘起されないからである。しかしながら、IGZO TFT は NBIS 試験において大きな負方向への V_{th} シフトを示すことが知られている [19,20]。

図 3.7 は一般的な IGZO TFT の NBIS 信頼性劣化モデルのイメージ図である。IGZO チャンネルに光を照射した場合、光のエネルギー ($h\nu$) が E_g ($\sim 3.1 \text{ eV}$) 以下であったとしても、VBM 近傍のサブギャップ欠陥準位に捕獲されていた電子が伝導帯に励起され、それによって非占有状態となったサブギャップ欠陥準位に価電子帯から電子が励起されることにより、間接的に価電子帯にホールが生成する。光照射と同時に負ゲートバイアスを印加した場合、価電子帯に生成したホールがゲート絶縁膜（GI）側にドリフトし、フロントチャネル界面準位にトラップされる。そしてトラップされたホールの持つ正電荷により TFT の V_{th} が負方向にシフトする。以上が一般的な IGZO TFT の NBIS 試験における V_{th} 負シフトのメカニズムであり、その起源は VBM 近傍に存在する高密度なサブギャップ欠陥準位であると言える。

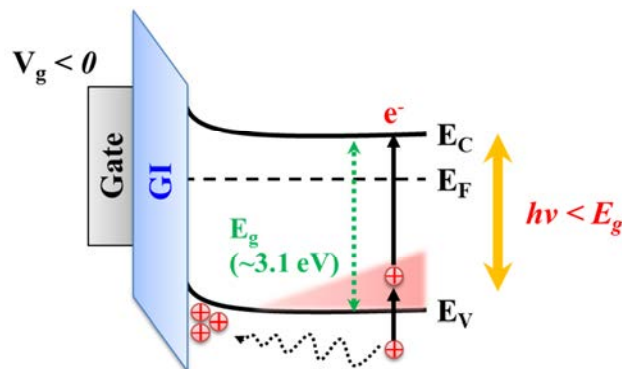


図 3.7 IGZO TFT の NBIS 信頼性劣化モデル

3.4 で述べた様に、成膜時の $R[H_2]$ 増加に伴い光学測定により算出した E_g が拡大することが明らかとなり、そのことから VBM 近傍のサブギャップ欠陥準位密度が低減していることが考えられた。従って各 $R[H_2]$ でチャネルの成膜を行った IGZO TFT の NBIS 信頼性試験を行った。NBIS 試験は、室温、大気雰囲気中で負ゲートバイアスを印加しながら、モノクロメータを用いて単色化した波長 460 nm ($h\nu = 2.7$ eV)、強度 0.2 mW/cm² の光を TFT に照射することにより行った。また PBS 試験と同様、各 TFT に対する実効的なストレス電圧を等しくする為に、ストレス電圧は $V_{th} - 20$ V と設定した。

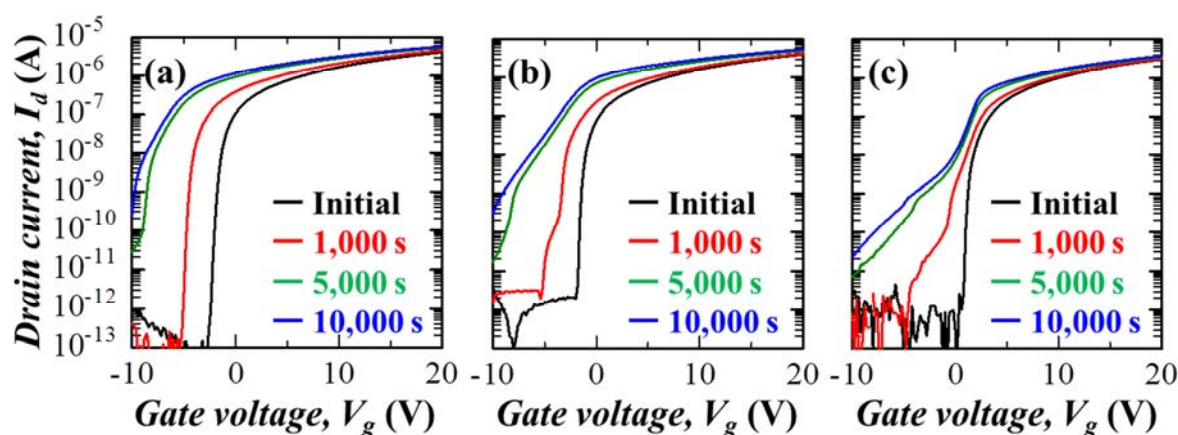


図 3.8 $R[H_2] =$ (a) 0%, (b) 2%, (c) 3.3% で IGZO チャネルの成膜を行った TFT の NBIS 試験における伝達特性の変化 ($V_d = 0.1$ V, $W/L = 1000/150$ μ m)

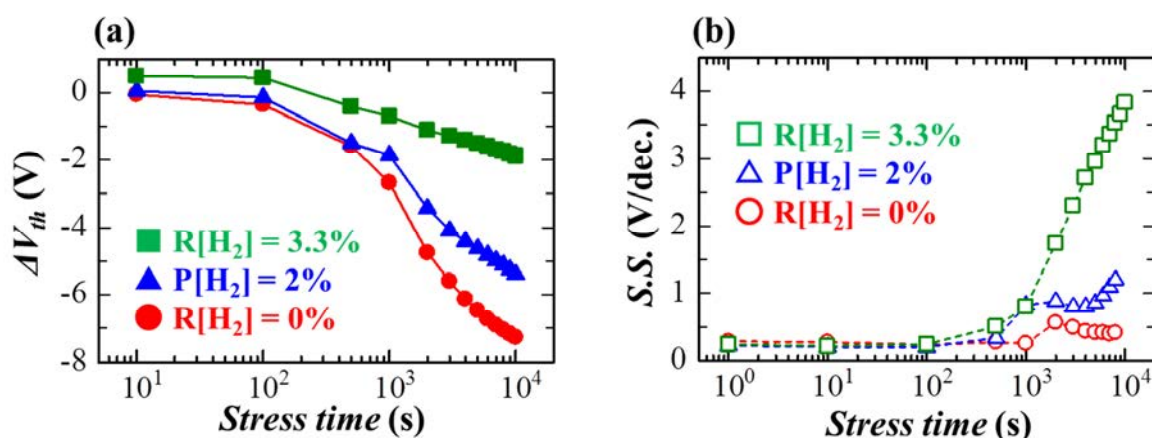


図 3.9 NBIS 試験における (a) ΔV_{th} と (b) S.S. のストレス時間依存性

図 3.8 (a-c) に $R[H_2] = 0, 2, 3\%$ で IGZO チャンネルの成膜を行った各 TFT の NBIS 試験における伝達特性の変化を示す。また図 3.9 (a, b) はそれぞれ NBIS 試験における ΔV_{th} と S.S. のストレス時間依存性である。図 3.8 (a) に示す様に、 $R[H_2] = 0\%$ で IGZO チャンネルの成膜を行った TFT は、ストレス時間の増加に伴い若干 S.S. の劣化が見られたものの、 V_{th} はほぼ平行に負シフトした。一方図 3.8 (b) に示す様に、 $R[H_2] = 2\%$ で IGZO チャンネルの成膜を行った TFT では、 $R[H_2] = 0\%$ の際と比較して V_{th} の負シフトは抑制されたものの、S.S. の劣化が顕著に見られた。また $R[H_2]$ を 3.3% に増加させたところ、図 3.8 (c) に示す様に V_{th} の負シフトはさらに抑制されたものの、S.S. の劣化がより顕著に見られた。従って図 3.9 (a, b) に示す様に、 $R[H_2]$ の増加に伴い、NBIS 試験における ΔV_{th} は減少したものの、S.S. の劣化が顕著になった。

3.5.3 NBIS 信頼性劣化モデルに関する考察

① NBS 及び IS 信頼性

3.5.2 に示した様に、各 $R[H_2]$ で IGZO チャンネルの成膜を行った TFT の NBIS 信頼性試験を行った結果、 $R[H_2]$ の増加に伴いストレス時間増加に伴う負方向への V_{th} シフトは低減したものの、S.S. の劣化が顕著になった。特に $R[H_2] = 0\%$ と $R[H_2] = 3.3\%$ でチャンネルの成膜を行った TFT は、それぞれ対照的な NBIS 劣化モードを示したことから、劣化メカニズムが異なることが考えられた。

前述した様に、NBIS 試験によって IGZO TFT の V_{th} が負シフトする理由は、光照射により生成したホールが、負ゲートバイアスによりフロントチャンネル界面へ捕獲される為であると考えられている。これに加え、本研究で作製した TFT の様にチャンネル上にパッシベーション層を形成していない IGZO TFT では、バックチャンネルへの大気中の水分、酸素の吸脱着も信頼性の劣化要因であることが報告されている[21-26]。従って負ゲートバイアスと光照射、それぞれが TFT 信頼性に与える影響を切り分け、TFT の劣化メカニズムの違いについて明らかにする為に、 $R[H_2] = 0\%$ と $R[H_2] = 3.3\%$ でチャンネルの成膜を行った TFT の、負ゲートバイアスストレス (NBS) 及び光照射ストレス (IS) 信頼性試験を行った。

NBS 試験は、室温、大気雰囲気中、暗状態において、NBIS 試験と同様 $V_{th} - 20\text{ V}$ の負ゲートバイアスを各 TFT に印加した。また IS 試験では、ゲートバイアスの印加は行わず、NBIS 試験と同様に波長 460 nm、強度 0.2 mW/cm^2 の単色光を各 TFT に照射した。図 3.10 (a, b) はそれぞれ $R[H_2] = 0, 3.3\%$ で IGZO チャンネルの成膜を行った TFT の NBS 試験における伝達特性の変化、また図 3.10 (c, d) は各 TFT の IS 試験における伝達特性の変化である。また図 3.11 (a, b) に、各 TFT の NBS 及び IS 試験における ΔV_{th} と S.S. のストレス時間依存性を示す。

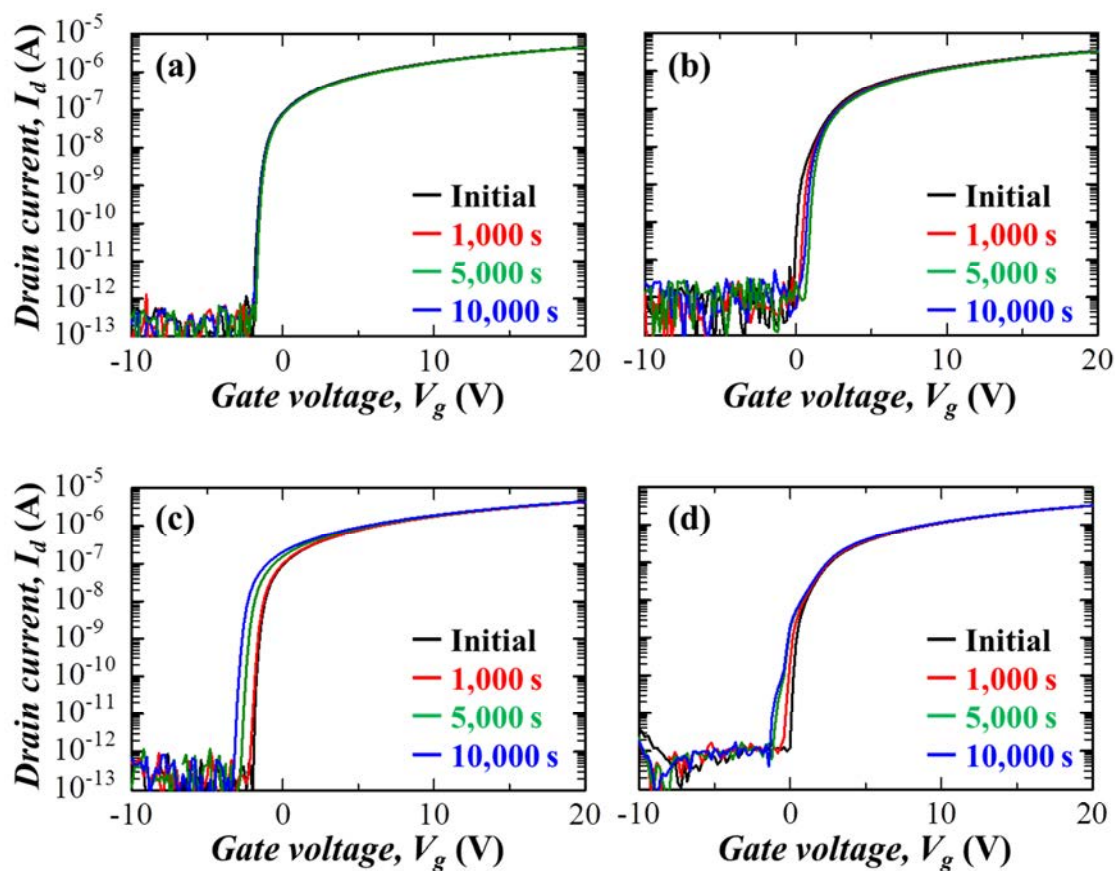


図 3.10 $R[H_2] =$ (a) 0%, (b) 3.3%で IGZO チャンネルの成膜を行った TFT の NBS 試験における伝達特性の変化、及び $R[H_2] =$ (c) 0%, (d) 3.3%で IGZO チャンネルの成膜を行った TFT の IS 試験における伝達特性の変化 ($V_d = 0.1$ V, $W/L = 1000/150$ μm)

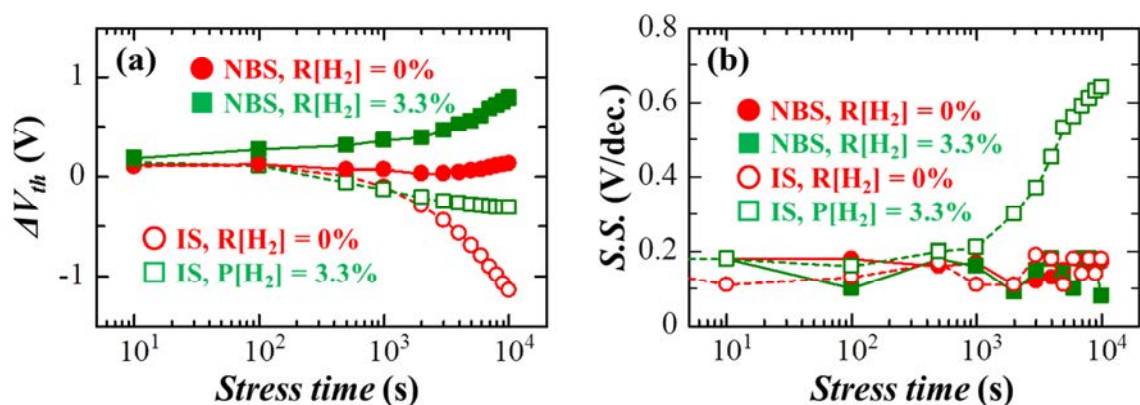


図 3.11 $R[H_2] = 0, 3.3\%$ で IGZO チャンネルの成膜を行った TFT の NBS 及び IS 試験における (a) ΔV_{th} と (b) S.S.のストレス時間依存性

図 3.10 (a,b) 及び図 3.11 (a) に示した様に、NBS 試験において $R[H_2] = 0\%$ でチャネルの成膜を行った TFT の伝達特性はほとんど変化しなかったのに対し、 $R[H_2] = 3.3\%$ でチャネルの成膜を行った TFT では正方向への V_{th} シフトが見られた。3.5.1 で示した様に、 $R[H_2] = 3.3\%$ でチャネルの成膜を行った TFT は比較的大きな ΔV_{th} と PBS 試験における ΔV_{th} を示したことから、フロントチャネル界面の電子トラップ密度が高いことが考えられる。従ってこの NBS 試験における V_{th} の正シフトは、各ストレス時間において伝達特性を繰り返し測定したことによる、フロントチャネル界面への電子トラップが原因であると考えられる。この結果から、負ゲートバイアス印加に伴うバックチャネルへの大気分子の吸着は、本研究の NBIS 試験における V_{th} 負シフトの原因としては無視出来ると言える。

一方で図 3.10 (c) 及び図 3.11 (a,b) に示した様に、IS 試験において $R[H_2] = 0\%$ でチャネルの成膜を行った TFT の S.S. はほぼ変化しなかったが、ストレス時間の経過とともに V_{th} の負シフトが確認された。対照的に図 3.10 (d) 及び図 3.11 (a,b) に示した様に、 $R[H_2] = 3.3\%$ でチャネルの成膜を行った TFT では、 V_{th} の負シフトは $R[H_2] = 0\%$ の際に比べ減少したが、S.S. の変化が顕著に見られた。つまり IS 試験において各 TFT は、NBIS 試験において見られたそれぞれの特徴的な劣化と同様の劣化傾向 ($R[H_2] = 0\%$: ΔV_{th} 大、S.S. 劣化小、 $R[H_2] = 3.3\%$: ΔV_{th} 小、S.S. 劣化大) を示した。この結果から、光照射がそれぞれの TFT の NBIS 試験における V_{th} 負シフト、及び S.S. の劣化を引き起こす直接的な要因であることが明らかとなった。

② 光照射による V_{th} の負シフトに関する考察

IS 試験の結果、負ゲートバイアスを印加せず光照射のみを行った場合でも、各 TFT の V_{th} が負シフトすることが明らかとなった。前述の様に本研究で作製した TFT はチャネル上にパッシベーション層を形成しておらず、各信頼性試験は大気雰囲気中で行っていることから、この理由として、図 3.12 (a,b) に示す様な光照射による酸素の脱離、及びイオン化した水の吸着による IGZO チャネルのキャリア濃度の上昇が考えられる。

図 3.12 (a) に示す様に、大気暴露した IGZO チャネル表面には酸素が吸着しており、この表面吸着酸素は過剰酸素と同様に IGZO 中の電子を捕獲することにより負に帯電し ($O + e^- \rightarrow O^-$)、表面に空乏層を形成することで IGZO のキャリア濃度を減少させることが報告されている[21, 27]。また同じく図 3.12 (a) に示す様に、表面に吸着した酸素の結合エネルギー以上の光 ($h\nu > 2\text{ eV}$) を入射させた場合、表面吸着酸素が脱離することによって、IGZO チャネルのキャリア濃度が光照射前に比べ相対的に増加する為 ($O^- + h\nu \rightarrow O + e^-$)、TFT の V_{th} が負シフトすることが報告されている[24-26]。

上記の酸素の脱離に加えて、チャネル表面への水分吸着も、IGZO チャネルのキャリア濃度を増加させる要因であることが報告されている[21-23]。また多湿環境下で NBIS 試験を行った場合、 ΔV_{th} が増大することも報告されている[22]。これは図 3.12 (b) に示す様に、光照射によって IGZO チャネル中に生成したホール (h^+) により表面に存在する H_2O から電子が引き抜かれ、正イオンとしてチャネル表面に吸着することにより ($H_2O + h^+ \rightarrow H_2O^+$)、IGZO 表面に蓄積層が形成さ

れ、IGZO のキャリア濃度が増加する為であると考えられている[23,24]。

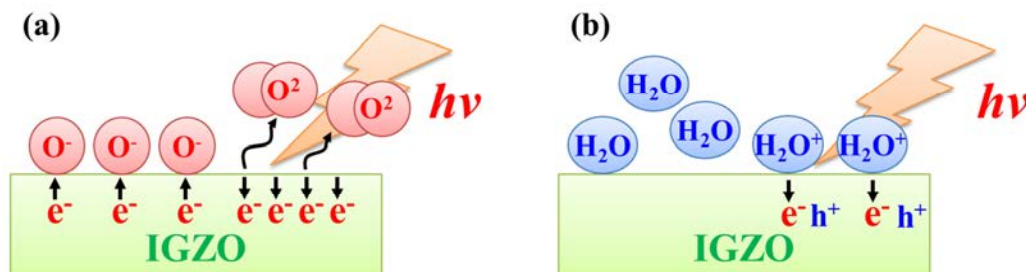


図 3.12 光照射による (a) IGZO 表面からの酸素の脱離と、(b) IGZO 表面へのイオン化した水 (H_2O^+) の吸着によるキャリア濃度増加のイメージ図

前述した様に、 $R[H_2] = 3.3\%$ でチャネルの成膜を行った TFT の IS 試験における ΔV_{th} は、 $R[H_2] = 0\%$ でチャネルの成膜を行った TFT に比べ減少した。前述した光照射による酸素の脱離、及びイオン化した水の吸着 (H_2O^+) によるキャリア生成メカニズムをもとにこの結果を考察すると、各条件で成膜した IGZO チャネルに光照射を行った場合の酸素の脱離量、もしくは吸着する H_2O^+ 量に差があることが考えられる。

ここで前述の様に、IGZO 表面における水のイオン化は、光照射によって IGZO 中にホールが生成する為に起こると考えられており、また E_g 以下のエネルギー (2.7 eV) の光を照射した場合でも IGZO 中にホールが生成する理由としては、VBM 近傍に高密度なサブギャップ欠陥準位が存在する為であることが考えられる。3.4 に示した様に、 $R[H_2] = 0, 3.3\%$ で成膜したアニール後の IGZO の E_g はそれぞれ 3.08, 3.27 eV であったことから、 $R[H_2] = 3.3\%$ で成膜した IGZO の VBM 近傍のサブギャップ欠陥準位密度は、 $R[H_2] = 0\%$ で成膜した IGZO に比べ減少していることが考えられた。従って $R[H_2] = 3.3\%$ でチャネルの成膜を行った TFT の、IS 試験における ΔV_{th} が減少した理由は、VBM 近傍のサブギャップ欠陥準位密度が減少したことにより、光照射により生成されるホール濃度が減少し、その結果チャネル表面への H_2O^+ 吸着量が減少した為であることが考えられる。

③ NBIS 信頼性劣化メカニズムに関する考察

前述した NBS 及び IS 信頼性試験の結果に対する考察を元に、 $R[H_2] = 0, 3.3\%$ でチャネルの成膜を行ったそれぞれの TFT の NBIS 信頼性劣化メカニズムについてそれぞれ以下の様に考察した。

図 3.13 (a) に $R[H_2] = 0\%$ でチャネルの成膜を行った TFT の NBIS 信頼性劣化モデルを示す。前述した光照射によるチャネル表面からの酸素の脱離と H_2O^+ の吸着は、NBIS 試験においても V_{th} 負シフトを引き起こす一要因であると言える。また光照射と同時に負ゲートバイアスを印加

した場合（NBIS 試験）、光照射のみを行った場合（IS 試験）に比べて ΔV_{th} が大きい理由としては、3.5.2 で述べた一般的な NBIS 信頼性劣化メカニズムと同様、サブギャップ吸収により生成したホールが、負ゲートバイアスによりフロントチャネル界面にドリフトし捕獲された為であると考えられる。

また図 3.13 (b) は $R[H_2] = 3.3\%$ でチャネルの成膜を行った TFT の NBIS 信頼性劣化モデルである。 $R[H_2] = 3.3\%$ でチャネルの成膜を行った TFT は、 $R[H_2] = 0\%$ でチャネルの成膜を行った TFT に比べ、IS 及び NBIS 試験における ΔV_{th} が減少した。IS 試験において ΔV_{th} が減少した理由は、前述の様に VBM 近傍のサブギャップ欠陥準位密度が減少した為に、サブギャップ吸収により生成されるホール濃度が低下し、その結果チャネル表面に吸着した H_2O^+ 量が減少した為であると考えられる。さらに光照射によって生成されるホール濃度が低下した為に、負ゲートバイアス印加によってフロントチャネル界面にトラップされるホール密度が減少した結果、NBIS 試験における ΔV_{th} が $R[H_2] = 0\%$ の際に比較してより減少したことが考えられる。

一方で $R[H_2] = 3.3\%$ でチャネルの成膜を行った TFT では、IS 及び NBIS 試験において顕著な S.S. の劣化が見られた。IS 試験における S.S. の劣化は、光照射により E_F 近傍に非占有状態のサブギャップ欠陥準位密度が増加したことを示す。さらに NBIS 試験では S.S. の劣化がより顕著に見られた。これは光照射により E_F 付近に生成されたサブギャップ欠陥準位が、負ゲートバイアスにより主として I_d が流れるフロントチャネル界面に蓄積したことを示す。従ってこのサブギャップ欠陥準位は正の電荷を持つドナー準位であることが考えられる。この E_F 付近に生成されるドナー準位の起源としては、光照射により切断された IGZO チャネル中の弱結合水素であることが考えられる。高圧 H_2 アニールを行った IGZO TFT に関する従来研究では、本研究と同様の NBIS 試験における顕著な S.S. の劣化が見られており、同様の考察が行われている[5]。

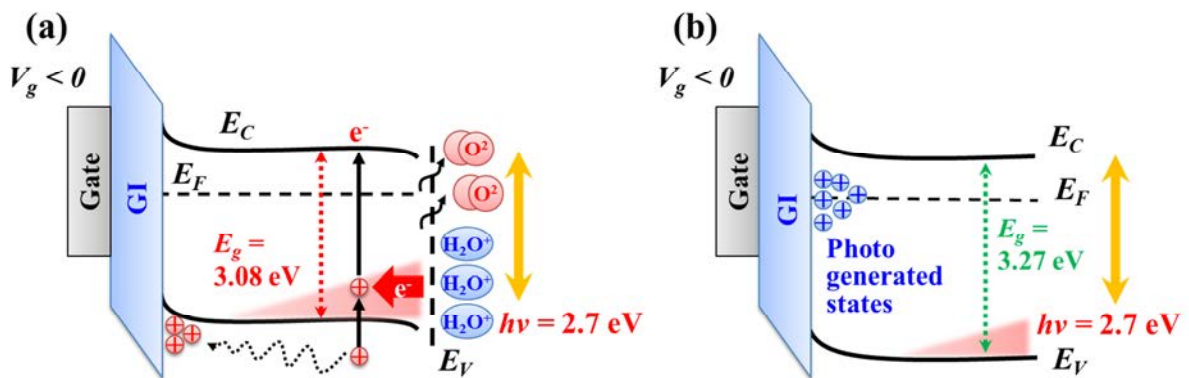


図 3.13 $R[H_2] =$ (a) 0%, (b) 3.3%で IGZO チャネルの成膜を行った TFT の NBIS 信頼性劣化モデル

3.6 まとめ

本研究では、 H_2 ガスを導入した DC マグネトロンスパッタ法による IGZO 成膜を行い、成膜時の積極的な水素導入が IGZO 薄膜物性、及び TFT 特性・信頼性に与える影響について評価を行った。以降に得られた知見についてまとめる。

SIMS 及び表面抵抗率計による測定の結果、 H_2 ガスを導入しない従来条件でスパッタ成膜した IGZO 膜中には、従来研究による報告と同様にチャンバー内部、及びターゲット表面の残留水分が起源と考えられる 10^{19} cm^{-3} 以上の水素が取り込まれているにも拘らず、高い体積抵抗率を示し、キャリア濃度は 10^{17} cm^{-3} 以下であることが推定された。また、成膜時の H_2 ガス導入及び $\text{R}[\text{H}_2]$ の増加に伴い、膜中水素濃度は 10^{21} cm^{-3} 、キャリア濃度は 10^{19} cm^{-3} 以上に増加したが、膜中水素濃度とキャリア濃度には 2 桁以上の差が見られた。これらの理由としては、従来研究による報告と同様、過剰酸素によるキャリア補償が考えられる。

また大気雰囲気中、 300°C でアニールを行った際、 H_2 ガスを導入し成膜した IGZO の膜中水素濃度はほとんど変化しなかったにも拘らず、体積抵抗率は大幅に増大し、さらにアニール前とは反対に、 $\text{R}[\text{H}_2]$ の増加に伴い体積抵抗率は増大した。成膜条件から、成膜過程において水素は酸素と一回以上衝突し、 OH として IGZO 膜中に取り込まれることが考えられた。従ってアニール後は $\text{R}[\text{H}_2]$ の増加に伴い体積抵抗率が増加した理由としては、高 $\text{R}[\text{H}_2]$ で成膜した IGZO では、膜中水素濃度の増加と同時に膜中酸素濃度も増加しており、アニール後は過剰酸素によるキャリア補償効果が優勢になっていることが考えられる。

また成膜時の $\text{R}[\text{H}_2]$ の増加に伴い、IGZO の光学バンドギャップが増大することが明らかとなった。この理由としては、膜中に多量に取り込まれた水素によって VBM 近傍のサブギャップ欠陥準位密度が減少したことが考えられるが、アニールにより体積抵抗率が大幅に変化した理由も含めて明らかにする為には、TDS 及び HX-PES を用いた更なる解析が必要である。

また各 $\text{R}[\text{H}_2]$ で成膜した IGZO をチャンネルに用いた TFT の特性、及び PBS 信頼性を評価したところ、第二章に記したチャンネル保護絶縁膜からの水素拡散の場合とは異なり、膜中水素濃度の増加に伴う TFT 特性及び PBS 信頼性の向上は見られず、さらに $\text{R}[\text{H}_2]$ を増加させた場合、TFT 特性及び PBS 信頼性は劣化した。この理由として、成膜時の H_2 ガス導入によって、IGZO 膜中の弱結合水素及び酸素量が増加していることが考えられる。

一方 NBIS 信頼性試験を行った結果、 $\text{R}[\text{H}_2]$ の増加に伴い V_{th} の負シフト量が減少することが明らかとなった。この理由として、前述した VBM 近傍のサブギャップ欠陥準位密度の減少に伴う、サブギャップ光吸収により生成されるホール濃度の減少が考えられた。一方で高 $\text{R}[\text{H}_2]$ でチャンネルの成膜を行った TFT では、IS 及び NBIS 試験における S.S. の劣化が顕著に見られた。この結果は、光照射により E_F 近傍にドナー準位が生成されることを示しており、そのドナー準位の起源としては、成膜時に IGZO 膜中に取り込まれた弱結合水素が考えられる。

以上に示した結果により、IGZO チャンネル成膜時の H_2 ガス導入は、TFT 特性及びバイアスス

トレス信頼性を向上させる上で効果的でないと言える。一方で $R[H_2]$ の増加に伴い光学バンドギャップは増大し、また弱結合水素が起源と考えられる S.S. の劣化が見られたものの、NBIS 試験における ΔV_{th} は減少した。従って今後、成膜時の H_2 ガス導入が IGZO の化学結合状態とサブギャップ欠陥準位密度に与える影響についてより明確にし、成膜圧力、基板-ターゲット間距離、 $R[H_2]$ 及び $R[O_2]$ 等の成膜条件を最適化することにより、TFT 特性・バイアスストレス信頼性を劣化させる事無く、IGZO TFT の LCD 応用において課題となっている NBIS 信頼性の改善が期待される。

参考文献

- [1] B. D. Ahn *et al.*, “Comparison of the effects of Ar and H₂ plasmas on the performance of homojunctioned amorphous indium gallium zinc oxide thin film transistors”, *Appl. Phys. Lett.*, **93** (2008) 203506.
- [2] S. Kim *et al.*, “Source/drain formation of self-aligned top-gate amorphous GaInZnO thin-film transistors by NH₃ plasma treatment”, *IEEE Electron Device Lett.*, **30** (2009) 374.
- [3] T. Kamiya, K. Nomura, and H. Hosono, “Origins of high mobility and low operation voltage of amorphous oxide TFTs: electronic structure, electron transport, defects and doping”, *J. of Display Technol.*, **5** (2009) 273.
- [4] K. Nomura, T. Kamiya, and H. Hosono, “Effects of diffusion of hydrogen and oxygen on electrical properties of amorphous oxide semiconductor, In-Ga-Zn-O”, *ECS J. Solid State Sci. and Technol.*, **2** (2013) P5.
- [5] H. J. Kim *et al.*, “Role of incorporated hydrogen on performance and photo-bias instability of indium gallium zinc oxide thin film transistors”, *J. Phys. D: Appl. Phys.*, **46** (2013) 055104.
- [6] S.-I. Oh *et al.*, “Hydrogenated IGZO thin-film transistors using high-pressure hydrogen annealing”, *IEEE Trans. on Electron Devices*, **60** (2013) 2537.
- [7] Y. Hanyu *et al.*, “Hydrogen passivation of electron trap in amorphous In-Ga-Zn-O thin-film transistors”, *Appl. Phys. Lett.*, **103** (2013) 202114.
- [8] T. Miyase *et al.*, “Roles of hydrogen in amorphous oxide semiconductor In-Ga-Zn-O: comparison of conventional and ultra-high-vacuum sputtering”, *ECS J. Solid State Sci. and Technol.*, **3** (2014) Q3085.
- [9] K. Nomura *et al.*, “Defect passivation and homogenization of amorphous oxide thin-film transistor by wet O₂ annealing”, *Appl. Phys. Lett.*, **93** (2008) 192107.
- [10] T. Aoi *et al.*, “DC sputter deposition of amorphous indium-gallium-zinc-oxide (a-IGZO) films with H₂O introduction”, *Thin Solid Films*, **518** (2010) 3004.
- [11] N. Oka *et al.*, “Electronic state of amorphous indium gallium zinc oxide films deposited by DC magnetron sputtering with water vapor introduction”, *Appl. Phys. Express*, **5** (2012) 075802.
- [12] T. Kamiya, K. Nomura, and H. Hosono, “Subgap states, doping and defect formation energies in amorphous oxide semiconductor a-InGaZnO₄ studied by density functional theory”, *Phys. Stat. Sol. (a)*, **207** (2010) 1698.
- [13] H.-K. Noh, J.-S. Park, and K. J. Chang, “Effect of hydrogen incorporation on the negative bias illumination stress instability in amorphous In-Ga-Zn-O thin-film transistors”, *Appl. Phys. Lett.*, **113** (2013) 063712.
- [14] W. Körner, D F. Urban, and C. Elsässer, “Origin of Subgap states in amorphous In-Ga-Zn-O”, *Appl. Phys. Lett.*, **114** (2013) 163704.
- [15] K. Ide *et al.*, “Effects of excess oxygen on operation characteristics of amorphous In-Ga-Zn-O thin-film transistor”, *Appl. Phys. Lett.*, **99** (2011) 093507.
- [16] T. Kamiya, K. Nomura, and H. Hosono, “Electronic structure of the amorphous oxide semiconductor a-InGaZnO_{4-x}: Tauc-Lorentz optical model and origins of subgap states”, *Phys. Stat. Sol. (a)*, **206** (2009) 860.

- [17] K. Lee *et al.*, “Band alignment of InGaZnO₄/Si interface by hard x-ray photoelectron spectroscopy”, J. Appl. Phys., **112** (2012) 033713.
- [18] K. Nomura *et al.*, “Depth analysis of subgap electronic states in amorphous oxide semiconductor, a-In-Ga-Zn-O, studied by hard x-ray photoelectron spectroscopy”, J. Appl. Phys., **109** (2012) 073726.
- [19] K. Nomura, T. Kamiya, and H. Hosono, “Highly stable amorphous In-Ga-Zn-O thin-film transistors produced by eliminating deep subgap defects”, Appl. Phys. Lett., **99** (2011) 053505.
- [20] M. P. Hung *et al.*, “Negative bias and illumination stress induced electron trapping at back-channel interface of InGaZnO thin-film transistor”, ECS Sol. Stat. Lett., **3** (2014) Q13.
- [21] J. K. Jeong *et al.*, “Origin of threshold voltage instability in indium-gallium-zinc oxide thin film transistors”, Appl. Phys. Lett., **93** (2008) 123508.
- [22] K.-H. Lee *et al.*, “The effect of moisture on the photon-enhanced negative bias thermal instability in Ga-In-Zn-O thin film transistors”, Appl. Phys. Lett., **95** (2009) 232106.
- [23] P.-T. Liu *et al.*, “Environment-dependent metastability of passivation-free indium zinc oxide thin film transistor after gate bias stress”, Appl. Phys. Lett., **95** (2009) 233504.
- [24] S. Yang *et al.*, “Improvement in the photon-induced bias stability of Al-Sn-Zn-In-O thin film transistors by adopting AlO_x passivation layer”, Appl. Phys. Lett., **96** (2010) 213511.
- [25] T. C. Chen *et al.*, “Light-induced instability of an InGaZnO thin film transistor with and without SiO_x passivation layer formed by plasma-enhanced-chemical-vapor-deposition”, Appl. Phys. Lett., **97** (2010) 192103.
- [26] S.-Y. Huang *et al.*, “Improvement in the bias stability of amorphous InGaZnO TFTs using Al₂O₃ passivation layer”, Thin Solid Films, **231** (2013) 117.
- [27] D. Kang *et al.*, “Amorphous gallium indium zinc oxide thin film transistors: Sensitive to oxygen molecules”, Appl. Phys. Lett., **90** (2007) 192101.
- [28] J.-S. Park *et al.*, “Electronic transport properties of amorphous indium-gallium-zinc oxide semiconductor upon exposure to water”, Appl. Phys. Lett., **92** (2008) 072104.

第四章

ポリマー絶縁膜を用いたトップゲート・セルフアライン (TG-SA) IGZO TFT の低温形成

4.1 はじめに

一般的に IGZO TFT のゲート絶縁膜 (GI) には、プラズマ支援化学気相堆積 (PE-CVD) 法により成膜した SiO_x が用いられる。PE-CVD 法では基板温度の低下に伴い膜質が劣化することから、膜中欠陥密度が低く十分な絶縁耐圧を有する GI を成膜する為には、通常 300 °C 以上で成膜を行う必要がある。しかしながら第一章 1.3.3 で述べた様に、PEN (Poly Ethylene Naphthalate) 等の汎用プラスチックフィルムを TFT の基板として用いる場合、150 °C 以下のプロセスで TFT を作製する必要がある為、GI の低温形成はフレキシブル IGZO TFT 作製におけるボトルネックであると言える。

そこで本研究では、低温形成可能なポリマー絶縁膜を GI に用いた、150 °C 以下の低温プロセスによる IGZO TFT 作製に取り組んだ。その際 TFT 構造として、IGZO チャネルのスパッタ成膜に伴うポリマー絶縁膜へのダメージが無く、さらに TFT の寄生容量を最小化できるトップゲート・セルフアライン (TG-SA) 構造を採用した。また、150 °C 以下の低温プロセスにより良好な特性を有する TG-SA IGZO TFT を作製する為に、チャネル/ポリマー絶縁膜 (フロントチャネル) 界面形成プロセスの改善に取り組んだ。

4.2 絶縁膜の低温形成技術とその特徴

前述の様に、GI の低温形成はフレキシブル IGZO TFT 作製におけるボトルネックである。以下に、種々の絶縁膜低温形成技術、並びに各手法で成膜された絶縁膜の特徴についてまとめる。

① PE-CVD 法

PE-CVD 法は、大面積基板上に非常に均一な薄膜を形成することが可能であり、成膜速度に優れる為、現状ディスプレイ駆動用 TFT の絶縁膜成膜に用いられている量産技術である。しかしながら前述の様に、高品質な絶縁膜を成膜する為には 300 °C 以上で基板加熱を行う必要がある為、PE-CVD 法により GI の成膜を行ったフレキシブル IGZO TFT では、耐熱性に優れる PI (Polyimide) フィルムが基板として用いられている[1-3]。

一方、プラズマ密度の高い誘導結合プラズマ (ICP: Inductively Coupled Plasma) を CVD のプラズマ源として用いることにより (ICP-CVD)、150 °C 以下で高品質な GI を成膜することが可能である[4,5]。ICP-CVD 法では、磁界を誘起させる為のコイル・誘電体が必要である為、PE-CVD 法に比べ装置の構造が複雑であり、装置の大型化に課題がある。

② PVD 法

電子ビーム蒸着法やパルスレーザ堆積法、RF スパッタ法等の物理気相堆積 (PVD: Physical Vapor Deposition) 法では、絶縁膜を室温成膜することが可能である。従って PVD 法により GI を成膜することによる、プラスチックフィルム上への IGZO TFT の室温形成が報告されている[6,7,8]。また PVD 法では、ターゲットを変えることにより多種多様な絶縁膜材料を成膜することが可能である為、 Y_2O_3 [6]、 HfLaO [9]、 ZrO_2 [10]、 Ta_2O_5 [11]等の高誘電率 (high-k) 材料を GI に用いた IGZO TFT の作製が報告されている。high-k 絶縁膜を GI に用いることにより、低電圧で TFT をスイッチング動作させることが可能となる。また IGZO のキャリア移動度は、キャリア濃度の増加に伴い上昇する傾向を示すことから、high-k 絶縁膜を GI に用いて IGZO チャネルに 10^{18} cm^{-3} を越える高濃度のキャリアを誘起させることにより、高い電界効果移動度を得ることが出来る[12]。

一方で、ディスプレイ応用においては装置の大型化が必須である為、実用的な PVD 法としては RF スパッタ法にほぼ限られるが、RF スパッタ法は成膜速度や RF 電源の大型化に課題がある。また一般的にスパッタ粒子の運動エネルギーは、CVD 法における薄膜前駆体の運動エネルギーに比べて高い為、薄膜形成時のスパッタダメージを修復し、GI 中の欠陥密度を低減する為には、高温でのアニーリングが必要である[9]。さらに、RF スパッタ法によりトップゲート TFT の GI を成膜する場合、GI 成膜によるチャネルへのスパッタダメージが懸念される。

③ ALD- Al_2O_3

原子層堆積 (ALD: Atomic Layer Deposition) 法を用いることにより、高品質な酸化アルミニウム (Al_2O_3) 薄膜を 150 °C 以下で成膜することが可能である。ALD- Al_2O_3 は膜密度が高い為、ガスバリア性に優れ、高い破壊電界強度 ($> 8 \text{ MV}$) と SiO_x の倍以上の比誘電率 (> 9) を有する。従って ALD- Al_2O_3 を GI に用いることにより 150 °C 以下のプロセスで作製した IGZO TFT では、PE-CVD 法により GI の成膜を行うことにより 300 °C 以上のプロセスで作製した TFT と同等以上の非常に優れた特性・信頼性が得られている[13-16]。一方で ALD 法は成膜速度が非常に遅く、例えば 100 nm の AlO_x (GI) を成膜するのに 6 時間かかることが報告されている[17]。従って、ALD 法は量産技術としては受け入れられにくい。

④ 陽極酸化 Al_2O_3

Al ゲート電極を陽極酸化することにより、高品質な Al_2O_3 を低コストかつ室温形成することが可能である[18-20]。Al は表面にヒロック (半球状突起物) を生じやすい為、GI 応用ではフロントチャネル界面でのキャリア散乱の原因となる表面ラフネスを低減させる為に、ゲート電極にネオジウム (Nd) 等を添加した Al 合金が用いられる[20]。ディスプレイ応用においては、陽極酸化時に TFT の全ゲート電極を電源供給線に接続し、その後走査線毎に切り離す必要がある為に、追加のマスクを用いたフォトリソグラフィが必要となる。また電極を表面から膜厚方向に完全に酸化させることは出来ない為、用いることの出来る TFT 構造はボトムゲート構造に限られる。

⑤ ポリマー絶縁膜

ポリマー絶縁膜は、ポリマー溶液をスピコート法等の溶液プロセスにより基板に塗布し、200 °C 以下の温度で加熱することにより成膜できる。ポリマー絶縁膜は有機半導体 TFT の GI としてよく用いられるが[21]、近年ポリマー絶縁膜を GI に用いたハイブリット IGZO TFT の作製も報告されており[22-31]、PEN や PET フィルムを基板に用いたフレキシブル IGZO TFT の作製が報告されている[25,28-30]。また、無機絶縁膜に比べフレキシビリティに優れることがポリマー絶縁膜の特徴でもあり、フレキシブル TFT 応用における最大の長所と言える[30]。

通常ポリマー絶縁膜を TFT の GI として用いる際は、膜中のピンホールや残留水分が原因と考えられるゲートリーク電流を抑制する為に、300 - 500 nm 程度の比較的厚い膜厚が必要である。膜厚が厚いことに加え、一般的にポリマー絶縁膜の比誘電率は低い為 (< 4)、GI としての TFT 駆動能力は無機絶縁膜に比べ劣る。またポリマー絶縁膜を GI として用いた IGZO TFT は、GI 中の残留水分や未反応極性分子が原因と考えられる大きなヒステリシスや[23,27]、GI への大気分子の吸着が原因と考えられる経時変化や信頼性劣化を示すことが報告されている[22,24,31]。一方で、ポリマー絶縁膜に high- k ナノ粒子や無機架橋剤を添加することにより、比誘電率を向上し、ゲートリーク電流やヒステリシスを低減出来ることが報告されている[23,29,30]。

4.3 ポリマー絶縁膜材料・TFT 構造の選択と研究目的

4.3.1 ポリマー絶縁膜材料の選択

4.2 にまとめた様に、各絶縁膜低温形成技術、及び絶縁膜材料はそれぞれ長所・短所を有する。本研究では、溶液法による低温形成が可能であり、またフレキシブル応用において重要なフレキシビリティに優れるポリマー絶縁膜を IGZO TFT の GI として用いた。

汎用ポリマー絶縁膜材料である Poly (vinyl alcohol) (PVA) や Poly (4-vinyl phenol) (PVP) を GI に用いた TFT は、前述した GI 中の残留水分や未反応極性分子が原因と考えられる大きなヒステリシスを示すことが報告されている[23,27]。またポリマー材料は無機材料に比べ吸水性が高い為、TFT 作製時のフォトリソグラフィや、大気中での保管・動作時にポリマーゲート絶縁膜中に吸着した水分も、TFT 特性・信頼性の劣化要因であることが報告されている[22,24,31]。従って GI 応用では、膜中の残留水分や極性分子が少なく、吸水性の低いポリマー絶縁膜材料が求められる。

本研究では、IGZO TFT の GI として Zeocoat[®] (ES2110, 日本ゼオン株式会社) を用いた。Zeocoat[®] は 150 °C で硬化可能な熱硬化型シクロオレフィンポリマーであり、ポリマー中の極性官能基が少なく、吸水性が低いことから、フレキシブル TFT の GI に求められる要求を満たすポリマー絶縁膜材料であると言える[21]。NHK 放送技術研究所は、Zeocoat[®] を GI に用いた 130 °C 以下のプロセスによる PEN フィルム上への IGZO TFT 作製と、それを駆動に用いたフレキシブル OLED ディスプレイの試作を報告している[25]。

4.3.2 TFT 構造の選択

これまで IGZO TFT では、図 4.1 (a) に示す様なエッチストップ層 (ESL) を有するボトムゲート (BG-ESL) 構造が広く用いられてきた。BG-ESL 構造では、GI/チャネル/ESL を連続成膜出来る為、フォトリソグラフィによるダメージ・汚染が無い界面形成を行うことができ、特性・信頼性に優れる。しかしながら BG-ESL TFT では、図 4.1 (a) に示す様に S/D 電極とゲート電極のオーバーラップが存在し、それによりに形成される寄生容量 (C_p) が大きい。ディスプレイ駆動応用において、TFT の C_p は RC 遅延による回路動作速度の低下だけでなく、焼き付きやフリッカー、輝度バラツキの原因となる[32-39]。また同じく図 4.1 (a) に示す様に、BG-ESL TFT では ESL と S/D 電極との間にアライメントマージンが必要である為、S/D 電極間距離をフォトリ

ソグラフィの最小加工寸法 (L_{MIN}) とした場合、ESL の幅で決まるチャネル長 (L_{ch}) は L_{MIN} より必ず大きくなり、 L_{MIN} と等しくすることが出来ない ($L_{\text{ch}} > L_{\text{MIN}}$)。

一方で近年、図 4.1 (b) に示す様なトップゲート・セルフアライン (TG-SA) 構造の IGZO TFT の作製が数多く報告されている[3,32,34-39]。TG-SA 構造では、ゲート電極をマスクとして GI のエッチング、及び S/D 領域へのキャリアドーピングを行うことにより、図 4.1 (b) 中に示す様に低抵抗な S/D (n^+) 領域を自己整合的に形成することが可能であり、これにより S/D 電極とゲート電極のオーバーラップを無くし、 C_p を最小化することが可能である。また TG-SA TFT の L_{ch} はゲート電極線幅で決まる為、 L_{ch} をフォトリソグラフィの最小加工寸法と等しくすることが出来る ($L_{\text{ch}} = L_{\text{MIN}}$)。一方で、通常 TG-SA TFT の作製過程では GI 成膜前にチャネルのパターニングを行う必要があり、フォトリソグラフィによりチャネル表面 (フロントチャネル界面) が汚染・ダメージを受ける為、TFT 特性・信頼性が劣化する。

NHK 放送技術研究所は、Zeocoat[®] を GI に用いた IGZO TFT において、トップゲート型 TFT はヒステリシスの小さい良好な特性を示したのに対し、ボトムゲート型 TFT は V_{th} が負方向に大きくシフトしたデプレッション動作を示したことを報告している[25,26]。これは IGZO チャネルをスパッタ成膜した際、Zeocoat[®] 中に打ち込まれた金属元素が正の固定電荷として働く為であると考えられている。また他のポリマーゲート絶縁膜を用いた IGZO TFT に関する研究においても、IGZO チャネルのスパッタ成膜に伴いポリマーゲート絶縁膜がプラズマダメージを受ける為、ボトムゲート型 TFT では良好な特性が得られなかったことが報告されている[31]。従ってポリマー絶縁膜を GI に用いた IGZO TFT では、トップゲート構造が好ましいと言え、さらにトップゲート構造においては、 C_p を最小化することが出来る TG-SA 構造が応用上理想的であると言える。

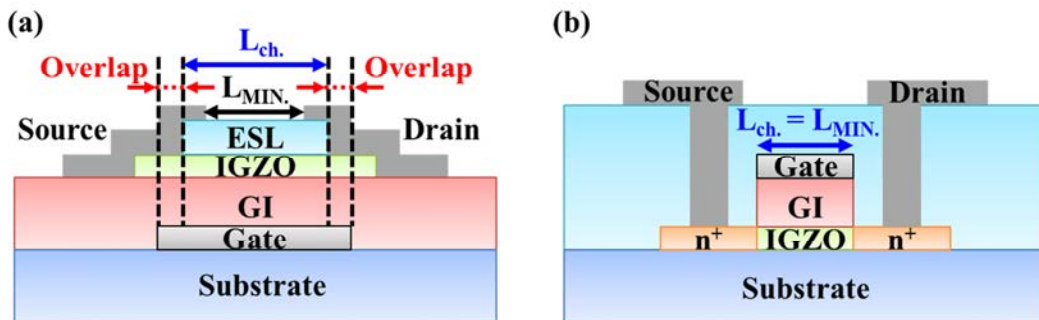


図 4.1 (a) BG-ESL IGZO TFT と (b) TG-SA IGZO TFT の断面図

4.3.3 本研究の目的とオリジナリティ

本研究では、汎用プラスチックフィルムである PEN フィルム上への IGZO TFT 作製を目的に、低温形成可能な高品質ポリマー絶縁膜、Zeocoat[®]を GI に用いた 150 °C 以下での IGZO TFT 作製に取り組んだ。その際 TFT 構造として、S/D 電極とゲート電極のオーバーラップを無くし、Cp を最小化することの出来る TG-SA 構造を採用した。

前述の様に、ポリマー絶縁膜を GI に用いたハイブリット IGZO TFT に関してはこれまで多数の報告があるが[22-31]、筆者が調べた限り TG-SA 構造を採用している研究は唯一つである[40]。この研究では、IGZO チャンネルにナノ・ドット状の低抵抗領域を形成することにより、79 cm²/Vs という非常に高い実効的な電界効果移動度が得られているが、400 °C でのポストアニーリングが行われている。一方、本研究ではポストアニールを含む最高プロセス温度 150 °C 以下で、ポリマー絶縁膜を GI に用いた TG-SA IGZO TFT を作製することを目標とし、さらに良好な特性・信頼性を得る為に、IGZO チャンネルとポリマーゲート絶縁膜の界面形成プロセスの最適化に取り組んだ。

4.4 ポリマー絶縁膜の成膜条件、及び光学・電気特性

① Zeocoat[®]成膜条件

Zeocoat[®]の成膜は、4 インチ基板（ガラス、石英、Si）上に Zeocoat[®]原液を 3.5 ml の滴下し、1000 – 4000 rpm で 15 秒間スピンコーティングすることにより行った。またキュアリング（硬化）は、ホットプレートにより大気雰囲気中、90 °C で 2 分間加熱した後、150 °C で 1 時間加熱することによりを行った。スピンコーティング法では、回転数と溶液粘度（濃度）の調整により膜厚の制御が行われる。図 4.2 に Zeocoat[®]膜厚の回転数依存性を示す。回転数の増加と共に膜厚がほぼ線形に減少することが分かる。尚、膜厚評価は分光エリプソメトリ法により行った。また Zeocoat[®]は無機材料とも高い密着性を有する為、成膜前に基板の表面処理等を行わずとも、本研究で用いた全ての基板、下地材料上にムラなく、均一に成膜することが出来き、TFT 作製過程における膜剥がれ等は確認されなかった。

② 光学特性

図 4.3 (a) は分光エリプソメトリ法のフィッティングにより抽出した Zeocoat[®]の光屈折率波長依存性である。波長 589 nm 付近での屈折率は 1.54 であった。また図 4.3 (b) は石英基板上に成膜した Zeocoat[®] (400 nm) の光透過率であり、80 %以上の可視光透過率を有することが分かる。

③ I-V 及び C-V 特性

ガラス基板上に Al をスパッタ成膜し、その後 Zeocoat[®] (400 nm) を成膜した後、メタルマスクを用いて Al 電極を蒸着することにより、MIM (Metal-Insulator-Metal) キャパシタを作製し、Zeocoat[®] の I-V 及び C-V 特性の評価を行った。

図 4.4 (a) は代表的な Zeocoat[®] の I-V 特性である。電界強度 2.5 MV/cm (印加電圧 100 V) まです絶縁破壊は見られず、電界強度 2 MV/cm における電流密度は $0.12 \mu\text{A}/\text{cm}^2$ であった。また図 4.4 (b) は周波数 1 kHz から 1 MHz で測定した Zeocoat[®] の C-V 特性である。1 kHz におけるキャパシタンス密度は $7.4 \text{ nF}/\text{cm}^2$ であり、算出した Zeocoat[®] の比誘電率は 3.3 (1 kHz) であった。

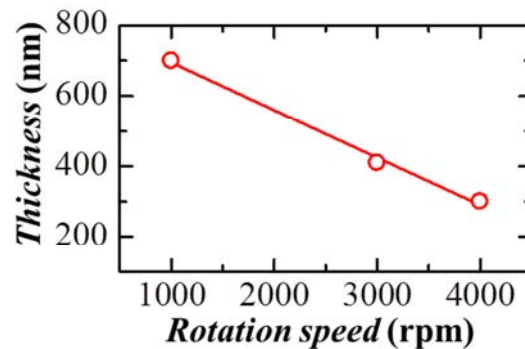


図 4.2 Zeocoat[®]膜厚のスピンコート回転数依存性

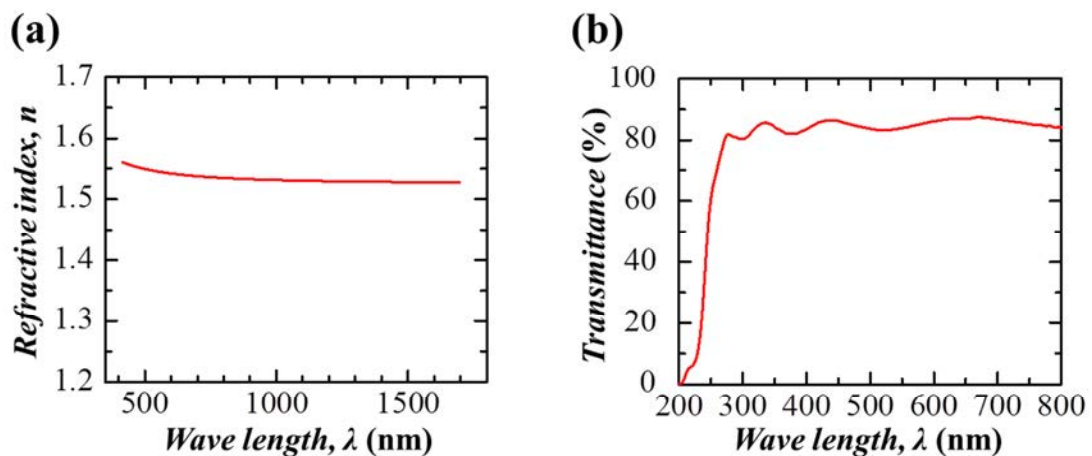


図 4.3 Zeocoat[®]の (a) 光屈折率波長依存性と (b) 光透過率 (石英基板上)

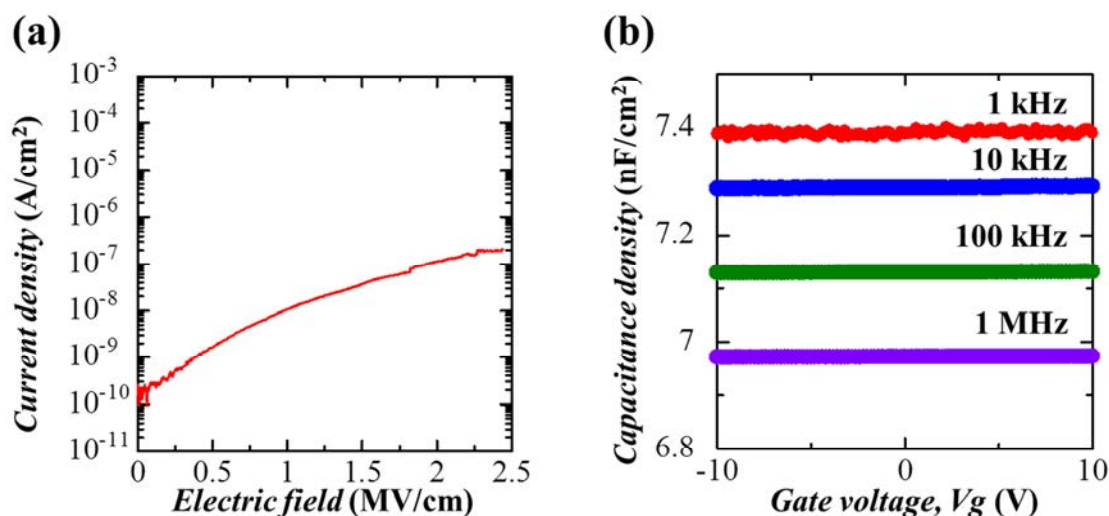


図 4.4 Zeocoat®の (a) I-V 特性及び (b) C-V 特性

4.5 TFT 作製プロセス

図 4.5 は Zeocoat®を GI に用いた TG-SA IGZO TFT の作製プロセスである。尚、基板には 4 インチ無アルカリガラス基板 (0.7 mm, Corning® EAGLE XG®) を用いた。初めに DC スパッタ法により IGZO チャネル (50 nm) の成膜を行い、フォトリソグラフィとウエットエッチングによりチャネルのパターニングを行った。IGZO チャネル成膜時に基板加熱は行わず、それ以外の成膜条件は第二章、表 2.1 に示したものと同一である。続いて 4.4 に記した条件で Zeocoat® GI (400 nm) を成膜した後、Al ゲート電極 (50 nm) を DC スパッタ法により成膜し、フォトリソグラフィとウエットエッチングによりパターニングを行った。フォトレジスト (PR: Photo Resist) を剥離した後、Al ゲート電極をマスクとして誘導結合プラズマ (ICP: Inductively Coupled Plasma) エッチング装置を用いた O_2 プラズマ処理により、Zeocoat® GI のエッチングを行った。

TG-SA 構造では、S/D 電極とゲート電極がオーバーラップしていないオフセット領域のシリーズ抵抗 (R_{SD}) が高い場合、オン電流が R_{SD} に律速され飽和する[34,38,39]。従って十分なオン電流を得る為には、キャリアドーピングによるオフセット領域の低抵抗化が必要である。IGZO はイオン注入等による不純物ドーピングを行わずとも、He や Al プラズマ処理により低抵抗化することが可能である。これは、酸化物半導体である IGZO では酸素欠損 (V_O) がシャロードナーとして働く為、イオン衝突によって意図的に酸素結合を切断し、 V_O を生成することによりキャリアが生成する為である[38]。また Ar プラズマ処理を行った場合、IGZO 表面に In リッチ層が形成

されることによりシート抵抗が減少することが報告されている[32]。本研究では Zeocoat[®] GI のエッチングを行った後、ICP ドライエッチング装置を用いて He プラズマ処理を行うことにより、低抵抗な S/D (n^+) 領域を形成した。He プラズマ処理時の ICP プラズマソース電力 (P_s) と基板バイアス電力 (P_B) は、それぞれ $P_s/P_B = 500/50$ W である。

続いて Zeocoat[®] を回転数 1000 rpm でスピコートし、GI と同じ条件で硬化することにより相関絶縁層 (IL: Inter Layer, 700 nm) を成膜し、 O_2 プラズマを用いたドライエッチングによりチャネル、ゲート電極パッドへのコンタクトホールを形成した。そして Mo/Al/Mo (50/50/20/nm) S/D 電極を DC スパッタ法により成膜し、フォトリソグラフィとウエットエッチングによりパターンニングを行った。TFT は作製後、ホットプレートにより N_2 雰囲気中で $150^\circ C$ 、1 時間のポストアニール処理を行った。

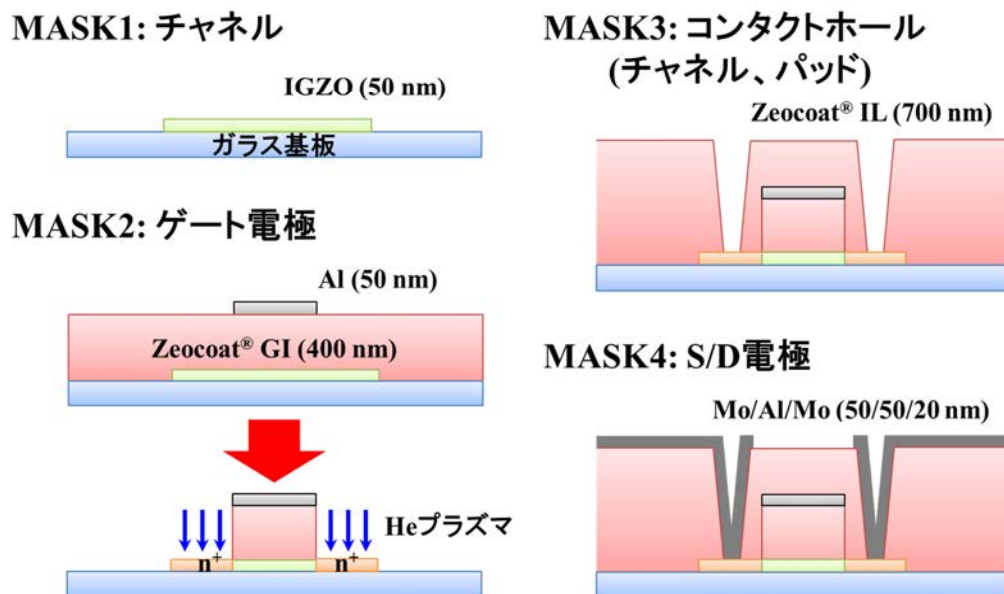


図 4.5 TG-SA IGZO TFT の作製プロセス

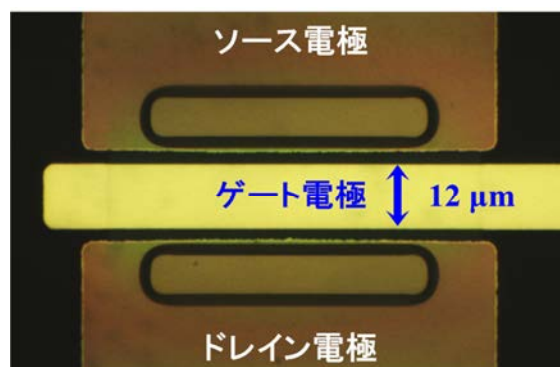


図 4.6 本研究で作製した TG-SA IGZO TFT の光学顕微鏡像

図 4.6 は本研究で作製した TG-SA IGZO TFT の光学顕微鏡像である。S/D 電極とゲート電極がオーバーラップしていないことが確認できる。

4.6 フロントチャネル界面形成プロセスの改善

図 4.7 中の実線は、4.5 に記載したプロセスにより作製した TG-SA IGZO TFT の伝達特性である。図 4.7 に示す様に、作製した TFT は $V_g = -20$ V を印加した場合も I_d が下がり切らず、スイッチング動作を示さなかった。この原因として、IGZO チャネルのキャリア濃度が負の V_g 印加により空乏化できる範囲 ($\sim 10^{18} \text{ cm}^{-3}$) 以上であることが考えられた。そこで、IGZO チャネルのキャリア濃度を低減（補償）する為に、IGZO チャネル成膜時の O_2 , Ar 総ガス流量に対する O_2 流量比 ($R[\text{O}_2]$) を 2% ($\text{O}_2/\text{Ar} = 0.6/29.4 \text{ sccm}$) から 4% ($\text{O}_2/\text{Ar} = 1.2/28.8 \text{ sccm}$) に上げ TFT を作製した。しかしながら、図 4.7 中の破線に示す様に $R[\text{O}_2] = 4\%$ でチャネルの成膜を行った TFT では、 $R[\text{O}_2] = 2\%$ でチャネルの成膜を行った TFT に比べてわずかに I_d の減少が見られたものの、同様にスイッチング動作を得る事が出来なかった。

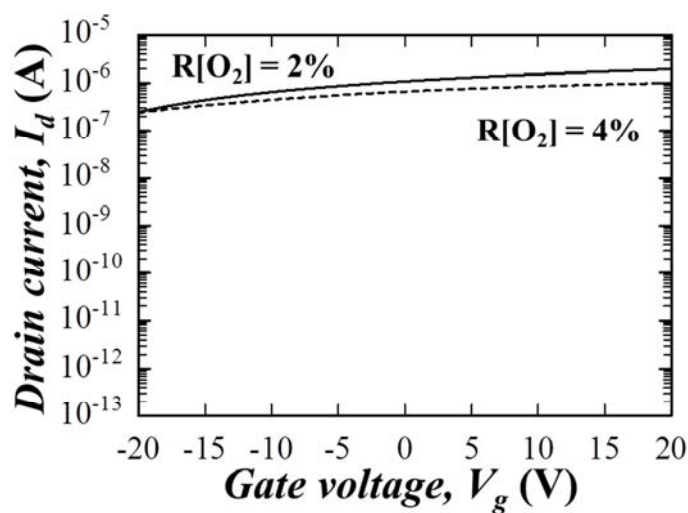


図 4.7 $R[\text{O}_2] = 2, 4\%$ で IGZO チャネルの成膜を行った TG-SA IGZO TFT の伝達特性 ($W/L = 66/12 \text{ } \mu\text{m}$, $V_d = 0.1 \text{ V}$)

4.3.2 で述べた様に、通常 TG-SA TFT の作製プロセスでは GI 成膜前にチャネルのパターニングを行う必要があり、その際のフォトリソグラフィによりチャネル表面(フロントチャネル界面)は汚染・ダメージを受ける。成膜時の $R[O_2]$ を増加させることによりチャネルのキャリア補償を試みた場合でも、TFT はスイッチング動作を示さなかったことから、フォトリソグラフィに伴う汚染やダメージによって、IGZO チャネル表面に低抵抗層が形成されていることが考えられた。そこで以下①,②に示すフロントチャネル界面形成プロセスの改善を行った。

① チャネル表面の O_2 プラズマ処理

図 4.8 (a) に示す様に、TG-SA IGZO TFT の作製プロセスでは、フォトリソグラフィによる IGZO チャネルのパターニング時に IGZO チャネル上に直接 PR を塗布し、またエッチング後は有機溶媒 (DMSO: Dimethyl sulfoxide) を用いて PR の剥離を行った。これらの工程における IGZO チャネル表面の汚染・ダメージにより、チャネル表面に低抵抗層が形成されることが考えられた。従って同じく図 4.8 (a) 中に示す様に、PR の剥離後、Zeocoat[®] GI 成膜前に IGZO チャネル表面を O_2 プラズマ処理することにより、チャネル表面のキャリア補償を試みた。GI 成膜以後のプロセスは 4.5 に記載したものと同一である。

② チャネル保護膜の導入

前述したフォトリソグラフィによるチャネル表面の汚染・ダメージを防ぐ為に、図 4.8 (b) に示す様に IGZO チャネルの成膜後、直ちに Zeocoat[®] チャネル保護膜 (PL: Protection Layer, 100 nm) を成膜した。Zeocoat[®] PL の成膜は、propylene glycol monomethyl ether (PGME) と propylene glycol monomethyl ether acetate (PGMEA) を体積比 7:3 で混合した溶媒により 5 倍希釈 (体積比) した Zeocoat[®] 溶液を、回転数 3000 rpm でスピコートすることにより行った。硬化条件は GI 及び IL と同一である。尚、この Zeocoat[®] PL は第一層目の GI としても働く。チャネルパターニング用のフォトマスクを用いて PL 上に塗布した PR のパターニングを行い、 O_2 プラズマにより PL のエッチングを行った後、連続してウエットエッチングを行うことにより IGZO チャネルのエッチングを行った。PR 剥離後、Zeocoat[®] 原液を回転数 4000 rpm で PL 上にスピコートし硬化させることにより、第二層目の Zeocoat[®] GI (300 nm) を成膜した。以後の TFT 作製プロセスは 4.5 に記載したものと同一である。

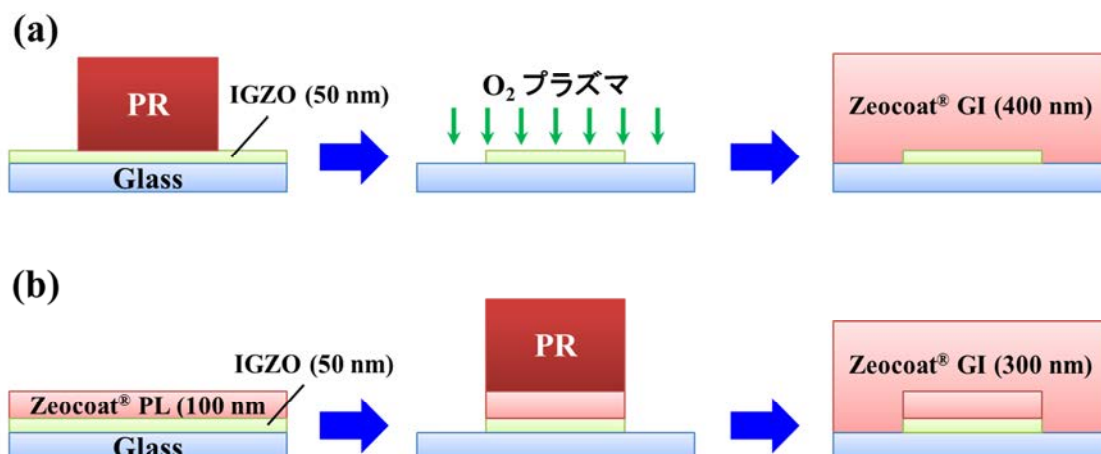


図 4.8 (a) チャンネル表面の O₂ プラズマ処理、及び
(b) PL を導入した IGZO チャンネル/Zeocoat[®] 界面形成プロセス

4.7 フロントチャンネル界面形成条件が TFT 特性に与える影響

図 4.9 (a) 中の実線はチャンネル表面の O₂ プラズマ処理を行った TG-SA IGZO TFT、また破線は図 4.7 で示した O₂ プラズマ処理無で作製した TG-SA IGZO TFT の伝達特性である。図 4.9 (a) に示す様に、O₂ プラズマ処理を行わなかった TFT は R[O₂] = 4% でチャンネルの成膜を行った場合でもスイッチング動作を示さなかったが、GI 成膜前にチャンネル表面の O₂ プラズマ処理を行うことにより、R[O₂] = 2% において鋭い立ち上がりを示す良好な TFT 特性を得ることが出来た。

また図 4.9 (b) は PL を導入した TFT の伝達特性である。PL を導入した場合、R[O₂] = 2% でチャンネルの成膜を行った TFT はスイッチング動作を示さなかったが、R[O₂] = 3, 4% でチャンネルの成膜を行った TFT は、O₂ プラズマ処理を行った TFT と同様の良好な TFT 特性を示した。PL を導入した TFT は、チャンネル表面の O₂ プラズマ処理を行った TFT とは異なり、R[O₂] = 2% ではスイッチング動作を示さなかったことから、チャンネル上への Zeocoat[®] 成膜に伴う界面での化学反応や、水素拡散等もチャンネルのキャリア濃度を増加させる要因であることが考えられる。しかしながら、PL を導入しなかった場合とは異なり、チャンネル成膜時の R[O₂] を 3, 4% に上げるにより TFT はスイッチング動作を示した。従って Zeocoat[®] 成膜に伴う IGZO チャンネルのキャリア濃度の上昇は、チャンネル成膜時の R[O₂] をわずかに上げるにより補償出来る範囲内であると言える。

以上の結果から、フォトリソグラフィに伴うチャンネル表面のダメージ・汚染が、チャンネルのキャリア濃度を上昇させる支配的要因であることが確かめられ、チャンネルのキャリア濃度を制御し良好なスイッチング特性を得る為には、O₂ プラズマ処理によるチャンネル表面のキャリア補償と、

PL の導入によるチャネル表面の保護が有効であることが明らかとなった。尚、我々の研究グループが 2006 年に報告した世界初の ZnO TFT を駆動に用いた液晶ディスプレイに関する研究において、PL を導入したトップゲート ZnO TFT 作製プロセスが用いられている[41]。また他の研究グループによる ALD Al_2O_3 を PL 及び GI に用いたトップゲート型 IGZO 及び ZnO TFT に関する研究においても、同様の TFT 作製プロセスが用いられている[22,24,42,43]。

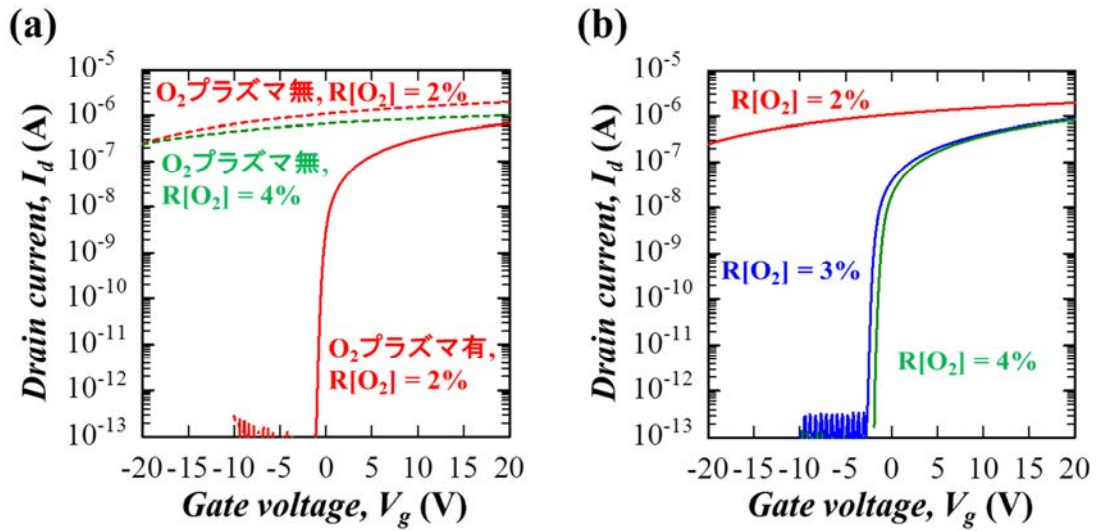


図 4.9 (a) チャネル表面の O_2 プラズマ処理、及び (b) PL によるチャネル表面の保護を行った TFT の伝達特性 ($W/L = 66/12 \mu\text{m}$, $V_d = 0.1 \text{ V}$)

図 4.10 (a,b,c) はチャネル表面の O_2 プラズマ処理を行った TFT ($R[\text{O}_2] = 2\%$ 、以降 TFT A) と、PL を導入し $R[\text{O}_2] = 3\%$ (以降 TFT B) と 4% (以降 TFT C) でチャネルの成膜を行った TFT の伝達特性である。伝達特性は、 $V_d = 0.1 \text{ V}$ で順方向 ($V_g: -10 \text{ V} \rightarrow 20 \text{ V}$) $\rightarrow$ 逆方向 ($V_g: 20 \text{ V} \rightarrow -10 \text{ V}$) の順序で測定した後、 $V_d = 20.1 \text{ V}$ で順方向 $\rightarrow$ 逆方向の順序で測定した。また各 TFT の特性パラメータについて表 4.1 にまとめた。尚、本章では TFT の S 値 (S.S.) を I_d が 10 pA から 100 pA に変化するのに要した V_g 、閾値電圧 (V_{th}) を $I_d = 1 \text{ nA}$ における V_g 、ヒステリシス (ΔV_H) を順方向と逆方向測定における V_{th} の差、立ち上がり電圧 (V_{on}) を $I_d = 10 \text{ pA}$ となる際の V_g とそれぞれ定義した。

図 4.10 (a,b,c) 及び表 4.1 に示す様に、TFT A, B, C の電界効果移動度 ($\mu_{Lin.}$, $\mu_{Sat.}$)、及び S.S. にはほとんど差が見られないが、TFT B の ΔV_H が 0.2 V であるのに対し、TFT B, C は 1.4 V と比較的大きな ΔV_H を示した。さらに $V_d = 20.1 \text{ V}$ で測定を行った際、TFT B の V_{on} は $V_d = 0.1 \text{ V}$ の時に比べて 0.5 V 負方向にシフトしたが、TFT A, B の V_{on} は共に 0.8 V 正方向にシフトした。

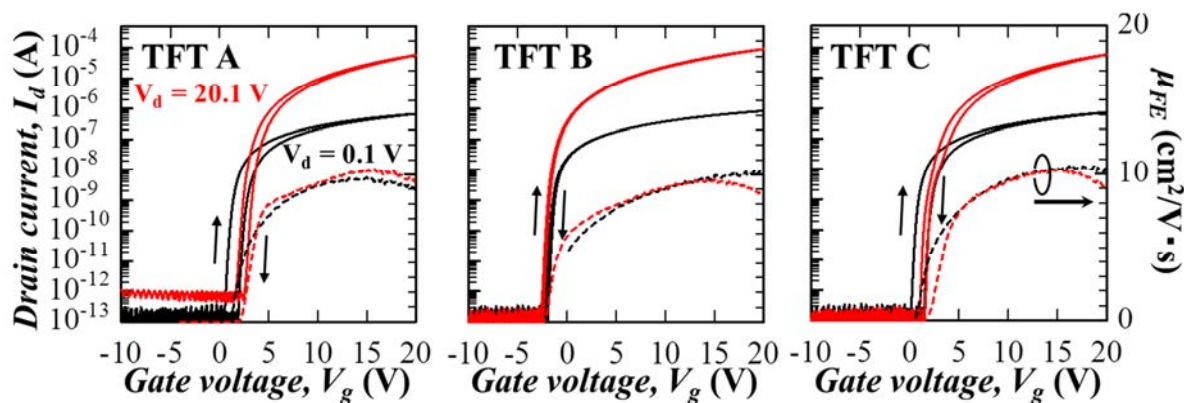


図 4.10 TFT A, B, C の伝達特性 ($W/L = 66/12 \mu\text{m}$)

表 4.1 図 4.10 中の TFT 特性パラメータ

TFT	A	B	C
$\mu_{\text{Lin.}}$ [cm^2/Vs]	11.0	12.4	11.8
$\mu_{\text{Sat.}}$ [cm^2/Vs]	11.7	11.7	11.6
S.S. (I_d : 10-100 pA) [V/dec.]	0.22	0.19	0.18
V_{th} ($I_d = 0.1 \text{ V}$) [V]	3.8	-1.4	0.9
ΔV_{H} ($I_d = 0.1 \text{ V}$) [V]	1.4	0.2	1.4
V_{on} ($I_d = 0.1 \text{ V}$) [V]	0.8	-1.9	0.4
V_{on} ($I_d = 20.1 \text{ V}$) [V]	1.9	-2.4	1.2

前述した伝達特性の測定順序から考えると、TFT A, C が示した比較的大きな ΔV_{H} 、また $V_d = 20.1 \text{ V}$ で測定した際の V_{on} の正シフトは、正ゲートバイアスストレス (PBS) による V_{th} の正シフトと同様、伝達特性測定の際の正の V_g 印加によるフロントチャネル界面への電子トラップが原因であることが考えられた。そこで伝達特性を連続測定することにより、各 TFT の V_{th} 安定性の評価を行った。

図 4.11 は $V_d = 0.1 \text{ V}$ で TFT A, B, C の順方向測定を 10 回連続行った際の伝達特性の変化である。図 4.11 に示す様に、全ての TFT において連続測定による V_{th} の正シフトが見られたが、そのシフト量は大きく異なった。測定 10 回目における V_{th} シフト量 ($\Delta V_{\text{th}10}$) は、TFT A では 5.9 V であったのに対し、TFT B では 1.0 V であった。また $R[\text{O}_2]$ の増加に伴い (3→4%)、 $\Delta V_{\text{th}10}$ は 3.8 V に増加した (TFT C)。

図 4.11 に示した連続測定による V_{th} の正シフトは、前述した伝達特性における ΔV_{H} と同様、順方向測定時の V_g 印加によるフロントチャネル界面への電子トラップが原因であることが考えられる。TFT A, C は TFT B に比べ大きな ΔV_{H} と、連続測定による V_{th} 正シフトを示したことから

ら、チャネル表面の O_2 プラズマ処理 (TFT A)、またチャネル成膜時の $R[O_2]$ の増加に伴い (TFT C)、フロントチャネル界面、及び IGZO チャネル内の電子トラップ密度が増加していることが考えられる。

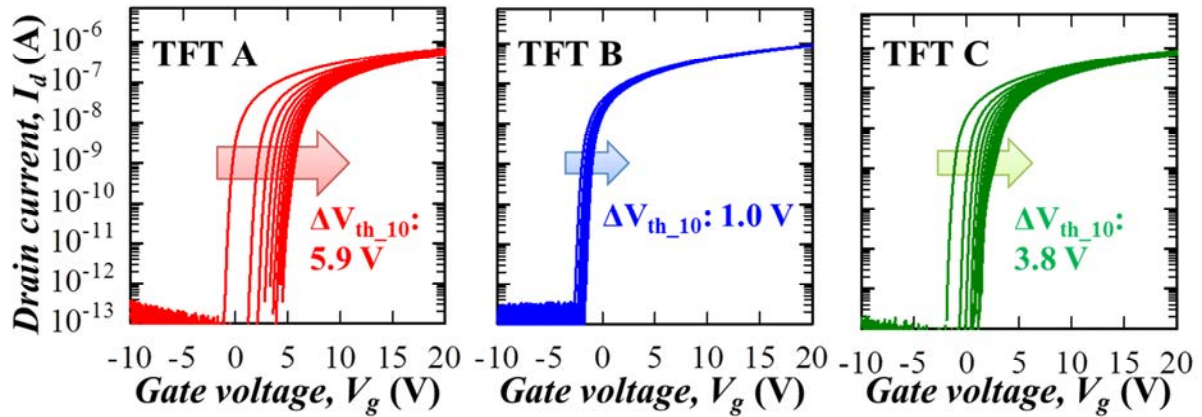


図 4.11 TFT A, B, C の順方向 10 回連続測定による伝達特性の変化 ($W/L = 66/12 \mu m$, $V_d = 0.1 V$)

前述の様に、チャネル表面の O_2 プラズマ処理を行った TFT A は、PL を導入し O_2 プラズマ処理を行わなかった TFT B ($R[O_2] = 3\%$) に比べ大きな ΔV_H と、連続測定による大きな V_{th} 正シフトを示した。ALD- Al_2O_3 を PL に用いたトップゲート型 Al-Zn-Sn-O (AZTO) TFT に関する研究においても、 O_2 プラズマ支援により PL の成膜を行った TFT は、酸化源として H_2O を用いて PL の成膜を行った TFT に比べ、PBS 試験において正方向への大きな V_{th} シフトを示したことが報告されている[43]。従って本研究結果、及び従来研究による報告から、IGZO チャネル表面が O_2 プラズマに直接曝された場合、IGZO チャネル表面（フロントチャネル界面）の電子トラップ密度が増加することが考えられる。

また PL を導入し、 $R[O_2] = 4\%$ でチャネルの成膜を行った TFT C は、 $R[O_2] = 3\%$ でチャネルの成膜を行った TFT B に比べ大きな ΔV_H と、連続測定による大きな V_{th} 正シフトを示した。RF スパッタ法により IGZO チャネルの成膜を行った従来研究でも、成膜時の $R[O_2]$ の増加に伴い連続測定時による V_{th} シフト量が増大することが報告されている。また昇温脱離ガス分析 (TDS, Thermal Desorption Spectrum) の結果、高 $R[O_2]$ で成膜した IGZO 膜内には多量の弱結合（過剰）酸素が存在することも報告されている[44]。第三章で述べた様に、IGZO チャネル中の過剰酸素 (O_{ex}) は、電子を捕獲することにより負に帯電し (O_{ex}^-)、 V_{th} の正シフトを招くことが知られている[45]。従って、本研究で見られた $R[O_2]$ 増加に伴う V_{th} 安定性の劣化は、従来研究による報告と同様に IGZO 膜中の過剰酸素量が増えた為であることが考えられる。また、チャネル表面の O_2 プラズマ処理により TFT の V_{th} 安定性が劣化した理由としては、チャネル表面へのプラズマ

ダメージも考えられるが、チャネル成膜時の $R[O_2]$ 増加と同様、フロントチャネル界面付近に多量の過剰酸素が導入された為であることが考えられる。

4.8 良好な特性を有する IGZO TFT を低温形成する為の指針

4.7 で述べた様に、PL により IGZO チャネル表面をフォトリソグラフィによる汚染・ダメージから保護し、適切な $R[O_2]$ でチャネルの成膜を行うことにより、ポリマー絶縁膜、Zeocoat[®] を GI に用いて、150 °C 以下のプロセスにより良好な特性を示す TG-SA IGZO TFT を作製することが出来た。最後に、本研究で作製した TG-SA IGZO TFT と、第二章 2.2 で示したプロセスにより作製した、PE-CVD 法により成膜した SiO_x エッチストップ層 (ESL) を有する BG-ESL IGZO TFT との比較を行い、良好な特性を有する IGZO TFT を低温形成する為の指針を示す。

図 4.12 (a,b) はそれぞれ、PE-CVD 法により N_2O/SiH_4 流量比 120/2 sccm で SiO_x ESL の成膜を行った BG-ESL IGZO TFT を、200, 250 °C でポストアニールした場合の伝達特性である。また図 4.12 (c) は、本研究で作製した Zeocoat[®] PL を有する TG-SA IGZO TFT ($R[O_2] = 3\%$, TFT B) の伝達特性である。図 4.12 (a,b) に示す様に、PE-CVD 法により SiO_x ESL の成膜を行った TFT は、スイッチング動作を得る為に ~ 250 °C でのポストアニーリング処理が必要であった。また測定した TFT の IGZO チャネルと同じ断面構造、プロセス履歴を有するホール素子を評価したところ、ポストアニール温度 200 °C 以下ではキャリア濃度が 10^{18} cm^{-3} 以上であった。

一方で図 4.12 (c) に示す様に、IGZO チャネル上に Zeocoat[®] PL を成膜した TG-SA TFT は、ポストアニールを含むプロセス温度が 150 °C 以下であるにも関わらず、良好なスイッチング特性を示している。尚、どちらの TFT に用いた IGZO チャネルも、成膜直後は高抵抗（キャリア濃度: $\sim 10^{17} \text{ cm}^{-3}$ ）であった。

アニール温度 200 °C 以下において、BG-ESL TFT の IGZO チャネルのキャリア濃度が 10^{18} cm^{-3} 以上であった理由としては、4.6 及び 4.7 で述べたフォトリソグラフィによるチャネル表面の汚染・ダメージや、第二章で述べた ESL からの水素拡散も考えられるが、 SiO_x ESL 成膜時のプラズマダメージにより、バックチャネル領域に V_o が生成した為であることも考えられる。また図 4.12 (b,c) に示したそれぞれの TFT の伝達特性と、表 4.2 にまとめた GI の膜厚 (t_i)、比誘電率 (ϵ_r)、S.S. を比較すると明らかな様に、Zeocoat[®] を PL 及び GI に用いた TG-SA TFT は、PE-CVD 法により成膜した SiO_x を GI に用いた BG-ESL TFT に比べ、 t_i が厚く ($t_i = 400 \text{ nm}$, PL・GI の合計)、 ϵ_r が低い ($\epsilon_r = 3.3$) にもかかわらず、鋭い I_d の立ち上がりを示し、S.S. が小さい。GI のキャパシタンス (C_i) が異なる TFT でも、以下の式

$$S.S. = \ln 10 \cdot \frac{k_B T}{e} \left(1 + \frac{e D_{sg}}{C_i} \right) = 0.0595 \left(1 + \frac{e D_{sg}}{C_i} \right) (T = 300 \text{ K}) \quad (1.9)$$

を用いる事により、それぞれの C_i と $S.S.$ の値から規格化した IGZO チャンネルのフェルミレベル (E_F) 近傍のサブギャップ欠陥準位密度 (D_{sg}) について、定量的に比較することが出来る。(1.9) 式を用いて算出したそれぞれの TFT の D_{sg} について同じく表 4.2 にまとめた。

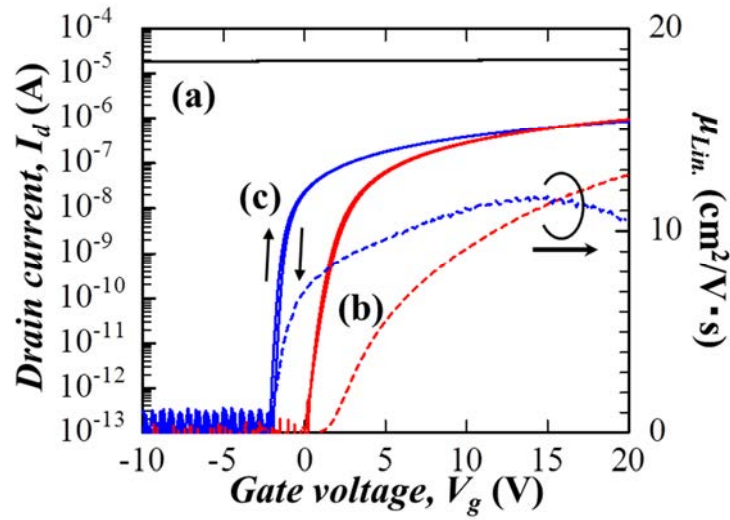


図 4.12 (a) 200 °C、(b) 250 °C でポストアニーリングを行った BG-ESL IGZO TFT ($W/L = 50/20 \mu\text{m}$) と、(c) TG-SA IGZO TFT ($W/L = 66/12 \mu\text{m}$) の伝達特性の比較 ($V_d = 0.1 \text{ V}$)

表 4.2 図 4.12 (b,c) に示した TFT の GI のパラメータ、及び $S.S.$ と算出した D_{sg}

TFT	(b)	(c)
GI	SiO _x (PE-CVD, 350 °C)	Zeocoat [®] (spin-coat, 150 °C)
t_i [nm]	150	400
ϵ_r	4	3.3
C_i [nF/cm]	24	7.3
$S.S.$ (I_d : 10-100 pA) [V/dec.]	0.41	0.19
D_{sg} [cm ⁻² eV ⁻¹]	8.7×10^{11}	1.0×10^{10}

算出された D_{sg} は、 SiO_x GI を用いた BG-ESL TFT では $8.7 \times 10^{11} \text{ cm}^2 \text{ eV}^{-1}$ 、Zeocoat[®] GI を用いた TG-SA TFT では $1.0 \times 10^{11} \text{ cm}^2 \text{ eV}^{-1}$ であった。つまり、ポストアニールを含む 150°C 以下のプロセスで作製した TFT の D_{sg} は、 250°C でポストアニールを行った TFT のおよそ 9 分の 1 であった。この結果は、無機材料である IGZO と、有機材料である Zeocoat[®] の間に非常に良好な界面が形成されていることを示唆すると同時に、スパッタ法により適切な条件で成膜された IGZO の D_{sg} はもともと低い、PE-CVD 法によるチャンネル上への絶縁膜形成に伴うプラズマダメージによって、チャンネルの D_{sg} が大幅に増大していることを示唆している。従って、ポリマー絶縁膜を TG-SA IGZO TFT の GI として用いる利点として、プラズマダメージレスなフロントチャンネル界面形成が可能である点が挙げられる。

さらに 4.7 に示した様に、チャンネル表面の O_2 プラズマ処理や、チャンネル成膜時の $R[\text{O}_2]$ の増加によるチャンネルのキャリア補償は、IGZO チャンネルのキャリア濃度を 10^{17} cm^{-3} 以下に制御し、TFT のスイッチング動作を得る上では有効であったが、同時に IGZO チャンネル中の過剰酸素が原因と考えられる V_{th} 安定性の劣化を招くことが明らかとなった。特に図 4.9 及び図 4.11 に示した様に、チャンネル成膜時のわずか 1% の $R[\text{O}_2]$ の違いより、TFT 特性及び V_{th} 安定性が大きく変化したことから、良好な TFT 特性が得られる $R[\text{O}_2]$ の範囲は非常に狭いと言える。従って IGZO TFT の特性・信頼性を制御する為には、第二章、及び第三章で述べた IGZO 膜中水素量と同様に、膜中酸素量も適切に制御する必要がある。同様の結果が RF マグネトロンスパッタ法により IGZO チャンネルの成膜を行った TFT に関する研究においても報告されており [43]、本研究で用いた In:Ga:Zn の組成比が 1:1:1 の InGaZnO_4 ターゲットの場合、最適な $R[\text{O}_2]$ は 2-3% であることが報告されている [46]。

以上にまとめた本研究成果から、良好な特性を示す IGZO TFT を低温形成する為には、適切な条件でチャンネルの成膜を行い、その後のチャンネルへのプロセスダメージを最小化することが重要であるという指針を得た。

参考文献

- [1] M. Mativenga *et al.*, “Transparent flexible circuits based on amorphous-indium-gallium-zinc-oxide thin-film transistors”, *IEEE Electron Device Lett.*, **32** (2011) 170.
- [2] W.-T. Lin *et al.*, “Low temperature oxide TFTs on plastic films for flexible display applications”, *SID Int. Symp. Digest Tech. Papers*, **44** (2013) 1232.
- [3] M. Nag *et al.*, “Flexible AMOLED display and gate-driver with self-aligned IGZO TFT on plastic foil”, *SID Int. Symp. Digest Tech. Papers*, **45** (2014) 248.
- [4] X. Xiao *et al.*, “a-IGZO TFTs with inductively coupled plasma chemical vapor deposited SiO_x gate dielectric”, *IEEE Electron Device Lett.*, **60** (2013) 2687.
- [5] D.-H. Kim *et al.*, “Low-temperature fabrication ($<150^\circ\text{C}$) of amorphous IGZO TFTs via high density CVD and superimposed rf/dc magnetron sputtering”, *Current Appl. Phys.*, **12** (2012) 548.
- [6] K. Nomura *et al.*, “Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors”, *Nature*, **432** (2004) 488.
- [7] M.-J. Yu *et al.*, “Amorphous InGaZnO thin-film transistors compatible with roll-to-roll fabrication at room temperature”, *IEEE Electron Device Lett.*, **33** (2012) 47.
- [8] H.-H. Hsu *et al.*, “Fully room-temperature IGZO thin film transistors adopting stacked gate dielectrics on flexible polycarbonate substrate”, *Solid Stat. electron.*, **89** (2013) 194.
- [9] N. C. Su, S. J. Wang, and A. Chin, “High-performance InGaZnO thin-film transistors using HfLaO gate dielectric” *IEEE Electron Device Lett.*, **30** (2009) 1317.
- [10] J. S. Lee *et al.*, “High-performance a-IGZO TFT with ZrO_2 gate dielectric fabricated at Room temperature”, *IEEE Electron Device Lett.*, **31** (2010) 225.
- [11] C. J. Chju, S. P. Chang, and S. J. Chang, “High-performance a-IGZO thin-film transistor using Ta_2O_5 Gate Dielectric”, *IEEE Electron Device Lett.*, **31** (2010) 1245.
- [12] K. Nomura *et al.*, “Amorphous oxide semiconductors for high-performance flexible thin-film transistors”, *Jpn. J. Appl. Phys.*, **45**, (2006) 4303.
- [13] S. Yang *et al.*, “Low-temperature processed flexible In–Ga–Zn–O thin-film transistors exhibiting high electrical performance”, *IEEE Electron Device Lett.*, **32** (2011) 1692.
- [14] J. Y. Bark and S. M. Yoon, “Effect of In-Ga-Zn-O active layer channel composition on process temperature for flexible oxide thin-film transistors”, *J. Vac. Sci. Technol. B*, **30** (2012) 041208.
- [15] M.-Ji. Park *et al.*, “Bending performance and bias-stress stability of the In-Ga-Zn-O TFTs prepared on flexible PEN substrates with optimum barrier structures”, 22nd International Workshop on Active-Matrix Flatpanel Displays and Devices (AM-FPD), 1-4 July 2015, Kyoto, Japan.
- [16] Y. Fukui *et al.*, “Full color flexible top-emission AMOLED display on polyethylene naphthalate (PEN) foil with metal oxide TFTs backplane”, *SID Int. Symp. Digest Tech. Papers*, **44** (2013) 203.

- [17] J. B. Kim *et al.*, “Low-voltage InGaZnO thin-film transistors with Al₂O₃ gate insulator grown by atomic layer deposition”, *Appl. Phys. Lett.*, **94** (2009) 142107.
- [18] L. Lan and J. Peng, “High-performance Indium–Gallium–Zinc oxide thin-film transistors based on anodic aluminum oxide”, *IEEE Electron Device Lett.*, **58** (2011) 1452.
- [19] H. Xu *et al.*, “A flexible AMOLED display on the PEN substrate driven by oxide thin-film transistors using anodized aluminum oxide as dielectric”, *J. Mater. Chem. C*, **2** (2014) 1255.
- [20] H. Xu *et al.*, “Fabrication of flexible amorphous Indium-Gallium-Zinc-Oxide thin-film transistors by a chemical vapor deposition-free process on polyethylene naphthalene”, *ECS J. of Sol. Stat. Sci. and Technol.*, **3** (2014) Q3035.
- [21] Y. Nakajima *et al.*, “Low-temperature fabrication of 5-in. QVGA flexible AMOLED display driven by OTFTs using olefin polymer as the gate insulator”, *J. SID*, **19** (2011) 861.
- [22] S. Yang *et al.*, “Environmentally stable transparent organic-oxide hybrid transistor based on an oxide semiconductor and a polyimide gate insulator”, *IEEE Electron Device Lett.*, **31** (2010) 446.
- [23] T.-H. Lee *et al.*, “Hysteresis suppression of thin-film transistors with poly (vinyl alcohol) insulator on flexible stainless steel substrate”, *SID Int. Symp. Digest Tech. Papers*, **41** (2010) 1633.
- [24] S. Yang *et al.*, “Water-related abnormal instability of transparent oxide/organic hybrid thin film transistors”, *Appl. Phys. Lett.*, **98** (2011) 103515.
- [25] M. Nakata *et al.*, “Low-temperature fabrication of flexible AMOLED displays using oxide TFTs with polymer gate insulators”, *SID Int. Symp. Digest Tech. Papers*, **42** (2011) 202.
- [26] M. Nakata *et al.*, “Analysis of the influence of sputtering damage to polymer gate insulators in amorphous InGaZnO₄ thin-film transistors”, *Jpn. J. Appl. Phys.*, **51** (2012) 044105.
- [27] C. J. Chiu, S. P. Chang, S. J. Chang, “High-performance amorphous indium–gallium–zinc oxide thin-film transistors with polymer gate dielectric”, *Thin Solid Films*, **520** (2012) 5455.
- [28] H.-C. Lai *et al.*, “Ultra-flexible amorphous indium-gallium-zinc oxide (a-IGZO) thin film transistor”, *SID Int. Symp. Digest Tech. Papers*, **43** (2012) 764.
- [29] G. W. Hyung *et al.*, “Amorphous indium gallium zinc oxide thin-film transistors with a low-temperature polymeric gate dielectric on a flexible substrate” *Jpn. J. Appl. Phys.*, **52** (2013) 071120.
- [30] H.-C. Lai *et al.*, “Alumina nanoparticle/polymer nanocomposite dielectric for flexible amorphous indium-gallium-zinc oxide thin film transistors on plastic substrate with superior stability” *Appl. Phys. Lett.*, **105** (2014) 033510.
- [31] H.-H. Hsieh *et al.*, “Flexible IGZO TFTs with a disruptive photo-patternable and thermally stable organic gate insulator” *SID Int. Symp. Digest Tech. Papers*, **46** (2015) 486.
- [32] J. Park *et al.*, “Self-aligned top-gate amorphous gallium indium zinc oxide thin film transistors” *Appl. Phys. Lett.*, **93** (2008) 053501.
- [33] M. Mativenga *et al.*, “High-performance drain-offset a-IGZO thin-film transistors”, *IEEE Electron Device Lett.*, **32** (2011) 644.

- [34] N. Morosawa *et al.*, “Self-aligned top-gate oxide thin-film transistor formed by aluminum reaction method” Jpn. J. Appl. Phys., **50** (2011) 096502.
- [35] D. H. Kang *et al.*, “Self-aligned coplanar a-IGZO TFTs and application to high-speed circuits”, IEEE Electron Device Lett., **32** (2011) 1385.
- [36] N. Morosawa *et al.*, “Novel self-aligned top-gate oxide TFT for AMOLED displays”, J. SID, **20** (2012) 47.
- [37] N. Morosawa *et al.*, “High mobility self-aligned top-gate oxide TFT for high-resolution AM-OLED”, SID Int. Symp. Digest Tech. Papers, **44** (2013) 85.
- [38] H.-Y. Jeong *et al.*, “Coplanar amorphous-indium-gallium-zinc-oxide thin film transistor with He plasma treated heavily doped layer” Appl. Phys. Lett., **104** (2014) 022115.
- [39] J. Jiang and M. Furuta, “Self-aligned bottom-gate In–Ga–Zn–O thin-film transistor with source/drain regions formed by direct deposition of fluorinated silicon nitride”, IEEE Electron Device Lett., **35** (2014) 933.
- [40] H.-W. Zan *et al.*, “Effective mobility enhancement by using nanometer dot doping in amorphous IGZO thin-film transistors”, Adv. Mater., **23** (2011) 1.
- [41] T. Hirao *et al.*, “Novel top-gate zinc oxide thin-film transistors (ZnO TFTs) for AMLCDs”, J. SID, **15** (2007) 17.
- [42] S.-H. K. Park *et al.*, “Channel protection layer effect on the performance of oxide TFTs”, ETRI J., **31** (2009) 653.
- [43] S.-H. K. Park *et al.*, “Device reliability under electrical stress and photo response of oxide TFTs” J. SID, **18** (2010) 779.
- [44] 井出 啓介 他, “アモルファス In-Ga-Zn-O における過剰酸素と不安定性の関係”, 第 76 回応用物理学会秋季学術講演会予稿集, (2015) 16-050.
- [45] K. Ide *et al.*, “Effects of excess oxygen on operation characteristics of amorphous In-Ga-Zn-O tin-film transistor” Appl. Phys. Lett., **99** (2011) 093507.
- [46] 神谷 利夫 他, “TFT 用アモルファス酸化物半導体の最適製膜条件の特徴”, 第 76 回応用物理学会秋季学術講演会予稿集, (2015) 16-049.

第五章

TG-SA IGZO TFT の実効チャネル長と信頼性評価

5.1 はじめに

第四章に示した研究により、適切な酸素流量比 ($R[O_2] = 3\%$) で IGZO チャネルの成膜を行い、チャネル保護層 (PL) によりチャネル表面をフォトリソグラフィによる汚染・ダメージから保護することにより、ポリマー絶縁膜、Zeocoat[®] をゲート絶縁膜 (GI) に用いて、ポストアニールを含む最高プロセス温度 150°C で良好な特性を示すトップゲート・セルフアライン (TG-SA) 型 IGZO TFT を作製することが出来た。

第四章 4.2 で述べた様に、TG-SA TFT ではゲート電極をマスクとして、GI のエッチングとチャネルへのキャリアドーピングを行うことにより、低抵抗な S/D 領域を自己整合的に形成する。従って理想的にはチャネル長 (L) はゲート線幅 (L_g) と等しくなるが、実際にはサイドエッチングによる GI の縮小や、S/D 領域からチャネル中へのドーパントの拡散により、TFT の実効チャネル長 (L_{eff}) は L_g より短くなる。第一章 1.2.1 に記した様に、TFT の線形・飽和領域における電界効果移動度 ($\mu_{\text{Lin.}}, \mu_{\text{Sat.}}$) はそれぞれ以下の式

$$\mu_{\text{Lin.}} = \frac{Lg_m}{WC_iV_d} \quad (1.4)$$

$$\mu_{\text{Sat.}} = \frac{2L}{WC_i} \left(\frac{\delta\sqrt{I_d}}{\delta V_g} \right)^2 \quad (1.7)$$

を用いて算出される。尚、(1.4) 及び (1.7) 式中における g_m はチャネルの相互コンダクタンス ($g_m = \Delta I_d / \Delta V_g$)、 W はチャネル幅、 C_i は単位面積当たりのゲート絶縁膜のキャパシタンスである。従って TFT の電界効果移動度を正しく評価する為には、 L_{eff} の評価を行う必要がある。

また L_g と L_{eff} の差分を ΔL とすると ($\Delta L = L_g - L_{eff}$)、 ΔL の増加に伴い S/D 領域とゲート電極のオーバーラップ面積が増大し、TFT の寄生容量 (C_p) が増加する。第四章で述べた様に、TFT の C_p はディスプレイの焼き付きやフリッカー、輝度バラツキの原因となる。さらに TFT を用いた回路の動作速度を向上する為には、TFT の RC 時定数 (τ) を最小化する必要がある。TFT のチャネル抵抗 (R_{ch}) を最小化する為には、 L_g をフォトリソグラフィの最小加工寸法 (L_{min}) と等しくすることが理想的であるが、 ΔL が大きい場合、 L_g が ΔL の値に近づくことによりチャネル全体のキャリア濃度が増加し、 V_{th} が負シフトすることが予想される。従って ΔL の最小化、即ちチャネル長制御性の向上は、TG-SA IGZO TFT のディスプレイ、また回路応用における重要な課題であると言える。

本章では、初めに He プラズマ処理により S/D 領域の形成を行った TG-SA IGZO TFT の L_{eff} の評価結果について示す。さらに、He プラズマ処理に比べチャネル長制御性に優れることが予想された Al 反応法を、S/D 領域低温形成技術として応用し、He プラズマ処理と比較した結果について示す。また大気分子の吸着及びパッシベーション層の形成が、TG-SA IGZO TFT の正ゲートバイアスストレス (PBS) 信頼性に与える影響について示し、最後に従来研究との比較から、本研究成果の位置付けと、今後の課題について述べる。

5.2 He プラズマ処理により S/D 領域を形成した TG-SA IGZO TFT の実効チャネル長評価

Zeocoat® PL (100 nm) を有する TG-SA IGZO TFT の合計チャネル抵抗 ($R_{tot.}$) の L_g 依存性を調べることで、 L_{eff} の評価を行った。評価した TFT の作製プロセス、及び構造は第四章 4.5 及び 4.6 に示したものと同一であり、IGZO チャネル成膜時の $R[O_2]$ は 3% である。また S/D 領域の形成は、誘導結合プラズマ (ICP: Inductively Coupled Plasma) ドライエッチング装置を用いた He プラズマ処理により行った。He プラズマ処理時の ICP プラズマソース電力 (P_s) と基板バイアス電力 (P_B) はそれぞれ $P_s / P_B = 500/50$ W である。

図 5.1 に $V_g = 12.5 - 17.5$ V における $W = 66 \mu m$, $L_g = 10.4, 20.4, 30.4, 40.4 \mu m$ の TFT の $R_{tot.}$ の L_g 依存性を示す。尚、 $R_{tot.}$ は $V_d = 0.1$ V において $R_{tot.} = I_d / V_d$ と算出し、また L_g は走査型電子顕微鏡 (SEM) 観察により測定した実測値である。ここで $V_g - V_{th} \gg V_d/2$ であるとき、 $R_{tot.}$ は以下の式

$$R_{tot.} = \frac{L_g - \Delta L}{W \mu_{eff} C_i (V_g - V_{th})} + R_{S/D} \quad (5.1)$$

により与えられる[1,2]。(5.1) 式中の ΔL は L_g と $L_{eff.}$ の差分 ($\Delta L = L_g - L_{eff.}$)、 $R_{S/D}$ は S/D 領域のシリーズ抵抗、 $\mu_{eff.}$ は実効電界効果移動度である。従って図 5.1 に示す様に、各 V_g における $R_{tot.}$ の L_g 依存性の直線近似を行うことにより、近似直線の交点における L_g と $R_{tot.}$ の値から、 ΔL と $R_{S/D}$ の値をそれぞれ読み取ることが出来る。

図 5.1 中の差込図から読み取った ΔL 及び $R_{S/D}$ は、それぞれ $2.2 \mu\text{m}$ 、 $3.2 \times 10^4 \Omega$ であった。この結果は、 $L_{eff.}$ が L_g に比べ $2.2 \mu\text{m}$ 短くなっている、即ち図 5.2 に示す様に、He プラズマ処理により形成された S/D (n^+) 領域が、本来ゲート電極及び GI により保護されているはずのチャンネル領域に、片側 $1.1 \mu\text{m}$ ($\Delta L/2$) ずつ広がっていることを示す。

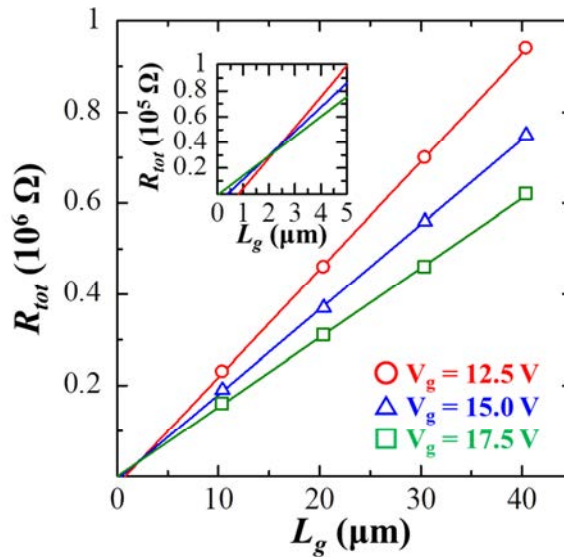


図 5.1 He プラズマ処理により S/D 領域の形成を行った TFT の $R_{tot.}$ の L_g 依存性 ($W = 66 \mu\text{m}$, $L_g = 10.4, 20.4, 30.4, 40.4 \mu\text{m}$, $V_d = 0.1 \text{ V}$, 差込図: $L_g = 0-5 \mu\text{m}$ の拡大図)

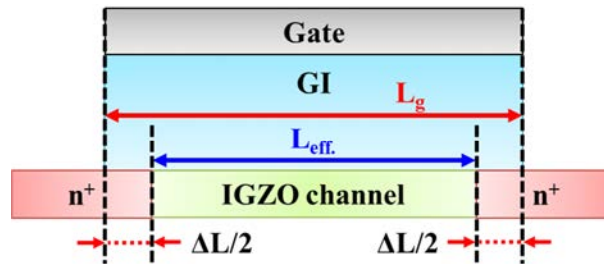


図 5.2 TG-SA IGZO TFT の $L_{eff.}$ 縮小イメージ図

S/D 領域がゲート電極下のチャネル領域まで広がった要因として、Zeocoat[®] PL 及び GI が O₂ プラズマエッチング時のサイドエッチにより縮小している可能性が考えられる。また ICP ドライエッチング装置を用いた He プラズマ処理時、He イオンを基板方向に加速させる為に基板バイアス ($P_B = 50 \text{ W}$) を印加したが、同時に安定した放電を維持する為に比較的高い圧力 (5 Pa) でプラズマ処理を行った為、基板に対し斜め方向に入射する He イオンの衝突によって、ゲート電極下部のチャネル領域のキャリア濃度が増大したことも考えられる。また、我々は X 線光電子分光 (XPS) による評価の結果、He プラズマ処理により IGZO 中の酸素欠損 (V_O) 量が増加することを確認している[3]。プラズマ処理により S/D 領域に V_O を形成した場合、アニールやプロセス中の基板加熱によって、チャネル領域の酸素が、酸素が不足している (V_O の多い) S/D 領域に拡散することにより、 L_{eff} が縮小したことも考えられる。

5.3 Al 反応法による S/D 領域の形成と実効チャネル長評価

He プラズマ処理により S/D 領域の形成を行った TG-SA IGZO TFT の L_{eff} を評価した結果、 L_{eff} は L_g に比べ $2.2 \mu\text{m}$ 縮小していることが明らかとなった。

プラズマ処理以外にも、IGZO に対しシャロードナーとして働く水素やフッ素の拡散による TG-SA IGZO TFT の S/D 領域形成が報告されている[1,2]。しかしながらこれらの手法においても、アニールに伴うチャネル領域への水素、フッ素の拡散により L_{eff} が縮小 (ΔL が増大) することが報告されている。

一方、Morosawa らは Al 反応法による S/D 領域の形成を報告している[4,5]。図 5.4 (a) は報告された Al 反応法による TG-SA IGZO TFT の S/D 領域形成プロセスである[4]。Al 反応法では、トップゲート電極をマスクとして GI のエッチングを行った後、5 nm 程度の Al をスパッタ成膜する。その後、疑似大気雰囲気 ($\text{N}_2/\text{O}_2 = 80/20\%$) 中、 200°C で TFT をアニールすることにより、S/D 領域に堆積した Al が IGZO 中に拡散し、S/D 領域のシート抵抗が減少することが報告されている。Al は ZnO に対しドナーとして働くことが知られており[6]、Al 添加により IGZO のキャリア濃度が増加 (シート抵抗が減少) する理由も同様であると考えられている。また図 5.4 (b) の SEM 像に示す様に、酸素存在下でのアニールにより表面の Al が酸化し AlO_x となることにより、S/D 領域とゲート電極が電氣的に絶縁される。

従来研究では、エネルギー分散型 X 線分析 (EDS: Energy Dispersive X-ray Spectroscopy) による評価の結果、 200°C でアニールを行った場合、Al は IGZO 中に 10 nm 程度拡散することが報告されている[4]。Al は H, O, F 等の元素に比べ質量数が大きい為、TG-SA IGZO TFT の S/D 領域形成に Al 反応法を用いた場合、前述したプラズマ処理による酸素欠損の生成や、水素・酸素の

拡散による S/D 領域の形成手法に比べ、チャネル長制御性に優れることが期待出来た。従って ΔL 減少を目的に、Al 反応法による S/D 領域の形成を試みた。

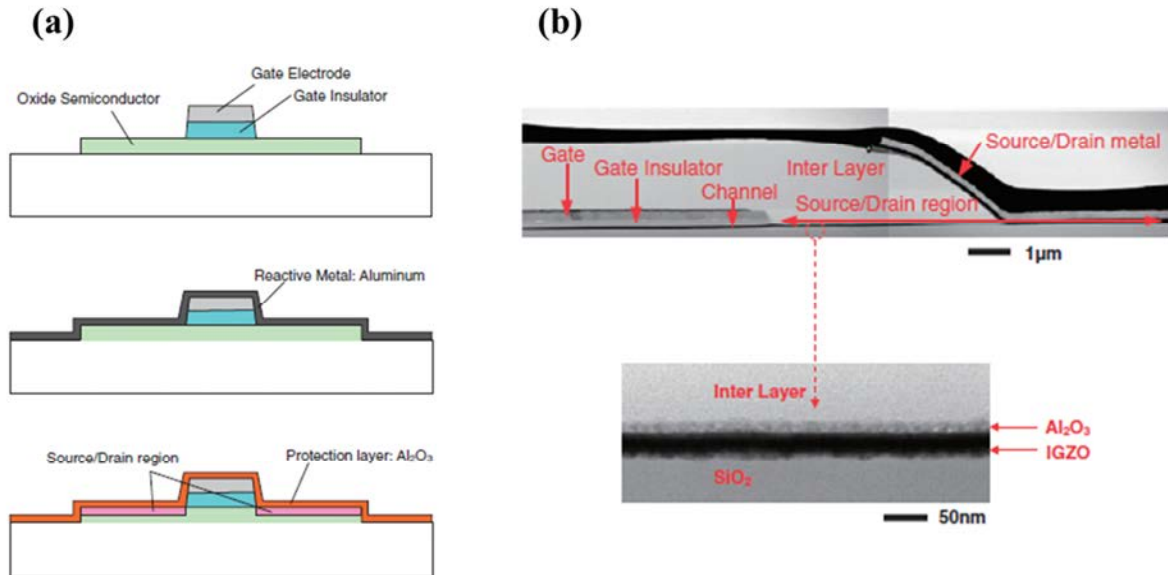


図 5.4 (a) Al 反応法による TG-SA IGZO TFT の S/D 領域形成プロセスと、
(b) TFT 及び S/D 領域の断面 SEM 像[4]

前述の様に、従来研究により報告された Al 反応法による S/D 領域形成プロセスでは、スパッタ成膜した Al を酸化し、S/D 領域とゲート電極を電氣的に絶縁する為に、疑似大気雰囲気中、200 °C でのアニールを行っていた。しかしながら、本研究では最高プロセス温度 150 °C での TFT 作製を目標としており、150 °C 以下でのアニーリングでは Al を完全に酸化させることは困難であることが考えられた。また、Al を酸化させることにより S/D 領域上に AlO_x が形成された場合、S/D 電極と S/D 領域間の良好なコンタクトを得る為に、S/D 電極と S/D 領域間に存在する AlO_x をエッチングする必要がある。その際、S/D 領域 (IGZO) のエッチングを最小限にしつつ、表面の AlO_x のみを完全に除去する為には、非常に精密なエッチングプロセスの制御が必要であることが予想された。

ここで、スパッタ成膜した Al が IGZO 中に拡散し、ドナーとして働くことにより IGZO のキャリア濃度を増加させるのであれば、薄膜では無く、粒子又は島状に Al を堆積したとしても、IGZO を低抵抗化出来るのではないかと考えた。さらに Al を粒子又は島状に堆積した場合、酸化しなくともゲート電極と S/D 領域の短絡を防げることが考えられた。

従って本研究では、図 5.5 に示す様に Al トップゲート電極をマスクとして Zeocoat[®] GI 及び PL のエッチングを行った後、DC スパッタ法により成膜レート (3.9 nm/min) から換算して ~1.3 nm

の Al を基板上に堆積することによる S/D 領域形成を試みた。スパッタ法により 1.3 nm の Al を堆積した場合、Al は薄膜を形成せず、粒子又は島状に堆積することが考えられる。その場合、前述した様に Al を酸化させることによるゲート電極と S/D 電極の絶縁は不要であると考えた為、Al 堆積後にアニーリングは行わなかった。S/D 領域形成以外の TFT 作製プロセスは、He プラズマ処理を用いた場合と同じである。

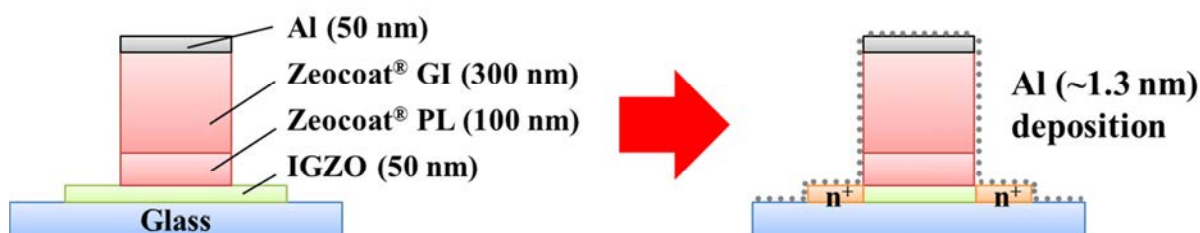


図 5.5 Zeocot® PL を有する TG-SA IGZO TFT の Al 反応法による S/D 領域形成プロセス

He プラズマ処理によって S/D 領域を形成した TFT と同様、 R_{tot} の L_g 依存性を評価することにより、Al 反応法により S/D 領域の形成を行った TFT の L_{eff} を評価した。図 5.6 (a) は $W = 66 \mu\text{m}$, $L_g = 10.4, 20.4, 30.4, 40.4 \mu\text{m}$ の TFT の、 $V_g = 15.0 - 20.0 \text{ V}$ における R_{tot} の L_g 依存性である ($R_{tot} = I_d/V_d$, $V_d = 0.1 \text{ V}$)。図 5.6 (a) 中の差込図に示す様に、各 V_g における R_{tot} の L_g 依存性の近似直線の交点における L_g は $0.5 \mu\text{m}$ であり ($\Delta L = 0.5 \mu\text{m}$)、He プラズマ処理により S/D 領域を形成した場合に比べ、 ΔL は $1.7 \mu\text{m}$ 減少した。さらに、同じく近似直線の交点から読み取った $R_{S/D}$ は $1.0 \times 10^4 \Omega$ であり、He プラズマ処理時の三分の一以下であることが明らかとなった。

Al 反応法により S/D 領域の形成を行った場合、 ΔL が He プラズマ処理時に比べ $1.7 \mu\text{m}$ 減少したことから、He プラズマ処理により L_{eff} が縮小した主な理由としては、前述した He プラズマ処理時の斜め入射成分の影響、及びチャネルから S/D 領域への酸素の拡散が考えられる。また Al 反応法により S/D 領域の形成を行った場合の $R_{S/D}$ は、He プラズマ処理時の三分の一以下であった。作製した TFT と同一基板上に存在し、S/D 領域と同じ断面構造、プロセス履歴を有するホール素子を測定したところ、He プラズマ処理を行った IGZO (50 nm) のシート抵抗は $2.7 \times 10^3 \Omega/\square$ 、キャリア濃度は $2.6 \times 10^{19} / \text{cm}^3$ であったのに対し、Al を堆積した IGZO のシート抵抗は $1.1 \times 10^3 \Omega/\square$ 、キャリア濃度は $6.4 \times 10^{19} / \text{cm}^3$ であり、Al を堆積した IGZO のシート抵抗は、 $R_{S/D}$ と同様に He プラズマ処理を行った IGZO の三分の一程度であった。尚、Al 堆積後に IGZO チャネルの無い基板表面は導電性を示さなかったことから、電流は堆積した Al ではなく、Al を堆積した IGZO を流れていることを確認している。さらに IGZO のシート抵抗は、Al 堆積直後（アニール無）に測定した場合でも $5.0 \times 10^3 \Omega/\square$ であったことから、アニール処理を行わなくとも、スパッタされ

た Al 粒子の持つ運動エネルギーによって、IGZO と Al の間に何らかの反応が生じ、IGZO が低抵抗化することが考えられる。

図 5.6 (b) に He プラズマ処理、及び Al 反応法により S/D 領域の形成を行った TFT の伝達特性の比較を示す。 L_g (10.4 μm) とそれぞれの ΔL から算出した L_{eff} は、He プラズマ処理では 8.2 μm 、Al 反応法では 9.9 μm である。両者はほぼ同様の特性を示しているが、 L_{eff} を用いて算出した実効的な電界移動度 μ_{eff} は、He プラズマ処理の場合 8.5 cm^2/Vs 、Al 反応法の場合 9.8 cm^2/Vs であり、Al 反応法により S/D 領域の形成を行った TFT の μ_{eff} がわずかに高くなっている。これは (5.1) 式に示される様に、 $R_{\text{S/D}}$ の低下に伴い R_{tot} が減少した為であると考えられる。

以上を示した結果により、TG-SA IGZO TFT の S/D 領域形成手法としては、He プラズマ処理に比べ、 ΔL 、 $R_{\text{S/D}}$ が共に小さい Al 反応法の方が理想的であると言える。本研究では、従来研究により報告されていた Al 反応法を、150 $^{\circ}\text{C}$ 以下での S/D 領域低温形成技術として応用し、さらに従来のプラズマ処理や水素・フッ素拡散による S/D 領域形成手法に比べて、チャネル長制御性に優れるという応用上の利点を明確に示した。Al 粒子をスパッタ堆積することにより、IGZO の表面抵抗が大幅に減少するメカニズムについて今後詳しい解析が求められるが、本技術は TG-SA IGZO TFT の S/D 領域低温形成技術としてだけでなく、IGZO の透明導電膜応用においても有用な技術と成り得る可能性を秘めている。

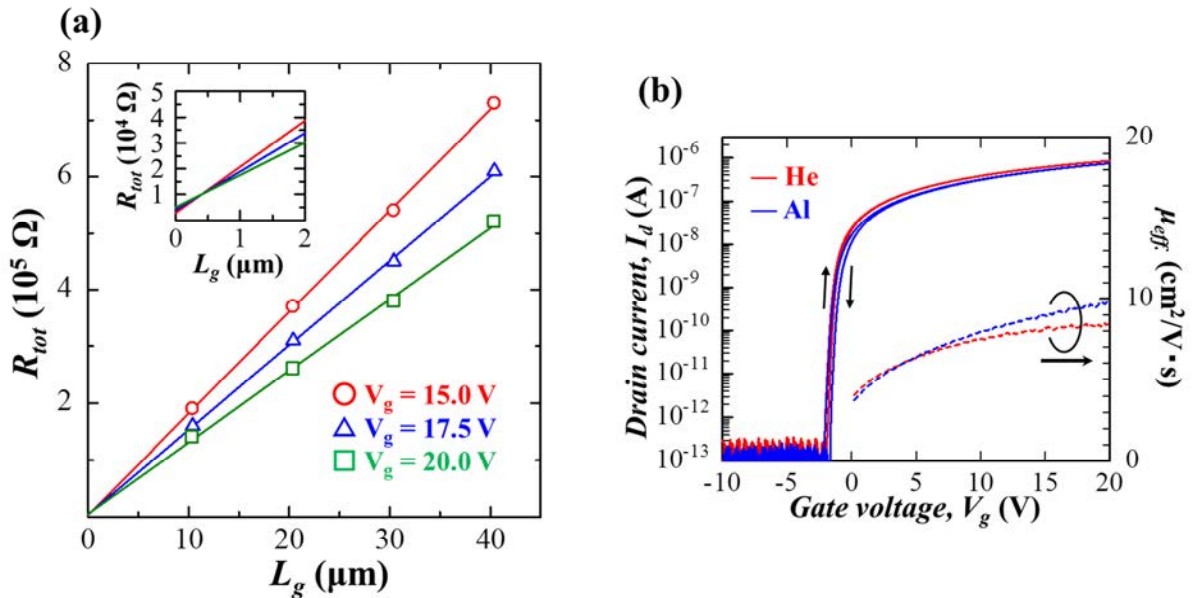


図 5.6 (a) Al 反応法により S/D 領域の形成を行った TFT の R_{tot} の L_g 依存性 ($W = 66 \mu\text{m}$, $L_g = 10.4, 20.4, 30.4, 40.4 \mu\text{m}$, $V_d = 0.1 \text{ V}$, 差込図: $L_g = 0 \sim 2 \mu\text{m}$ の拡大図) と、(b) He プラズマ処理、及び Al 反応法により S/D 領域の形成を行った TFT の伝達特性 ($V_d = 0.1 \text{ V}$, $W = 66 \mu\text{m}$, $L_{\text{eff. [He]}} = 8.2 \mu\text{m}$, $L_{\text{eff. [Al]}} = 9.9 \mu\text{m}$)

5.4 正ゲートバイアスストレス（PBS）信頼性

Al 反応法により S/D 領域の形成を行った TG-SA IGZO TFT の、PBS 信頼性試験を行った。PBS 試験は室温、大気雰囲気中で行い、ストレス電圧 20 V を TFT のゲート電極に計 10,000 秒間印加した。また、本章における TFT の V_{th} は $I_d = 1\text{ nA}$ となるときの V_g と定義した。

第二章及び第三章で述べた様に、IGZO TFT は PBS 試験において、フロントチャネル界面欠陥準位への電子トラップにより正方向への V_{th} シフトを示すことが一般的である。しかしながら図 5.7 (a) に示す様に、Zeocoat[®]を GI (PL) に用いた TG-SA IGZO TFT は、大気中での PBS 試験において、ストレス時間 1,000 秒当りから V_{th} 付近でのオン電流劣化（ハンプ）を伴う大幅な V_{th} の負シフトを示した。

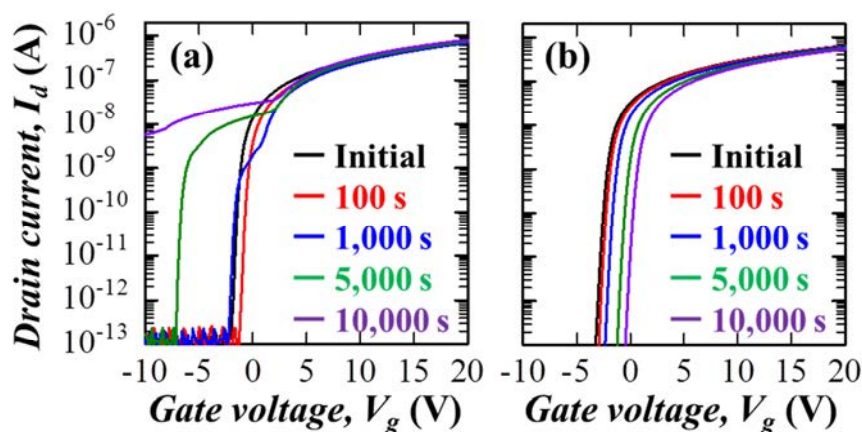


図 5.7 (a) 大気中及び (b) 高真空中での PBS 試験における TG-SA IGZO TFT の伝達特性の変化 ($V_d = 0.1\text{ V}$, $W = 66\text{ }\mu\text{m}$, $L_{\text{eff}} = 9.9\text{ }\mu\text{m}$)

この PBS 試験における異常な特性劣化の原因として、Zeocoat[®] GI 及び PL 中の H_2O 等の極性分子や、イオン性不純物（モバイルイオン）による影響が考えられた[7]。図 5.8 (a) に示す様に、GI 中に存在する H_2O 等の極性分子は、ゲートバイアスの印加によって配向（分極）し、その後ゲートバイアスの印加をやめた後も、強誘電体の場合と同様に極性分子の分極は維持される。極性分子を多く含む GI に正ゲートバイアスを長時間印加した場合、極性分子の分極により IGZO チャネル表面（フロントチャネル界面）には電子が誘起されたままの状態となり、正ゲートバイアス印加時間（ストレス時間）の増加と共に極性分子の分極が大きくなることにより、 V_{th} が負シフトすることが考えられる。

また図 5.8 (b) に示す様に、GI 中の正負のモバイルイオンはゲートバイアス印加によって、GI の両端 (ゲート電極及びチャネルとの界面) に移動する。正ゲートバイアスを印加した場合、図 5.8 (b) 中に示す様に GI 中の正イオンはチャネル側に、負イオンはゲート電極側にそれぞれ移動する。ストレス時間の増加に伴い正負のイオンの偏りにより形成される電場が大きくなり、その結果チャネルのキャリア濃度が増加し V_{th} が負シフトすることが考えられる。

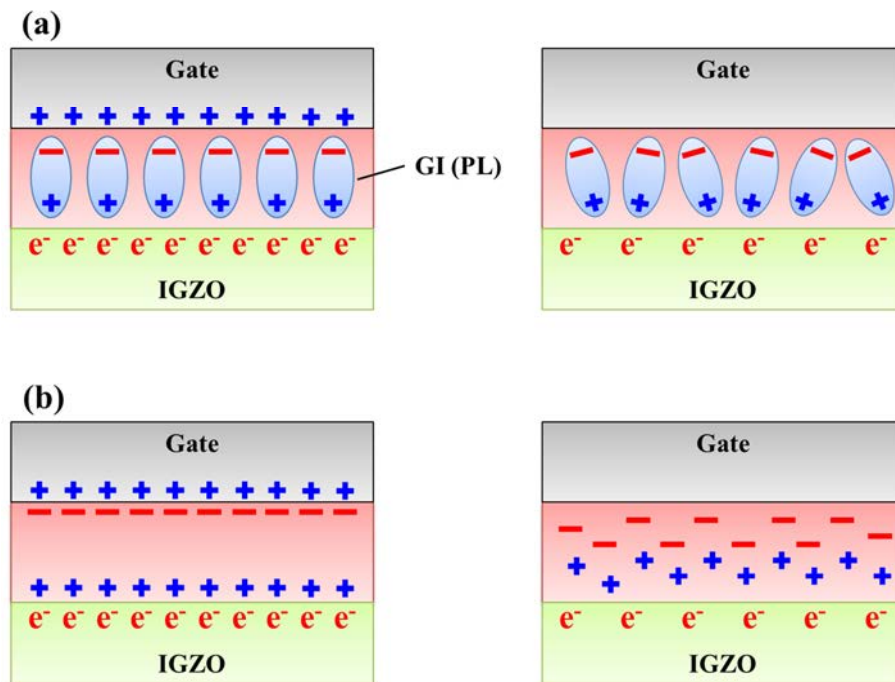


図 5.8 正ゲートバイアス印加による GI 中の (a) 極性分子の分極、及び (b) モバイルイオンの偏りによる IGZO のキャリア濃度増加のイメージ図

前述の様に、Zeocoat[®]を GI (PL) に用いた TG-SA IGZO TFT が、大気中での PBS 試験において負の V_{th} シフトを示した理由として、Zeocoat[®]中の極性分子の分極やモバイルイオンの偏りが考えられた。ここで、極性分子やモバイルイオンが初めから Zeocoat[®]中に多量に残留しているのであれば、TFT は初期特性において大きなヒステリシス (ΔV_H) を示すことが予想される。しかしながら図 5.6 (b) に示した様に、初期特性における ΔV_H は小さいことから、大気中での正ゲートバイアス印加に伴い、大気分子 (水・酸素) が Zeocoat[®] GI (PL) に吸着したことにより、GI 中の極性分子やモバイルイオンが増加していることが考えられた。従って、PBS 信頼性に対する大気分子吸着の影響を明らかにする為、高真空中 (6.5×10^{-5} Pa) での PBS 試験を行った。

高真空中で PBS 試験を行った場合、図 5.7 (b) に示す様に TFT は正方向への V_{th} シフトを示した。この結果から、大気中での PBS 試験で見られた異常な特性劣化は、前述した正ゲートバ

イアス印加に伴う GI への大気分子吸着が原因であることが確かめられた。ポリマーゲート絶縁膜を用いたトップゲート IGZO TFT に関する従来研究においても、大気中での PBS 試験により TFT が負の V_{th} シフトを示したことが報告されており、さらに追加のパッシベーション層 (PSL) を形成することにより、負の V_{th} シフトが抑制されたことが報告されていた[8]。従って、大気環境下での PBS 試験で見られた異常な特性劣化を抑制する為、図 5.9 に示す様に TG-SA IGZO TFT に追加の PSL を形成した。

PSL には、150 °C 以下で硬化可能なポリマー絶縁膜である SU-8 (2000.5, Microchem GmbH) を用いた。SU-8 はエポキシベースのネガティブフォトリソレジストであり、紫外線を照射し硬化させることにより、高い透明性、化学的安定性を有する永久絶縁膜として用いる事ができる。従来研究では、SU-8 をボトムゲート型 IGZO TFT の PSL として用いることにより、大気環境下での特性安定性が向上したことが報告されている[9]。

S/D 電極の形成後、スピコート法により SU-8 PSL (800 nm) を成膜した後、65, 95 °C でそれぞれ 1 分間、ホットプレートを用いて大気中でのプリバークを行った。その後、マスクアライナーを用いて UV 光を基板全面に照射し、95 °C で 2 分間ポストバークを行った後、150 °C で 1 時間ハードバークを行った。その後、通常のポジ型フォトリソレジストと、O₂ プラズマエッチングを用いたフォトリソグラフィにより、SU-8 PSL に S/D 電極及びゲート電極へのコンタクトホールを形成した。

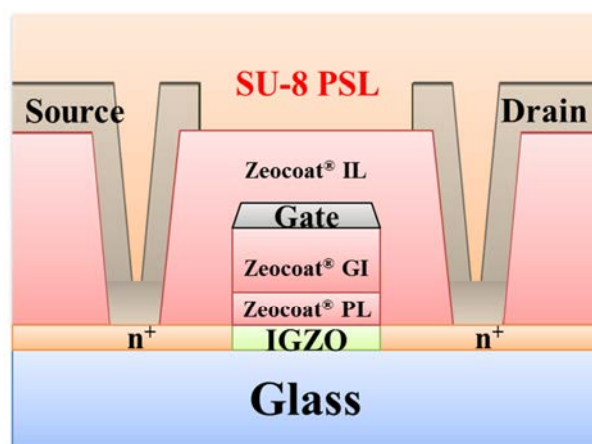


図 5.9 SU-8 PSL を形成した TG-SA IGZO TFT の断面図

図 5.10 (a) は、SU-8 PSL を形成した TG-SA IGZO TFT の大気中での PBS 試験における伝達特性の変化である。また図 5.10 (b) に、PSL 形成前に大気及び真空中で PBS 試験を行った場合、また PSL 形成後に大気中で PBS 試験を行った場合の V_{th} シフト量 (ΔV_{th}) のストレス時間依存性

についてまとめた。図 5.10 (a,b) に示す様に、SU-8 PSL を形成した TFT は大気中の PBS 試験において、真空中で PBS 試験を行った場合と同様に (PSL 無)、正方向への V_{th} シフトを示した。

SU-8 PSL を形成することにより、PSL 形成前に大気中の PBS 試験で見られた異常な TFT 特性劣化 (ハンプを伴う V_{th} 負シフト) は抑制された。しかしながら、PSL を形成した TFT のストレス時間 10,000 秒後における ΔV_{th} は 3.5 V であり、室温での PBS 試験において比較的大きな正方向への V_{th} シフトを示していることから、今後更なる PBS 信頼性の向上が望まれる。

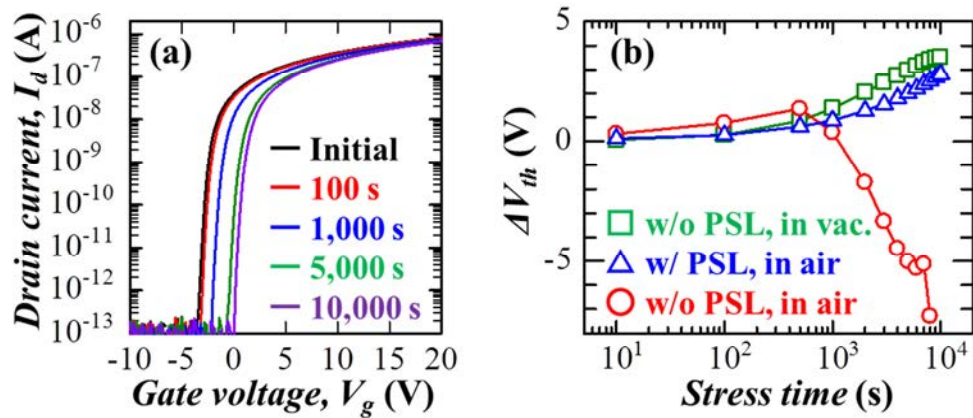


図 5.10 (a) SU-8 PSL を有する TG-SA IGZO TFT の大気中での PBS 試験における伝達特性の変化、及び (b) PSL 有・無の TFT の大気中、及び真空中での PBS 試験における ΔV_{th} のストレス時間依存性の比較

5.5 本研究成果の位置付け

最後に、本研究においてポリマーゲート絶縁膜を用い、150 °C 以下のプロセスで作製した TG-SA IGZO TFT と、従来研究により 250 °C 以下の低温プロセスで作製された IGZO TFT の特性・信頼性の比較を行った。

表 5.1 に本研究、及び従来研究において低温プロセスで作製された IGZO TFT の、GI の成膜方法及び材料、TFT 特性、TFT 構造とプロセス温度についてまとめた。さらに S.S. と GI の単位面積当たりのキャパシタンス (C_i) から、以下の式

$$S.S. = \ln 10 \cdot \frac{k_B T}{e} \left(1 + \frac{e D_{sg}}{C_i} \right) = 0.0595 \left(1 + \frac{e D_{sg}}{C_i} \right) (T = 300 \text{ K}) \quad (1.9)$$

を用いて規格化したフェルミレベル (E_F) 付近のサブギャップ欠陥準位密度 (D_{sg}) についても示した。

従来研究と比較した場合、本研究で作製した TFT の特筆すべき点として、S.S.及び D_{sg} の低さが挙げられる。特にポリマーゲート絶縁膜を用いた従来研究[17,18]と比べると、 D_{sg} は一桁以上低いことが分かる。この理由として、トップゲート構造にすることによりポリマーゲート絶縁膜への IGZO チャンネル成膜に伴うプラズマダメージを無くしたこと、さらに PL を導入することにより、フォトリソグラフィによるチャンネル表面の汚染・ダメージを最小化したことが有効であったと考えられる。

さらに無機ゲート絶縁膜を用いた従来研究を含めても、TFT 構造として TG-SA 構造を採用しているのは本研究のみである。従ってポリマー絶縁膜を PL として導入することにより、フォトリソグラフィによるダメージ・汚染や、絶縁膜成膜に伴うプラズマダメージの無いフロントチャンネル界面を形成することにより、150 °C 以下のプロセスで良好な特性を示す TG-SA TFT の作製を達成したことが、本研究における最大の成果であると言える。

表 5.1 本研究及び従来研究により低温プロセスで作製された IGZO TFT の GI 成膜法及び材料、特性、TFT 構造と最高プロセス温度

Refs.	GI 成膜法と 材料	μ_{FE} (cm^2/Vs)	S.S. (V/dec.)	D_{sg} ($cm^{-2}eV^{-1}$)	TFT 構造	最高プロセス 温度 (°C)
本研究	SC, Zeocoat®	9.8 [Lin.], 8.1 [Sat.]	0.19	1.0×10^{11}	TG-SA	150
[10]	PE-CVD	12.5 [Sat.]	0.33	-	BG-ESL ¹⁾	220
[11]	ICP-CVD, SiO _x	26.9 [Sat.]	0.15	2.6×10^{11}	BG-BC ²⁾	150
[12]	SPT, SiO _x	18 [Lin.]	0.1	7.5×10^{10}	TG-BC	RT
[13]	ALD, Al ₂ O ₃	24.3 [Sat.]	0.14	9.7×10^{11}	TG-BC	150
[14]	ALD, Al ₂ O ₃	12 [Sat.]	0.3	2×10^{12}	BG-BC	150
[15]	陽極酸化, Al ₂ O ₃	11.2 [Sat.]	0.27	9.0×10^{11}	BG-BCE ³⁾	160
[8]	ALD, Al ₂ O ₃ (PL) + SC ⁴⁾ , PVP-PMMA	6.0 [Sat.]	0.36	-	TG-BC	200
[16]	SC, PVP	1.3 [Sat.]	1.2	-	BG-TC ⁵⁾	150
[17]	SC, PVP	10.2 [Sat.]	2.1	2.5×10^{12}	BG-TC	110
[18]	SC, PVP with Al ₂ O ₃ NP ⁶⁾	10.2 [Sat.]	0.84	1.5×10^{12}	BG-TC	100
[19]	SC, Polymer	15 [Sat.]	0.3	-	TG-ESL	250

1)ボトムゲート・エッチストップパー型、2)ボトムゲート・ボトムコンタクト型、3)バックチャンネルエッチ型、

4)スピンのコーティング法、5)ボトムゲート・トップコンタクト型、6)ナノパーティクル

また表 5.2 に本研究、及び従来研究において低温プロセスで作製された IGZO TFT の、室温での PBS 試験における ΔV_{th} についてまとめた。本研究で作製した TFT の PBS 信頼性は、従来研究により作製された他の TFT に比べ劣っている為、信頼性の向上が今後の課題と言える。ポリマーゲート絶縁膜を用いた従来研究[8]では、ストレス電圧 20 V、ストレス時間 10,000 秒において $\Delta V_{th} = 0.6$ V という良好な PBS 信頼性が得られている。この研究では、PL として ALD 法により成膜した Al_2O_3 (9 nm) を用いたトップゲート型 IGZO TFT を作製している。PBS 試験における V_{th} の正シフトは、フロントチャネル界面への電子トラップが主要因であると考えられる為、PL 材料の選択がポリマーゲート絶縁膜を用いた TG-SA IGZO TFT の PBS 信頼性を向上する上で重要であることが考えられる。

また ALD- Al_2O_3 を GI に用いて 150 °C 以下のプロセスで作製された IGZO TFT では、300 °C 以上のプロセスで作製した IGZO TFT に匹敵する非常に良好な PBS 信頼性が得られている [13,14]。これらの研究では、大気中でのバイアスストレス信頼性を向上させる上で、 H_2O や O_2 といった大気分子に対するバリア性の高い PSL を用いる事が重要であることが示唆されている。従って、本研究で作製した TG-SA IGZO TFT の信頼性を更に向上させる為には、PL、及び PSL 材料の選択が有効であると考ええる。

表 5.2 本研究及び従来研究により低温プロセスで作製された IGZO TFT の PBS 試験における ΔV_{th}

Refs.	GI 成膜法と材料	ストレス電圧 (V)	ストレス時間 (秒)	ΔV_{th}	最高プロセス 温度 (°C)
本研究	SC, Zeocoat [®]	20	10,000	3.5	150
[10]	PE-CVD	$V_{th} + 30$	1,000	0.7	220
[13]	ALD, Al_2O_3	10	10,000	0.16	150
[14]	ALD, Al_2O_3	10	12,000	0.01	150
[15]	陽極酸化, Al_2O_3	$V_g = 15$ V, $V_d = 10$ V	9,000	3.4	160
[8]	ALD, Al_2O_3 (PL) + SC ⁽⁴⁾ , PVP-PMMA (GI)	20	10,000	0.6	200
[18]	SC, PVP with Al_2O_3 NP	10	1,500	-0.3	100

参考文献

- [1] J. Jiang, M. Furuta, and D. Wang, “Self-aligned bottom-gate In–Ga–Zn–O thin-film transistor with source/drain regions formed by direct deposition of fluorinated silicon nitride”, *IEEE Electron Device Lett.*, **35** (2014) 933.
- [2] A. Sato *et al.*, “Amorphous In–Ga–Zn–O coplanar homojunction thin-film transistor”, *Appl. Phys. Lett.*, **94** (2009) 133502.
- [3] 曲 勇作 他, “X 線光電子分光による InGaZnO のキャリア生成メカニズムの解析～He プラズマ処理時の基板バイアスの効果～”, 第 76 回応用物理学会秋季学術講演会, 15p-1B-11 (2015).
- [4] N. Morosawa *et al.*, “Self-aligned top-gate oxide thin-film transistor formed by aluminum reaction method” *Jpn. J. Appl. Phys.*, **50** (2011) 096502.
- [5] N. Morosawa *et al.*, “Novel self-aligned top-gate oxide TFT for AMOLED displays”, *J. SID*, **20** (2012) 47.
- [6] T. Minami, H. Nanto, and S. Takata, “Highly conductive and transparent aluminum doped zinc oxide thin films prepared by RF magnetron sputtering”, *Jpn. J. Appl. Phys.*, **23** (1984) L280.
- [7] M. Egginger *et al.*, “Current versus gate voltage hysteresis in organic field effect transistors”, *Monatsh Chem.*, **140** (2009) 735.
- [8] S. Yang *et al.*, “Water-related abnormal instability of transparent oxide/organic hybrid thin film transistors”, *Appl. Phys. Lett.*, **98** (2011) 103515.
- [9] A. Olziersky *et al.*, “Insight on the SU-8 resist as passivation layer for transparent Ga₂O₃–In₂O₃–ZnO thin-film transistors”, *Appl. Phys. Lett.*, **108** (2010) 064505.
- [10] W.-T. Lin *et al.*, “Low temperature oxide TFTs on plastic films for flexible display applications”, *SID Int. Symp. Digest Tech. Papers*, **44** (2013) 1232.
- [11] X. Xiao *et al.*, “a-IGZO TFTs with inductively coupled plasma chemical vapor deposited SiO_x gate dielectric”, *IEEE Electron Device Lett.*, **60** (2013) 2687.
- [12] M.-J. Yu *et al.*, “Amorphous InGaZnO thin-film transistors compatible with roll-to-roll fabrication at room temperature”, *IEEE Electron Device Lett.*, **33** (2012) 47.
- [13] S. Yang *et al.*, “Low-temperature processed flexible In–Ga–Zn–O thin-film transistors exhibiting high electrical performance”, *IEEE Electron Device Lett.*, **32** (2011) 1692.
- [14] Y. Fukui *et al.*, “Full color flexible top-emission AMOLED display on polyethylene naphthalate (PEN) foil with metal oxide TFTs backplane”, *SID Int. Symp. Digest Tech. Papers*, **44** (2013) 203.
- [15] H. Xu *et al.*, “Fabrication of flexible amorphous Indium-Gallium-Zinc-Oxide thin-film transistors by a chemical vapor deposition-free process on polyethylene naphthalene”, *ECS J. Sol. Stat. Sci. and Technol.*, **3** (2014) Q3035.

- [16] H.-C. Lai *et al.*, “Ultra-flexible amorphous indium-gallium-zinc oxide (a-IGZO) thin film transistor”, SID Int. Symp. Digest Tech. Papers, **43** (2012) 764.
- [17] G. W. Hyung *et al.*, “Amorphous indium gallium zinc oxide thin-film transistors with a low-temperature polymeric gate dielectric on a flexible substrate” Jpn. J. Appl. Phys., **52** (2013) 071120.
- [18] H.-C. Lai *et al.*, “Alumina nanoparticle/polymer nanocomposite dielectric for flexible amorphous indium-gallium-zinc oxide thin film transistors on plastic substrate with superior stability” Appl. Phys. Lett., **105** (2014) 033510.
- [19] H.-H. Hsieh *et al.*, “Flexible IGZO TFTs with a disruptive photo-patternable and thermally stable organic gate insulator” SID Int. Symp. Digest Tech. Papers, **46** (2015) 486.

第六章

総括

6.1 各章で得られた知見の要約

第一章 背景・研究目的

第一章では、研究背景として本研究対象である薄膜トランジスタ（TFT）の動作原理とディスプレイ駆動応用、また InGaZnO（IGZO）をチャネルに用いた TFT の特徴についてまとめた。さらに、次世代ディスプレイとして注目されるフレキシブルディスプレイが、スパッタ法による室温成膜が可能であるという IGZO の特徴を最大限に活かすことの出来るカラーアプリケーションであること、また IGZO TFT のフレキシブルディスプレイ応用では、プラスチックフィルムが使用可能な低温プロセスにおける、TFT 特性・信頼性の向上が課題であることを示した。そして、低温プロセスにより良好な特性・信頼性を有する IGZO TFT を作製する為の普遍的な指針を得ることが本研究の目的であり、IGZO TFT 特性・信頼性制御に関する新たな知見の創出と、IGZO TFT を用いたフレキシブルデバイスの発展への寄与が、本研究の意義であることを示した。

第二章 チャネル保護膜からの拡散水素が IGZO TFT 特性・信頼性に与える影響

第二章では、プラズマ支援化学堆積（PE-CVD）法により成膜した SiO_x エッチングストッパー層（ESL）を有するボトムゲート型 IGZO TFT における、 SiO_x ESL から IGZO チャネル中への拡散水素が、TFT 特性・信頼性に与える影響について示した。

SiO_x ESL から IGZO チャネル中へ拡散した水素は、IGZO 膜内、及びフロントチャネル界面の電子トラップを終端し、TFT 特性・正ゲートバイアスストレス（PBS）信頼性を向上させること

が明らかとなった。一方で、二次イオン質量分析 (SIMS) により評価した拡散水素量と、TFT 特性、及び C-V 特性との量的関係性について考察した結果、 SiO_x ESL から拡散した水素は、そのほぼ全てがシャロードナーとして働き IGZO のキャリア密度を増加させる為、閾値電圧 (V_{th}) の負シフトを招くという結論を得た。さらに、IGZO バックチャネル領域に過剰な水素が存在した場合、TFT のスイッチングメカニズムが変化することにより、 V_{th} が大幅に負シフトすることを明らかにした。

水素拡散による IGZO チャネル、及び絶縁膜界面の電子トラップ密度の低減効果は、実用上 TFT の閾値電圧 (V_{th}) が 0 V 以上 (ノーマリー・オフ特性) となる範囲に限定されると言えるが、本研究成果は IGZO TFT の特性・信頼性を制御する上で、絶縁膜からの拡散水素量の制御が非常に重要であることを示した。

第三章 成膜時の H_2 ガス導入が IGZO 薄膜物性、及び TFT 特性・信頼性に与える影響

第三章では、 H_2 ガスを導入した DC マグネトロンスパッタ法による IGZO 成膜を行い、成膜時の H_2 ガスを導入が、IGZO 薄膜物性、及び TFT 特性・信頼性に与える影響について示した。

成膜時の H_2 ガス流量比 ($R[\text{H}_2]$) の増加に伴い、IGZO 膜中水素濃度とキャリア濃度はそれぞれ 10^{21} cm^{-3} , 10^{19} cm^{-3} 以上に増加したが、膜中水素濃度とキャリア濃度との間には 2 桁以上の差が見られた。また、大気雰囲気中 300 °C でアニールを行った場合、 H_2 ガスを導入し成膜した IGZO の体積抵抗率は大幅に増大し、さらにアニール前とは反対に、 $R[\text{H}_2]$ の増加に伴い体積抵抗率は増大した。この理由として、成膜時に水素は OH として IGZO 膜中に取り込まれていることが考えられ、 $R[\text{H}_2]$ の増加に伴い膜中酸素濃度も増加した為に、 H_2 ガスを導入し成膜した IGZO では、アニール後に過剰酸素によるキャリア補償効果が支配的になったことが考えられた。

また $R[\text{H}_2]$ の増加に伴い、IGZO 膜中に多量に取り込まれた弱結合水素・酸素に起因すると考えられる、TFT 特性・PBS 信頼性の劣化が確認された。さらに高 $R[\text{H}_2]$ でチャネルの成膜を行った TFT では、光照射による S 値の劣化が顕著に見られ、これは成膜時に膜中に取り込まれた弱結合水素が原因であることが考えられた。一方で、 $R[\text{H}_2]$ の増加に伴い IGZO の光学バンドギャップは増大し、光照射負ゲートバイアスストレス (NBIS) 信頼性試験における、 V_{th} の負シフト量は減少した。この結果から、 $R[\text{H}_2]$ の増加に伴い、NBIS 信頼性劣化の起源である価電子帯最上端 (VBM) 近傍のサブギャップ欠陥準位密度が減少していることが考えられた。従って、今後 $R[\text{H}_2]$ 、及び O_2 ガス流量比 ($R[\text{O}_2]$) 等の IGZO 成膜条件の最適化を行うことにより、TFT 特性、PBS 信頼性を損なうことなく、IGZO TFT の液晶ディスプレイ応用上の課題となっている、NBIS 信頼性を向上出来ることが期待される。

第四章 ポリマー絶縁膜を用いたトップゲート・セルフアライン(TG-SA)

IGZO TFT の低温形成

第四章では、低温硬化可能な高品質ポリマー絶縁膜である Zeocoat®をゲート絶縁膜 (GI) に用いて、最高プロセス温度 150 °C 以下での IGZO TFT 作製に取り組んだ。その際 TFT 構造としては、IGZO チャンネル成膜に伴うポリマーゲート絶縁膜へのプラズマダメージが無く、さらに寄生容量を最小化できるトップゲート・セルフアライン (TG-SA) 構造を採用した。

通常のプロセスで作製した TG-SA IGZO TFT はスイッチング動作を示さず、この理由として、フォトリソグラフィによる IGZO チャンネル表面へのダメージ・汚染により、チャンネル表面 (フロントチャンネル界面) に低抵抗層が形成されていることが考えられた。従って O₂ プラズマ処理によるチャンネル表面のキャリア補償、及びチャンネル保護層 (PL) の導入によるチャンネル表面の保護を試みたところ、良好なスイッチング特性を得ることが出来た。一方で、チャンネル表面の O₂ プラズマ処理や、高 R[O₂]で IGZO チャンネルの成膜を行った TFT は、比較的大きなヒステリシスと、連続測定による大幅な正方向への V_{th}シフトを示した。この原因として、チャンネル表面へのプラズマダメージや、電子トラップとして働くチャンネル中の過剰酸素量の増加が考えられた。

さらに本章及び第二章で作製した TFT の比較から、良好な特性を有する IGZO TFT を低温形成する為には、適切な条件で IGZO チャンネルの成膜を行い、チャンネル表面をフォトリソグラフィによる汚染・ダメージや、絶縁膜成膜に伴うプラズマダメージから保護することが重要であることを示した。

第五章 TG-SA IGZO TFT の実効チャンネル長と信頼性評価

第五章では、従来研究により報告されていた Al 反応法を、150 °C 以下の低温プロセスにおける TG-SA IGZO TFT の S/D 領域形成手法として応用・発展させた。そして He プラズマ処理法と、Al 反応法により S/D 領域の形成を行った TFT の実効チャンネル長 (L_{eff})、及び S/D 領域シリーズ抵抗 (R_{S/D}) の比較を行った。その結果、Al 反応法は He プラズマ処理法に比べ、チャンネル長制御性に優れ、また R_{S/D}を小さくできるという応用上の利点を有することが明らかとなった。

また作製した TG-SA IGZO TFT の PBS 信頼性試験を行った。大気中での PBS 試験において、TFT はハンプを伴う V_{th}負シフトという異常な特性劣化を示した。真空中で同様の PBS 試験を行った場合、IGZO TFT において一般的な V_{th}の正シフトを示したことから、この異常な特性劣化は、正ゲートバイアスストレス印加に伴う GI への大気分子の吸着が原因であることが考えられた。従って、TFT に追加でポリマー絶縁膜によるパッシベーション層 (PSL) を形成したところ、大気中での PBS 試験でみられた異常な特性劣化は抑制された。しかしながら、TFT は依然として大きな正方向への V_{th}シフトを示しており、今後更なる信頼性の向上が求められる。

最後に本研究において、ポリマーゲート絶縁膜を用いて最高プロセス温度 150 °C で作製した TG-SA IGZO TFT と、従来研究により低温プロセスで作製された IGZO TFT の特性・信頼性の比較を行った。その結果、ポリマー絶縁膜を用い、PL を導入することにより、チャネル表面をプラズマダメージや、フォトリソグラフィによる汚染・ダメージから保護することにより、150 °C 以下のプロセスで、良好な特性を示す TG-SA IGZO TFT の作製を達成したことが、本研究における最大の成果であることを示した。一方、本研究で作製した TG-SA IGZO TFT の信頼性は、従来研究で作製されたものに比べて劣る為、信頼性の向上が今後の課題であること、またその為には、PL 及び PSL 材料の選択が重要であることを示した。

6.2 総括

本研究は、低温プロセスにより良好な特性・信頼性を有する IGZO TFT を作製する為の普遍的な指針を得ることを目的に行った。第二章では、成膜後の IGZO チャネルに水素を拡散させることにより、チャネル中及び絶縁膜界面の電子トラップ密度が減少し、TFT 特性・信頼性が向上することを示した。一方で第四章に記した様に、チャネル表面をプラズマダメージやフォトリソグラフィによる汚染・ダメージから保護することにより、150 °C 以下の低温プロセスでも優れた特性を有する TFT が作製できることが明らかとなった。従って、低温プロセスにより良好な特性・信頼性を有する IGZO TFT を作製する為には、チャネル成膜後にチャネル中、及び絶縁膜界面の欠陥準位密度の低減を行うのではなく、適切な条件でチャネルの成膜を行い、その後のプロセスダメージを最小化することにより、IGZO の本来有する優れたポテンシャルを引き出すことが有効であると言える。

また第三章及び第四章で示した様に、IGZO チャネル内の弱結合水素及び酸素は、TFT 特性・信頼性を劣化させる要因となる。従って、チャネル成膜条件の最適化の指針として、可能な限り膜中の弱結合水素及び酸素量を減らすことが重要であると言える。さらに第五章に示した研究成果より、大気環境下での信頼性を向上させる為には、ガスバリア性の高いパッシベーション層形成が重要であることが明らかとなった。

以上をまとめて、低温プロセスにより良好な特性・信頼性を有する IGZO TFT を作製する為の指針として、以下①～③を提唱する。

- ① 成膜条件の最適化によりチャネル中の弱結合水素・酸素量を減らす。
- ② フォトリソグラフィや絶縁膜成膜に伴うチャネルへのプロセスダメージを最小化する。
- ③ ガスバリア性の高いパッシベーション層を形成する。

薄く・軽く・折り曲げられるフレキシブルディスプレイは、我々と情報をより自然な形で繋げ、我々の生活様式を一変させる可能性を秘めた電子デバイスである。本研究で得られた以上の知見が、IGZO TFT を用いたフレキシブルディスプレイの発展に寄与することを願い、本博士論文の総括とする。

謝辞

本博士論文は、筆者が 2013 年 4 月から 2016 年 3 月の博士後期課程在学中に行った研究をまとめたものです。初めに本研究の進捗にあたり、御支援、御協力頂いた全て皆様に深く感謝致します。

高知工科大学環境理工学群、古田 守教授には、修士課程に進学し、デバイス研究を始めた頃より御指導を賜りました。博士課程に進学することを決意し、修士 2 年時より正式に古田先生の研究室に所属することになってからは、研究の進め方や成果報告のやり方に関し、より一層熱心に御指導頂きました。古田先生は、その時々私の段階に合わせて、常に一段階上の目標を提示して下さりつつ、私が自由かつ主体的に研究に取り組むことを許して下さり、その寛大な御指導方針の元、学会発表や留学などの経験を通じて、自らを成長させることが出来たと感じています。五年間の御指導、心より感謝致します。

高知工科大学環境理工学群、古沢 浩教授には、学士課程において指導教員として直接御指導を賜り、また修士・博士課程においては、副指導教員として適切な御助言を頂きました。修士進学時、学士課程における研究課題であった CNT 配向集積膜を TFT 応用したいという私の思いを汲み、挑戦する機会を与えて下さったこと、また博士課程進学の決断に際しご相談させて頂いた際、客観的な御意見を頂き、背中を押して下さったこと、本当に深く感謝しております。CNT 配向集積膜の TFT 応用は私の研究の原点であり、当時からの目標であった、フレキシブル TFT 作製を目指した研究に取り組んだ成果について御報告出来たこと、非常に嬉しく思います。

高知工科大学環境理工学群、前田 敏彦教授には、博士課程における副指導教員として、面談、公聴会を通じて適切な御助言を頂きました。また学部時代に受講させて頂いた前田先生の御講義は、私が無機・材料化学へ興味を持つきっかけとなりました。深く感謝致します。

高知工科大学システム工学群、八田 章光教授には、博士課程における副指導教員として、プラズマ工学の観点から貴重な御助言を頂きました。また高知工科大学ナノテクノロジー研究センター長として、学内・学外の異分野の研究者の方々と交流する貴重な機会を与えて下さったこと、非常に有難く存じます。

高知工科大学システム工学群、古田 寛准教授には、副指導教員として貴重な御助言を頂きました。特に中間審査の際、古田寛先生から頂いた御質問は、本論文第三章に示した H_2 ガス導入スパッタ法による IGZO の成膜に取り組むきっかけとなりました。深く御礼申し上げます。

高知工科大学システム工学群、川原村 敏行准教授には、私がクリーンルームで実験を始めた頃より、成膜・評価装置の使用方法や、薄膜物性評価の基本的な原理について、非常に親切な御

指導を賜りました。また、常に新しい研究課題に対し、独創的なアプローチをされている川原村先生は、理想の博士像として常に私の目標とさせて頂きました。これからの更なる御活躍、僭越ながら応援させて頂きます。

高知工科大学クリーンルーム維持・管理担当、小松 一郎様には、装置のメンテナンス等に際しまして非常に御世話になりました。真空装置に関する幅広い知識・技術をお持ちの小松様の御助力により、不自由なく日々の実験を行えましたこと、誠に感謝致します。

高知工科大学、環境理工学群秘書室の種田 真由里様、藤波 珠希様には、研究活動に関わる事務手続きに関しまして非常に御世話になりました。煩雑な出張旅費の精算を正確に行って下さったこと、誠に感謝致します。また、時に鬱屈する研究生活において、御二人との世間話はリラックスできる非常に貴重な時間でした。

韓国、Yonsei University, Electric Device Laboratory (EDL) の Hyun Jae Kim 教授には、日韓産業技術協力財団主催の“第6回 Summer Institute”を通じて、2013年8月から約1ヶ月半の間留学させて頂いた際、ホスト研究者として直接御指導を賜りました。自身の研究方針が定まっていなかった博士課程一年次に、Kim 教授の下でアイデアを駆使して独創的な研究を行うことの大切さを学ばせて頂いたことは、私の研究に対する意識を変える重要な経験となりました。また、その後国際会議で再びお会いした際にはフレンドリーに接して下さい、私の発表に対する的確な御助言・御質問を頂きましたこと、誠に感謝致します。また、その様な貴重な経験をする機会を与えて下さった関係者の皆様に、厚く御礼申し上げます。

ドイツ、Stuttgart University, Institute for Large Area Microelectronics (IGM) の Norbert Frühauf 教授には、私が修士2年の時、高知工科大学を訪問された際に初めてお会いし、その後国際会議等の機会を通じてお会いする度、非常に温かく接して頂きました。また2014年9月から約2ヶ月間 IGM に滞在し、本論文第四章及び第五章に記しましたポリマーゲート絶縁膜を用いた TFT の研究に関する基礎実験を行わせて頂いた際には、直接御助言を頂きました。その際、挑戦的な研究課題であり、2ヶ月間で成果を出すのは難しいのではと仰りつつも、Ph. D はフリーダムであるべきだと背中を押して下さい、非常に感謝致します。また研究するだけが Ph. D では無い、世界を知ること重要だという御言葉を胸に刻み、豊かなヨーロッパの文化・芸術に触れ、充実した留学生活を送れましたこと、ここに深く感謝致します。

古田研究室の皆様とは、長い研究生活の中で苦楽を共にしながら、時に皆様と戯れることにより、大学生活という長い人生の中でも貴重な時間を楽しく過ごすことが出来ました。今後の皆様の御活躍、陰ながら応援させて頂きます。

出光興産株式会社、先端素材研究室の皆様には、共同取り組みを通じて長期に渡るご支援、並びに本研究で用いたターゲット、スパッタ装置を貸与頂きましたこと、誠に感謝致します。また日本ゼオン株式会社、加藤 丈佳様には、御厚意によりポリマー絶縁膜材料、Zeocoat®をお譲り頂きました。Zeocoat®無しには、本論文第四章及び第五章に記しました研究を成し遂げることは不可能であったと存じます。私の不躰なお願いを快く聞いて下さったこと、心より感謝致します。

本研究における SIMS 測定は、文部科学省ナノテクノロジープラットフォーム事業（分子・物

質合成)の支援により奈良先端科学技術大学院大学で実施しました。関係者の皆様に深く感謝致します。また本研究は、独立行政法人日本学術振興会の特別研究員(DC2)として採用して頂き、御支給頂いた科研費(2611657)を使用して行いました。特別研究員制度の趣旨の通り、自由な発想のもと、主体的に研究課題等を選びながら研究に専念する機会を与えて頂きましたこと、誠に感謝致します。

この他にも、数え切れない人々の御支援、御助力により本研究を成し遂げることが出来ました。御陰様で何一つ悔いのない、充実した博士課程を過ごせましたこと、重ね重ね厚く御礼申し上げます。

最後に、奔放な私を温かく見守ってくれ、常に良き理解者として支えてくれた姉と母、そしてどの様な状況においても私を励まし、応援してくれた最愛の妻、絃美に心から感謝します。

研究業績

第一著者論文

- [1] T. Toda, T. Kawaharamura, H. Frusawa, and M. Furuta, “Thin-Film Transistor Using Dielectrophoretic Assembled Single-Walled Carbon Nanotubes Channel and Their Characteristics”, ECS Transactions, vol. 50 (2012) pp. 223-228.
- [2] T. Toda, H. Frusawa, and M. Furuta, “Thin-Film Transistors Using Uniform and Well-Aligned Single-Walled Carbon Nanotubes Channels by Dielectrophoretic Assembly”, Japanese Journal of Applied Physics, vol. 52 (2013) pp. 03CC09-1-03CC09-5.
- [3] T. Toda, D. Wang, J. Jiang, M. P. Hung, and M. Furuta, “Quantitative Analysis of the Effect of Hydrogen Diffusion from Silicon Oxide Etch-Stopper Layer into Amorphous In-Ga-Zn-O on Thin-Film Transistor”, IEEE Trans. on Electron Devices, vol. 61, (2014) pp. 3762-3767.
- [4] T. Toda, G. Tatsuoka, Y. Magari, and M. Furuta, “High Performance Top-Gate and Self-Aligned In-Ga-Zn-O Thin-Film Transistor Using Coatable Organic Insulators Fabricated at 150 °C”, IEEE Electron Device Letters, under major revisions.

第二著者論文

- [1] J. Jiang, T. Toda, M. P. Hung, D. Wang, and M. Furuta, “Highly stable fluorine-passivated In-Ga-Zn-O thin-film transistors under positive gate bias and temperature”, Applied Physics Express, vol. 7 (2014) pp. 114103-1-114103-4.
- [2] J. Jiang, T. Toda, G. Tatsuoka, D. Wang, and M. Furuta, “Improvement of Electrical Properties and Bias Stability of InGaZnO Thin-Film Transistors by Fluorinated Silicon Nitride Passivation”, ECS Transaction, vol. 64 (2014) pp. 59-64.
- [3] D. Koretomo, T. Toda, T. Matsuda, M. Kimura, and M. Furuta, “Anomalous Increase of Field-Effect Mobility in In-Ga-Zn-O Thin-Film Transistors Caused by Dry-Etching Damage Through Etch-Stop Layer”, IEEE Trans. on Electron Devices, under major revisions.

国際会議発表

- [1] T. Toda, T. Kawaharamura, H. Frusawa, and M. Furuta, “Fabrication and Characterization of Thin-Film Transistor Using Dielectrophoretic Assembly of Single-Walled Carbon Nanotube”, The 19th International Workshop on Active-Matrix Flat panel Displays and Devices (AM-FPD) 2012, Kyoto, Japan, Jul. 4-6 2012, P-29 (Poster).
- [2] T. Toda, T. Kawaharamura, H. Frusawa, and M. Furuta, “Thin-Film Transistor Using Dielectrophoretic Assembled Single-Walled Carbon Nanotubes Channel and Their Characteristics”, 222nd Electrochemical Synthesis and engineering (ECS) Meeting, Honolulu, USA, Oct. 7-12 2012 (Oral).
- [3] T. Toda, D. Wang, J. Jiang, M. Phi Hung, and M. Furuta, “Effect of N_2O Partial Pressure during SiO_x Etch Stopper Deposition on Electrical Property and Instability of a-IGZO TFT”, The 10th International Thin-Film Transistor Conference (ITC2014), Delft, The Netherlands, Jan. 23-24 2014 (Poster).
- [4] T. Toda, D. Koretomo, M. Furuta, “Effect of hydrogen diffusion from SiO_x etch-stopper layer on amorphous In-Ga-Zn-O thin-film transistor properties”, SID Mid Europe Fall Meeting 2014, Stuttgart, Germany, Oct. 9-10 2014 (Oral).
- [5] T. Toda, Y. Magari, and M. Furuta, “Self-Aligned Top-Gate InGaZnO Thin-Film Transistor Fabricated at 150 °C Using Coatable Organic Insulator”, The 22nd International Display Workshop (IDW) 2015, Otsu, Japan, Dec. 9-11 2015, AMD6-4L (Oral).

国内会議発表

- [1] 戸田 達也, 古沢 浩, 古田 守, “半導体カーボンナノチューブの誘電泳動集積層を用いた TFT の作製”, 第 8 回薄膜材料デバイス研究会, 龍谷大学 アバンティ響都ホール, 2011 年 11 月 4-5 日, 4P57 (ポスター発表) .
- [2] 戸田 達也, 川原村 敏幸, 古沢 浩, 古田 守, “誘電泳動法による半導体 CNT 薄膜トランジスタの作製”, 第 59 回応用物理関係連合講演会, 早稲田大学 早稲田キャンパス, 2012 年 3 月 15-18 日, 18a-B2-8 (口頭発表) .
- [3] 戸田 達也, 古沢 浩, 古田 守, “誘電泳動集積法による均一で高配向な単層カーボンナノチューブチャネルを用いた薄膜トランジスタ”, 第 9 回薄膜材料デバイス研究会, なら 100 年会館, 2012 年 11 月 2-3 日, 3O01 (口頭発表) .
- [4] 戸田 達也, Dapeng Wang, Jingxin Jiang, Mai Phi Hung, 古田 守, “バックチャネル欠陥準位が a-InGaZnO 薄膜トランジスタ特性及び信頼性に与える影響” 第 74 回応用物理学会秋季学術講演会, 同志社大学 京田辺キャンパス, 2013 年 9 月 16-20 日, 16p-P8-12 (ポスター発表) .

- [5] 戸田 達也, Dapeng Wang, Jingxin Jiang, Mai Phi Hung, 古田 守, “A-IGZO TFT におけるチャネル保護層成膜に伴う水素の拡散と欠陥パッシベーション効果” 第 61 回応用物理学会春季学術講演会, 青山学院大学 相模原キャンパス, 2014 年 3 月 17-20 日, 18p-E10-14 (口頭発表) .
- [6] 戸田 達也, 是友 大地, 古田 守, “自己組織化単分子膜 (SAM) による a-InGaZnO/SiO_x 界面の修飾” 第 75 回応用物理学会秋季学術講演会, 北海道大学 札幌キャンパス, 2014 年 9 月 17-20 日, 18p-A12-9 (口頭発表) .
- [7] 戸田 達也, 曲 勇作, 古田 守, “塗布型有機ゲート絶縁膜を用いたトップゲート・セルフアライン型 IGZO TFT”, 第 76 回応用物理学会秋季学術講演会, 名古屋国際会議場, 2015 年 9 月 13-16 日, 15p-1B-18 (口頭発表, 注目講演) .
- [8] 戸田 達也, 古沢 浩, 古田 守, “水素導入 DC マグネトロンスパッタによる InGaZnO 薄膜の成膜と薄膜トランジスタ応用”, 第 12 回薄膜材料デバイス研究会, 龍谷大学 アバンティ響都ホール, 2015 年 10 月 30-31 日, 30p-R02 (口頭発表, ランプセッション) .

受賞

- [1] The 19th International Workshop on Active-Matrix Flat panel Displays and Devices (AM-FPD) 2012, Student Paper Award, July 3 2013.
- [2] 第 9 回薄膜材料デバイス研究会, スチューデントアワード, 2012 年 11 月 3 日.
- [3] 第 12 回薄膜材料デバイス研究会, スチューデントアワード, 2015 年 10 月 30 日.

記事掲載

- [1] 鵜飼 育弘, 酸化物半導体、真空成膜法の課題と塗布法の可能性 応用物理学会に見るグリーンプロセス最前線, 日経テクノロジーオンライン, <http://techon.nikkeibp.co.jp/atcl/news/15/092500465/?P=5>, 2015 年 9 月 29 日.

競争的資金

- [1] 平成 26 年度独立行政法人日本学術振興会特別研究員 (DC2) 採択.
課題番号: 2611657, 研究課題名: 低温プロセスによる酸化物半導体の欠陥制御技術開発とフレキシブルデバイス応用.

高知工科大学大学院 工学研究科

2016 年 3 月 17 日