

要 旨

FPGA による自己タイミング型パイプライン演算機構の実現

古家 俊之

超高性能、極省電力を達成可能な自己タイミング型パイプライン機構によるデータ駆動型 VLSI プロセッサ DDMP が開発され、現在、商品化の途についたばかりである。

このような状況で、さらに応用分野を拡大するためには、各応用分野にある程度特化した DDMP を迅速に設計、開発することが要請されている。

従来はシミュレーションによって設計検証をおこなっていたが、VLSI システムが大規模化する傾向にある昨今、検証時間が膨大になる問題がある。

本研究では、実用的規模の回路を作り込める最近の FPGA を活用して新規開発 DDMP の設計内容を短時間で検証する手法の確立を目的としている。よって、本論文では、FPGA 上での自己タイミング型パイプライン処理機構の最適設計指針を示し、その結果をもとに最適パイプラインステージ数を導き出し算術、論理演算機構に適用し目標性能を達成できる見通しを得た。

キーワード FPGA、DDMP、自己タイミング型パイプライン処理機構

Abstract

A FPGA Implementation of Self-Timed Pipelined ALU

Toshiyuki Furuie

A data driven VLSI processor DDMP which achieves by super-high performance and ultra low power consumption by the self-timing pipelined mechanism was developed, and it is on the middle to the way to apply various commercial fields.

It is highly required to tall down the design and developing time that DDMP which specialized in each applicable field to some extent is designed and developed quickly to customise DDMP chip, because it is important to sell products at the high time.

The simulation method was used for design verification conventionally, but there was a problem to which verification time becomes huge these days according to the increasing size of VLSI systems.

A method which utilizes the latest FPGA which makes and puts the circuit of a practical scale, and verifies the contents of a design of target DDMP chips for a short period of time is aimed in this research.

Therefore, in this paper, the optimum design parameters of the self-timed pipeline processing mechanism on FPGA was clearly shown, and the prospect that the number of optimum pipeline stages was drawn on the basis of the result, it applied to arithmetic and a logic operation mechanism, and a target performance could be attained was acquired.

key words F P G A、 D D M P、 Self-timed pipeline processing mechanism