

# 要 旨

## 自己タイミング型パイプライン機構におけるデータ転送制御回路に関する研究

別役 宣奉

半導体集積化技術の発展の恩恵を受けて、これまで、集積化プロセッサの性能は著しく向上してきた。しかしながら、近い将来、極限集積化時代に突入すれば、現状のノイマン型処理方式では、クロック同期信号の配線が原因となり、高速化、集積化、省電力化の障害となることは明らかである。この問題を根本的に解決する手段が自己タイミング型パイプライン機構である。この方法は、配線を局所化でき、処理に本質的に必要な回路モジュールのみでしか電力を消費しないため省電力化が可能になると同時に、スループットの飛躍的向上も可能になるという優れた特徴を有している。

本論文は、この自己タイミング型パイプライン機構の最も基礎となるデータ転送制御回路の最適な適用法について検討を加えたものである。現行のデータ転送制御回路を複合化集積システムを構築する観点から再検討し、パイプライン内のデータ流量の変動が少ない機能モジュールに適用可能な2つの高速回路構成を提案した。さらに、これらの回路と現行の回路をスループット性能およびパイプライン効率について比較し、各回路構成の得失に応じた適用法を示し、自己タイミング型パイプライン機構を用途に応じてより最適な回路で構成可能になることを示した。

キーワード 自己タイミング型パイプライン機構、データ転送制御回路、パイプライン効率、スループット、複合化集積システム



## Abstract

### A Study on Data-Transfer Control Circuits for Self-Timed Pipelined Processing Mechanism.

Yoshitomo BECHAKU

As growing rapid advancement of semiconductor integration technology, the performance of the microprocessors has significantly improved. However, when a ultimate integration era will come in the near future, the conventional Von Neumann type architecture will be obstacle in terms of both performance improvement and lower power consumption due to its centralized control scheme and global clock synchronization mode. A self-timed pipelined processing mechanism is one of most promising schemes to solve this problem at system architecture level. Since the self-timed scheme can extremely distribute signal lines according with its hand-shake control manner.

In order to develop more excellent self-timed pipeline mechanism applicable for future complex systems integrated on a single chip, this paper studies on behavioral features of several data transmission control circuits. In the paper, two high-speed simple circuits are proposed and then analyzed in terms of performance, stability, and hardware cost, in comparison with the currently employed circuit in our data-driven processors. Consequently, the result shows that each circuits is respectively applicable to its suitable functional module depending on its behavioral requirements, e.g., the proposed one is suitable to interface module receiving data stream at constant dataflow rate.

**key words** self-timed pipeline, data-transfer control circuit, system on a chip(SOC)