

要 旨

データ駆動方式による 並列処理形 CRC 処理に関する研究

森安 亮

内容概要

巡回冗長符号化/復号化処理はルータの処理で高性能化のボトルネックの1つである。本論文では特に高速処理性能が要求される誤り訂正処理を対象として研究を行った。CRCはシフトレジスタにより簡単なハードウェアで実現可能なため、ATMとEthernetなどに広く利用されている。しかしながら、シフトレジスタはその逐次的動作が原因で高速化が望めない。そこで、本研究ではCRC処理の並列化に着目しデータ駆動型プロセッサDDMP(Data-Driven Multimedia Processor)上でソフトウェア的に高速実現する方式を提案した。また、ATMとEthernetで共通して使用できるような複合命令をDDMPに追加して更なる高速化を図った。提案手法の実現可能性を確認するために、作成したプログラムのデータ駆動プロセッサ上での動作性能を確認した。これはATM:OC-3用のCRC-8をデータ駆動型プロセッサコア1個で十分処理可能な性能であり、その結果プロセッサコアを増設すればより高速なリンクにも対応可能になることが明らかになった。

キーワード CRC, データ駆動, ATM, Ethernet

Abstract

A Study on Parallel CRC Processing Based on the Data-Driven Scheme

Ryo Moriyasu

Abstract

CRC(Cyclic Redundancy Check)encoding/decoding process is one of the bottlenecks of high speed routers. The research in this paper, is enhancing the performance of error correction which requires high throughput, since CRC can be realizable by small hardware of a shift register, that is widely used for ATM, Ethernet, etc. However, a shift register is difficult to improve its performance in the speed, because of its native successive operations. This research is focused on a high-speed realization in software on DDMP(Data-Driven Multimedia Processor) utilizing parallelisms of CRC. I propose a new compound instruction of DDMP which can be used in common in ATM and Ethernet. And further improvement in speed was achieved. In order to find the possibility of the proposed method, I wrote a pilot program to perform CRC functions on the data-driven processor. The performance of the trial about CRC-8 on only one processor core of DDMP is competitive with ATM:OC-3(155Mbps). So, it became clear that nearly coming high-speed links, are meet to DDMP systems.

key words CRC, DDMP,ATM,Ethernet