

要 旨

スキャンパス構成を利用したマルチポートメモリアレイの試験

坂下 雄一

本論文は、LSI内の埋め込みメモリアレイの試験に有効なスキャン可能メモリ構成をマルチポートメモリアレイに適用して、スキャン可能メモリ構成がマルチポート特有の故障の検出に有効であることを示したものであり、全体は以下の6章から構成されている。

第1章では、研究の主旨と論文全体の構成について述べた。

第2章では、デジタル回路の故障について、想定される故障とそのモデル化、メモリ固有の故障とそのテストについて概観し、大規模集積回路のテストに対処するためにはテスト容易化設計が必須であることを述べた。

第3章では、デジタル回路に対するテスト容易化設計技術の現状について概観した。それらの中でもランダムロジック部のテスト容易化設計技術であるスキャン設計については、組織的な方法であることから、今後の集積度の向上に伴って有効であることを示した。スキャンパス方式についてはその原理・特長、およびその変形について述べた。

第4章では、第3章で述べたスキャンパス方式をメモリアレイにまで拡張したスキャン可能メモリ構成について、その動作原理、特長について詳述した。具体的には、スキャン可能メモリ構成によってメモリアレイ部とランダムロジック部とを同一のスキャンパスに組み込めること、この結果ランダムロジック部とメモリアレイ部を区別せず試験パターンの自動生成が可能であること、さらにスキャン動作自身によってメモリ固有の故障を検出できることなどについて述べた。

第5章では、第4章で述べたスキャン可能メモリ構成をマルチポートメモリアレイに適用し、スキャン動作によってマルチポート固有の故障が検出できることを示した。具体的には、1Writeポートと2Readポートを有するマルチポートメモリアレイを対象とし、マルチポートメモリアレイ固有の故障として2つのワード線短絡故障を想定し、スキャン可能メモリ構成でマルチポートメモリアレイ固有のポート間ワード線短絡故障を有効に検出できることを示した。

第6章では、本研究で得られた成果を要約し、今後に残された課題について述べた。