

要 旨

FPGA を用いたデータ駆動プロセッサの回路実現法

小倉 通寛

近年の半導体集積化技術の発展により、数億個のトランジスタ U L S I を搭載したプロセッサが登場してきた。しかしながら、これら主流のプロセッサは同期クロック方式のノイマン型プロセッサであり、極度に集積化が進むにつれて、さらなる高速化、集積化、省電力化を達成することが困難になってきている。この問題は、ノイマン型処理方式が中央集中制御による逐次的処理を動作原理としていることにある。この問題を解決し得るアーキテクチャとして自己タイミング型パイプライン機構が提案されている。この自己タイミング型パイプライン機構と親和性が高いデータ駆動方式を採用した V L S I (D D M P) が、すでに開発され実用化されている。このアーキテクチャによって、柔軟なデータ転送が可能になると共に、配線を局所化することができる。そのため、同期クロック方式のノイマン型プロセッサに対して省電力、集積化、スループット性能において高い潜在能力を有している。

本論文では、この自己タイミング型パイプライン機構を基本アーキテクチャとした特定処理向きデータ駆動プロセッサの開発環境を構築することを目的として、FPGA チップ上にデータ駆動プロセッサを実装するために必要な自己タイミング型パイプライン機構の実現法と、パケットの複製制御回路、消去制御回路を提案した。そして、提案回路を実装したデータ駆動プロセッサと既存のソフトウェアシミュレータを比較し、機能検証を高精度、高速に行えることを確認した。さらに、FPGA のリソース消費量を調査して、マルチプロセッサの機能検証について考察した。結果、大規模な DDP システムを FPGA チップ上に実装可能なことが確認された。

キーワード 自己タイミング型パイプライン機構、データ駆動型プロセッサ、FPGA

Abstract

FPGA-Specific Circuit Implementation of Data-Driven Processor

OGURA, Michihiro

By evolution of semiconductor integration technology, the processors that carry hundreds of millions of transistors had been developed. Almost of those current processors implement the von Neumann principle and those are realized by synchronous circuits. However, it becomes difficult to attain the further improvement in the speed, integration, and power-saving. These problems arise from the nature of the sequential processing. The self-timed pipeline was introduced to settle these problems. The self-timed pipeline has a strong affinity to the data-driven principle. Transmission of the data is asynchronously conducted by local transfer control units in the self-timed data-driven architecture (DDP). Therefore, flexible data transmission can be realized and wiring can be localized by these control units. Since the data-driven processor becomes free from the problems mentioned above, it has more high capability than the von Neumann type processor.

This paper aims at building the developing environment of the application-specific data-driven processors made of the self-timed pipeline. To implement a data-driven processor on an FPGA chip, the self-timed pipeline, the packet copy control circuit, and packet elimination control circuit were proposed. The data-driven processor which implemented the proposed circuit was compared with the existing software simulator. Consequently, they have high precision and high speed for functional verification. Furthermore, the amount of resource consumption of FPGA was investigated and functional verification of a multiprocessor was considered and showed a good result for large scale DDP system.

key words self-timed pipeline, data-driven processor, FPGA