

# 要 旨

## 超高速ルーティング検索機構の FPGA による実装

長野 光

今後の超大規模集積化システムには、高速化だけではなく、省電力化、設計容易化が求められている。そのため、集積化システムの高速化の有力な手段であるパイプライン処理機構を、従来のクロック同期回路以外の方式によって実現する方法が求められている。

そこで、注目する自己タイミング型 VLSI システムは、省電力性、高速性などの優れたアーキテクチャの特性により、次世代特定用途向き LSI として期待されている。加えて、将来的には要求の多様化、集積化技術の進展等の要因により飛躍的にシステムが大規模複雑化する事が予想される。このため、自己タイミング型 VLSI システムを短期間で効果的に設計、検証する環境の整備が急務となっている。

本研究では、自己タイミング型システムを前提として提案された超高速ルーティング検索機構を FPGA 用に設計し、性能評価を行うことで、自己タイミング型アーキテクチャを用いたシステム開発において、システムの事前評価に FPGA の適用を応用することの優位性を示した。

キーワード 自己タイミング型 VLSI システム、FPGA、超高速ルーティング検索機構

# Abstract

## An Implementation of a ultra high-speed routing look-up system on FPGA

Hikaru NAGANO

The recently very large scale integration system is asked not only for improvement in the high-speed but for power saving and the easiness of design. Therefore, the pipeline processing system which is the leading means of improvement in the speed of an integration system requires new methodology to implement instead of the conventional synchronous circuit.

The self-timing VLSI system is expected as for next generation of application LSI specific with the characteristics of the outstanding architecture, such as power saving and high-speed. In addition, it is expected that a system carries out large scale complication by leaps and bounds according to factors, such as diversification of demands and progress of integration technology, in the future. For this reason, development of the environment to design and to verify the self-timing VLSI system for a short period of time is requested.

In this research, the formerly proposed ultra high-speed routing look-up system considering the self-timing system was designed to FPGA, and the advantage of application of FPGA to prior evaluation in the systems development using the self-timing architecture by performance evaluation was shown.

**key words**     self-timed VLSI system, FPGA, super high-speed routing look-up system