

要 旨

PTL による自己タイミング型 パイプライン回路の構成法

別役 宣奉

半導体集積化技術の革新的発展を受けて、現在 SoC (System on Chip) 実現への期待が高まっている。しかしながら、現状のノイマン型処理方式では、クロック同期信号の配線が原因となり、高速化、集積化、省電力化の障害となることは明らかである。この問題を根本的に解決する手段が自己タイミング型パイプライン機構である。この方法は、配線を局所化でき、処理に本質的に必要な回路モジュールのみでしか電力を消費しないため省電力化が可能になると同時に、スループットの飛躍的向上も可能になるという優れた特徴を有している。

本論文では、この自己タイミング型パイプライン機構を前提とした SoC 実現の観点から、効果的な 2 つの手法を提案する。1 つ目は処理機能に応じたデータ転送制御回路の最適な適用法について、2 つ目は PTL(Path Transistor Logic) を自己タイミング型パイプライン機構の機能モジュール回路に適用する事である。1 ではパイプライン内のデータ流量の変動が少ない機能モジュールに適用可能な高速回路構成を提案した。2 では SPICE シミュレータの解析によってその親和性の高さを明らかにした。

キーワード 自己タイミング型パイプライン機構、データ転送制御回路、SoC、PTL

Abstract

A PTL Implementation of Self-Timed Pipeline Circuits

BECHAKU Yoshitomo

As growing rapid innovative advancement of semiconductor integration technology, The expectation for system on a chip(SOC).The conventional Von Neumann type architecture will be obstacle in terms of both performance improvement and lower power consumption due to its centralized control scheme and global clock synchronization mode. A self-timed pipelined processing mechanism is one of most promising schemes to solve this problem at system architecture level.Since the self-timed scheme can extremely distribute signal lines according with its hand-shake control manner.

In this paper, two effective techniques are proposed from a viewpoint of the SoC realization on condition of this self-timing type pipeline mechanism. The 1st is that the 2nd applies PTL (Path Transistor Logic) to the functional modular circuit of a self-timing type pipeline mechanism about the optimal method of applying a data transmission control circuit according to the processing function. In 1, change of the data flux in a pipeline proposed high-speed circuit composition applicable to a few functional module. In 2, the height of the affinity was clarified in the analysis of a SPICE simulator.

key words self-timed pipeline,data-transfer control circuit,system on a chip(SOC),path transistor logic(PTL)