要旨

データ駆動型ネットワークプロセッサ DDNP における高速パケット分類方式

森川 大智

将来の基幹ネットワークの全光化に伴い,光リンク速度でディジタル信号を授受し,これらに対して多様な通信サービスを柔軟に提供できるネットワークプロセッサ (NPU) の実現が望まれる.本研究の最終目標は,高速かつしなやかな NPU の実現を目指して,パイプライン処理能力に優れたデータ駆動型処理方式に基づくネットワークプロセッサ (DDNP) の構成法を確立することにある.

NPU が提供する機能の中でも、パケット分類や各種テーブル検索処理は非常に処理負荷が高く、高速化の鍵とされている。本論文では、各種サービスに応じたパケット分類をパイプライン並列化に処理可能な方式を提案する。各ルールの照合に LC-Trie による最長一致検索を用いて、検索処理のボトルネックとなるメモリ参照を極小化する。さらに、パイプライン並列化により、メモリ参照遅延を隠蔽する。また、ルールセットの大規模化による、検索木の偏りを緩和するため、Index Jump テーブルを導入した。そして、本提案方式を含む、DDNP アーキテクチャのハードウェアレベルのエミュレーションを可能とし、性能評価、回路規模の見積もりを行うために評価ボードを試作した。評価ボードを用いた評価の結果、本方式は6%程度の回路拡張で約12MLookup/sec(IPv4)の性能を実現できることを示す。

キーワード ネットワークプロセッサ,パケット分類,最長一致検索,データ駆動,自己同期パイプライン

Abstract

Fast Packet Classification

on a Data-Driven Network Processor: DDNP

Daichi MORIKAWA

With developing all-optical communication networks, highly-functional and highspeed boundary routers and home gateways are becoming to be required. To satisfy these requirements, novel NPU with programmability and high speed performance close to performance by hardware implementations is expected to be developed. The final objective of this research is to establish the construction of a network processor (DDNP) based on the data-driven scheme having highly pipelined processing capability.

In this paper, a high-speed pipelined algorithm for packet classification which is one of heavy load functions within boundary routers is proposed. The paper then presents its software implementation scheme on a data-driven processor that having flexible capability of pipelined parallel processing. Then, an evaluation board for DDNP which evaluates performance and measures logic scale of hardware including the proposed scheme is described in this paper. Finally, it is shown by simulation and experimental hardware evaluation that the scheme achieves maximum performance 12M IPv4 packets per second by only 6% additional hardware cost.

key words Network processor, Packet classification, Longest prefix matching, Datadriven, Self-timed super-pipeline