

# 要 旨

## 自己タイミング型優先キューの LSI 回路構成法

小倉 通寛

近年の微細加工技術の恩恵を受けて、システム全体を 1 チップに集積するシステムオンチップ SoC の構成技術が望まれている。しかし、回路の微細化が進むにつれて、大規模で複雑な回路設計が要求される上に、集積回路固有の要因が回路動作に相対的に深刻な影響を与えるため、より一層設計が困難になりつつある。これらの問題解決には、回路の論理的機能ならびに物理的影響を共に局所化して、大規模設計の問題を分割して統治できるアーキテクチャが必須である。自己タイミング型パイプライン (STP) はこれらの要件を満たす極めて有望な方式である。STP の重要な性質は、パイプライン段間のデータ転送が局所的に制御される点にある。これによって多様なパイプライン間相互作用機能を実現する、種々の機能的パイプライン・システムを構築でき、付加価値の高い高速で低電力な SoC が実現できる。

本論文では、その一応用例として、自己タイミング型優先キュー SPQ の LSI 回路構成法を提案している。SPQ では、直線状の STP を折り曲げ、互いに逆行する 2 本の STP と見なし、データの転送優先度に応じて、データを STP 間でバイパスさせることによって、低遅延でキューイングを可能にする。本研究では、2 種類の制御回路を検討した。第 1 の回路構成法では、データの優先度を比較せずにキュー全体で確率的に優先転送を行う。第 2 の構成法では、相互に作用させるデータを同期させ、これらの転送優先度を比較して優先的に転送する。これらを実装した SPQ チップを  $0.18\mu\text{m}6\text{ML}$  標準 CMOS セルを用いて試作し評価した。さらに、より緻密な優先転送を実現可能な回路構成法についても考察を加えている。

キーワード SoC, 自己タイミング型パイプライン, 自己タイミング型優先キュー

# Abstract

## An LSI Implementation of Self-Timed Priority Queue

OGURA , Michihiro

With rapid advancement of the ultra-fine processing technology, it is demanded to organize a large-scale and complex system on a single chip, called as system on chip (SoC) technology. However, to design SoC's with the deep-submicron process will be very difficult due to electromagnetic interferences among closer circuitry as well as due to the design complexity of a large amount of circuits. To overcome these serious problems, both logical functions and physical effects should be encapsulated as locally as possible, so that whole system can be designed under the divide & conquer manner. Self-timed pipeline (STP) scheme could be expected to be a smart solution for those. Further, since STP has another functional potential by the use of mutual interactions among STP's, it realizes more sophisticated SoC's even in the deep sub-micron age.

This paper proposes a self-timed priority queue (SPQ) to demonstrate STP's functional advantage. SPQ consists of a folded STP in which each pipeline stage has a bypass for prior data. The paper discusses two types of data transfer control circuits for the SPQ. The first one controls probabilistic behavior of each packet in whole pipeline stages. The second one detects a pair of packets to compare their priority. Two prototype LSI chips were fabricated with 0.18 um 6ML CMOS standard cells and evaluated. Then, some improved circuits for the SPQ are discussed to realize more precise priority queueing function.

**key words**    SoC, Self-Timed Pipeline, Self-timed Priority Queue