

# 特別研究報告書

## 題目

集積回路低消費電力最適化に関する研究  
～ 定数乗算器を利用した低消費電力化～

Low Power Consumption Optimization of Integrated Circuit by using  
Constant Multiplier.

---

### 指導教員

橘 昌良 助教授

---

### 報告者

学籍番号： 1065084

氏名： 松見 隆之

---

平成 16 年 2 月 16 日

高知工科大学 電子・光システム工学コ-ス

## 内容梗概

今日、集積回路はさまざまな製品、分野で使用されている。最近では、携帯電話やモバイル端末を利用して屋外に居てもネットワークを通じて様々なデータを受信し、処理することが出来るようになった。今後この分野 (ユビキタスコンピューティング) はさらなる発展をし、大きなモバイル端末は小型化を遂げ、誰もがモバイル端末を持ち運ぶ時代が到来すると思われる。このユビキタスコンピューティングでは、端末自体の小型化も重要なファクターであるが、なにより端末の駆動可能時間 (バッテリー ライフ) が最も重要であり、バッテリーの改善の他、駆動可能時間を長くする方法として重要になるものがその中枢となって処理を行う集積回路の低消費電力化である。

本研究の目標とするものは、低消費電力な集積回路を高位合成するために必要な技術およびアルゴリズムを確立することである。本研究では第一歩としてデジタル信号処理で頻繁に利用される乗算器を対象とし、乗算器の低消費電力化の手法として、デジタル信号処理の計算方法に最適化した定数乗算器を使用することを提案する。

本研究で提案する定数乗算器は従来の定数乗算器では無く、一部乗数を0で固定することで部分的に定数化した部分的定数乗算器である。これは一般的な定数乗算器と異なり、演算可能な値のカバーが大きいという特徴がある。

本研究の結果、デジタル信号処理の計算方法に最適化した部分的定数乗算器を用いることで電力は1ビット定数化で約20%減、2ビット定数化で40%減、4ビット定数化で60%減と大幅な低消費電力化が可能であり、低消費電力化を考えた場合には、この定数乗算器を使用することは大変に有効である。また、高位合成として、同定数乗算器の自動合成ツールの開発も行い、容易に低電力である乗算器を得ることが可能となった。

本論文では、第2章において現在の最適化技術および最適化の上での面積、電力、速度等の各制約条件との関係、そして低消費電力化技術について述べる。第3章では本研究で対象とした乗算器の構成方法について、その低消費電力化および、今回提案する定数乗算器を利用することによる電力や速度に対する影響と定数化ビット位置による電力、速度への影響について述べる。第4章では第3章で述べるWallace Tree型定数乗算器を自動合成するためのソフトウェアについて述べる。

なお、本研究は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社およびケイデンス株式会社の協力で行われたものである。