

## 要 旨

# データ駆動型チップマルチプロセッサ用 視覚的評価手法

濱田 康裕

動的データフローに基づくプログラムは、完全な部品化を実現しているため、アルゴリズムレベルで、対象とするシステムの最大並列性を抽出できることが知られている。本研究で着目するデータ駆動型チップマルチプロセッサは、自己タイミング型パイプライン (Self-Timed Pipeline, STP) を用いてこのようなプログラムを 1 チップ化しているため、極省電力や完全分割制御といった LSI 集積のブレークスルーを実現する。

並列演算では、各プロセッサへの命令割当てが、実行性能を決める。しかし、NP 困難な計算量を要する割当ての最適化は研究段階にあり、現時点では、プログラムの直観やシステム知識による割当てが広く行われている。

本研究では、データ駆動型チップマルチプロセッサ上のプログラム実行時の情報を基に、実行時の状況をアニメーション表示し、プログラムの直観を補助する視覚的評価手法を提案する。

さらに、視覚ツールを実装することで、本提案手法の有効性を評価した結果、プログラムが全プロセッサの負荷状況を直観的に理解可能であることから、負荷に関するプログラム特性の理解に十分な精度を有することを確認した。

キーワード データ駆動型チップマルチプロセッサ、命令割当て、直観性

# Abstract

## A Visual Evaluation Method for Data-Driven Chip-Multi-Processors

Koyu HAMADA

In order to realize high performance ULSI systems, DDCMP architecture, in which high independent programs based on data-flow principle are implemented on 1 chip using self-timed pipeline, is a breakthrough because of its low power consumption and divide-and-conquer control mechanism. This paper presents a visual evaluation method for DDCMP systems.

Generally, the performance of multi-processors depends on the degree of load sharing on processors. In other words, the optimization of instruction allocation is essential. However, the automation of the optimization, whose complexity is known to be NP complete, is not realistic, therefore, in practical programming, the allocation is based on the intuition and keen insight into runtime situation. Such allocation involves much training and time to master thus expands the development cost.

In this paper, to assist the intuition a visualization method based on the log of an architecture simulator is proposed. A visualization tool based on the proposed method achieves the intuitive understanding of runtime state of DDCMP systems.

**key words**     Data-Driven Chip-Multi-Processors, instruction allocation, intuitively