

## 要 旨

# DDMP 向きオンチップ・エミュレーション機構の回路構成法

高橋 恵理子

近年、ますます小型化と高性能化が進む携帯マルチメディア機器の普及に伴い、低消費電力で高性能なインフラストラクチャが渴望される。データ駆動型マルチメディアプロセッサ（以下、DDMP）[1] は、マルチメディア処理に内在する並列性を自然に活用できるデータ駆動原理を、自己タイミング型パイプライン（以下、STP）で実装することによって、高並列性かつ省電力な動作を実現し、画像処理など特定用途向けに開発が進められている。

しかし、開発工程において重要な役割を果たすシミュレーションでは、ノイマン型プロセッサ上で STP の挙動を模擬し、膨大な STP の状態数を管理するためのシミュレーションコストが問題となる。そのため、より高速かつ高精度なシミュレーション手法として、オンチップ・トレース駆動エミュレーション手法がすでに提案されている [2]。

STP は、パイプライン中のパケット流量に性能が依存するため、既存の DDMP と新たな DDMP とでパケット流量を一致させる必要がある。そのために追加命令を既存の命令群に置換して実行し、値を保障する機能検証と、追加命令を擬似的な命令に置換し、機能検証の際に取得した実行時情報を反映させて実行し、性能を保障する性能検証を行う。本研究では、実行時情報を取得、反映させたエミュレーションを可能とする回路を FPGA に実装した。さらに、パケット転送の際に実行命令に依存して生じる可変な遅延を再現するための可変遅延機構を実装した。その結果、回路増加約 0.46% と、十分に実用的な回路規模での実装が可能であることを確認した。

キーワード DDMP、STP、データ駆動、オンチップ・トレース駆動エミュレーション

# Abstract

## Self-Timed Circuit Design of On-Chip Emulation Mechanism for DDMP

Eriko Takahashi

Recently, handheld devices are increasingly required to obtain high performance with low power consumption. Data-driven multimedia processor (DDMP) employs the dynamic data-driven scheme and self-timed super-pipeline (STP) technique. Dynamic data-driven scheme realizes natural parallel processing and STP can transfer packets between two stages autonomously. Therefore, DDMP provides highly pipelined parallel and power-saving processing capability.

As we all know the simulation tool is essential in development process. However current simulator for DDMP is not suitable due to its high computational cost. An On-Chip Trace-Driven Emulation method has been proposed already. This method can obtain high-speed and high-accuracy when simulated on the real chip. Performance of DDMP depends on packet flow rate in STP. In order to adjust the flow rate between the existing DDMP and newly designed DDMP for new instruction, the emulation is conducted in two phases which are functional evaluation and performance evaluation.

In this research, two circuits are proposed. One is for executing functional evaluation phase and performance evaluation phase the other is reproducing variable delay when packets transfer. The result shows they are proposed circuits can achieve increasing rate at the cost of only 0.46% addition hardware cost.

**key words** DDMP, STP, Data-Driven scheme, On-Chip Trace-driven Emulation