

要 旨

自己タイミング型データ駆動プロセッサの オンチップ・エミュレータ

小笠原 新二

情報処理システムは高性能化、高機能化を達成するために大規模化を続けている。これからさらに、高度化・複雑化していくと予想される情報処理システムの構築には、デバイス技術の進展を余すことなく享受し得る計算機システムが望まれる。さらに、システム開発コストの総合的な削減のためには、設計の短期化を促すエミュレータが不可欠である。

自己タイミング型データ駆動プロセッサ (DDP) は、動的データ駆動処理を実装した複数の自己タイミング型パイプライン (STP) を相互接続したヘテロジニアスなチップマルチプロセッサである。STP では、隣接するステージ間でのみデータ転送制御信号を局所的に授受 (ハンドシェイク) するため、電力消費をパケットの存在するステージにのみに制限する極省電力という特徴と数ステージから構成される機能単位でのモジュール設計が容易であるという特徴を併せ持つ。このため DDP は高集積化が容易であり、次世代の情報処理システム実現に適したプロセッサであると言える。新規の DDP 開発では、応用システムに最適な命令セット決定のために定量的な性能見積もりが不可欠である。しかし、ソフトウェアベースのシミュレータでは、パイプラインの挙動を再現する計算時間がボトルネックとなり、多大な性能検証時間を要し、結果として開発期間が長期化している。

本論文では、性能検証を迅速化させることを目的に、実行時情報のみで評価可能なトレース駆動方式を応用した、オンチップ・エミュレータ機構を提案し、 $0.18\mu m$ CMOS 設計の結果を述べる。

キーワード 自己タイミング型パイプライン, 性能見積り, エミュレーション, トレース駆動

Abstract

An On-Chip Emulator for Self-Timed Data-Driven Processors

Shinji Ogasawara

This paper describes the hardware implementation of trace-driven emulation for self-timed data-driven processors (DDPs). DDP is a chip-multiprocessor thoroughly structured by self-timed pipeline in which a piece of stream data is transferred solely by local control along with localized wiring between adjacent two pipeline stages, and thus DDP provides highly parallel processing and low electric power consumption preferable to multimedia processing applications. The design of application-specific DDP systems requires the quantitative performance evaluation of the whole system including newly designed compound instruction set for the target application. However software-based simulation does not achieve rapid performance estimation due to its computational costs, and thus it becomes a bottleneck of design flow. In previous work, we proposed the trace-driven emulation method including variable delay and branch history memory, to realize rapid performance estimation of DDP systems. In this paper, the circuit implementation of DDP-based emulator with those mechanisms is proposed. The on-chip emulator is designed by $0.18\mu m$ CMOS Logic. As a result, the circuit size of the emulator is compared with that of a DDP, and it is revealed that the increasing rate of additional circuit size is approximately 4.0%.

key words self-timed pipeline, performance estimation, emulation, trace-driven