

要 旨

FFT のデータ駆動型並列実現法

浦岡 祥平

昨今、音声・画像のフィルタ処理ならびに無線通信におけるデジタル変復調等で、益々高い周波数分解能の高速フーリエ変換 FFT が求められている。しかし、FFT 規模に比例して増加する演算量が高処理負荷となり、さらなる高性能化と省電力化が必要となっている。

高性能と省電力を両立できるアーキテクチャとして、グローバルクロックに依存しない自己タイミング型パイプラインとデータ駆動方式による高い並列処理を実現したデータ駆動型プロセッサが提案されている。

データ駆動型プロセッサでの FFT の高速化には、並列処理構造と (マイクロ) アーキテクチャの検討が必要である。本研究では、大規模 FFT の高速化が可能なデータ駆動型マルチプロセッサ・アーキテクチャに関する検討の一環として、縦列構造と並列ループ構造の 2 つの FFT のストリーム型並列処理構造を提案し、32bitDDMP 用シミュレータを用いて、これらの特性評価を行った。

特性評価の結果、縦列構造は最大周波数分解能に限界があることに対し、並列ループ構造は、周波数分解能が高く、使用プロセッサ数を増やすことで性能が向上した。さらに、ポイント数や基数の変更といったバタフライ演算モジュールの変更で性能が向上することがわかった。

キーワード FFT, ストリーム型並列処理構造, データ駆動

Abstract

Data-Driven Parallel Implementation of FFT

Shohei Uraoka

The fast Fourier transform (FFT) with high frequency resolution has been widely demanded for many signal processing applications, e.g. audio and image filtering, digital modem in wireless communication. This study aims at giving a data-driven parallel solution for the large scale FFT implemented on FPGA, reconfigurable processor as well as data-driven multiprocessor chip.

In this paper, parallel processing structure inherent in FFT is analyzed first. The simplest data-driven implementation is equivalent to the signal flow graph of FFT but it will generate a huge number of active intermediate data and might make the processor overflow. On the contrary, sequential loop structure by which all intermediate data are stored in the memory has no parallelism.

This paper introduces two hybrid implementations. One is to expand the loop by using a kind of software pipelining technique. The other is a concurrent loop structure. The evaluation results on a data-driven multiprocessor show that the concurrent loop structure might achieve better scalability in proportional to the number of processors.

key words FFT , Parallel-Processing , Data-Driven