

要 旨

ハフマン回路による 自己タイミング型パイプラインの設計

小松 和寛

自己タイミング型パイプライン (STP) は、クロック同期型回路の設計問題を解消でき、将来の ULSI 実現に有望な構成法である。STP は、隣接したパイプラインステージ間の転送制御 (ハンドシェイク) のみで動作するため、シグナルインテグリティの確保、極省電力、およびパイプラインステージレベルでのモジュール性を実現している。これらの STP の特性は、自己タイミング型データ駆動プロセッサ (DDMP) の実現を通して実証されたものである。STP では、3 ステージ以上のパイプラインステージ間でハンドシェイクすることで、例えば、優先度キューイング機能を持つ、折り返し型パイプラインキュー (SPQ) などの、これまでにない機能性を持つ構成がとれる。このようなパイプライン構成の設計には、複雑なハンドシェイクを保証する系統的な設計手法の確立が不可欠である。すでに、ハフマン回路やマラー回路に基づく非同期式回路の設計手法が研究されているが、STP の設計には直接的には利用できない。

本論文では、SPQ におけるハンドシェイク回路の分割設計手法を提案する。提案手法では、ハフマン回路のモデルに基づくバーストモード (BM) マシンや、拡張バーストモード (XBM) マシンで仕様を定義できる単位に回路を分割することで、ハンドシェイク回路を仕様から機械的に導出できる。提案手法に基づき、50 ステージの SPQ を、TSMC 社 0.18 μm CMOS 6LM で設計した。結果、人手で設計された既存の SPQ と同等以上の性能であることを確認した。

キーワード 自己タイミング型パイプライン, ハフマン回路, 分割設計手法, 系統的設計

Abstract

Self-Timed Pipeline Circuit using Huffman Design Method

Kazuhiro KOMATSU

The self-timed pipeline (STP) is a promising ULSI architecture which solves modern circuit design issues of synchronous circuits. Since STP is driven only by hand-shake signals generated between adjacent pipeline stages, it eliminates clock skew problem, reduces electromagnetic noise, saves power dissipation, and guarantee components modularity in the pipeline stage. These features have been proven by developing self-timed super-pipelined data-driven multimedia processor chip (DDMP).

However, more complex pipeline structures such as self-timed folded pipeline queue (SPQ) require more complex hand-shake signaling among more than three pipeline stages. Thus, a systematic design methodology of complex STP should be established. Although many asynchronous circuit design methods based on Huffman and Muller models have been proposed, they can not be directly applied to the STP system.

This paper proposes a division method of self-timed data-transfer control unit for SPQ in order to apply the Huffman model to the divided circuit blocks. The proposed method enables to design SPQ by using the ether burst mode machine or the extended burst mode machine based on the Huffman model. Designed SPQ with 50 pipeline stages was evaluated under TSMC 0.18 μm CMOS 6LM process rules and worked faster than the original SPQ by manual design.

key words Self-timed Pipeline, Huffman circuit, Divided design, Systematic design