

要 旨

DDP 向きオンチップシミュレータの LSI 設計

勝賀瀬 峻司

半導体集積技術の発展に伴って、計算コアだけでなく入出力等の周辺の回路までも 1 チップ上に集積する SoC (System On a Chip) 構成が可能となり、多機能で高性能な小型の組み込みデバイスが開発されている。自己タイミング型データ駆動型マルチプロセッサ (DDP) は、省電力でありながら、高い並列処理能力と回路モジュール性を備えており、そのような SoC デバイスの実現に有望なコアである。これらの特徴を信号処理へ活用するため、リアルタイム画像認識や組み込み型ネットワークプロセッサなどの特定用途向けの DDP が開発されている。

このような DDP の開発では、DDP 構成やそのプログラムの最適化のために、シミュレータやエミュレータに基づいた、多くの試行錯誤が必要となる。ところが、これまでは、シミュレータは低速であり、エミュレータは柔軟性に乏しいといった問題があった。

本研究では、新たな DDP 構成とそのアプリケーションプログラムを高速かつ柔軟に模擬できるオンチップ・シミュレーション機構を提案する。本機構は、DDP 中のデータ駆動パケットの挙動を平均的な速度で捉える、マクロフローモデルに基づいている。提案構成では、通常の DDP 構成要素に加えて、シミュレーションのために、macro-flow engine, packet queue, 2 種類の time stampers といった機構を追加する。これらのシミュレーション機構を TSMC 社の $0.18 \mu m$ CMOS Logic 6LM のデザインルールで設計した。結果、提案機構は、約 30% ほどの回路規模の増加に収まることが判った。

キーワード DDP, SoC, データ駆動, マクロフローモデル

Abstract

LSI Design of On-Chip Simulator Mechanism for DDPs

Shunji SHOGASE

With advancement of semi-conductor integration technology, various system-on-chip (SoC) devices have been developed and embedded to small electronic appliances. Self-timed super-pipelined data-driven multiprocessor (DDP) is a promising core of SoC because of its power saving, parallel processing capability, and circuit modularity. Thus, several application-specific DDPs are being developed, e.g., real-time image recognition, embedded network processor, and so on.

However, to tune a DDP architecture and its application programs requires many trial and error steps. Simulator or emulator is often used for this tuning work but the simulator is slower as well as the emulator lacks of flexibility.

This paper proposes on-chip simulation mechanism that achieves fast and flexible simulation of a new DDP architecture and its application programs. This mechanism is based on the macro-flow model which represents the self-timed behavior of data-driven packets by their average velocity. It is composed of normal DDP components and simulation units: macro-flow engine, packet queue, virtual time stampers. These units were designed using TSMC 0.18 um CMOS 6LM process rules. As a result, only 30 % additional circuit area was required for the proposed mechanism.

key words DDP , SoC , Data Driven , macroflow model