

要 旨

DDP 向け高速シミュレータの設計と実装

武中 悠祐

我々を取り巻く情報機器の小型化と高性能化を図るために、低消費電力かつ高性能なプロセッサが望まれている。データ駆動型プロセッサ (DDP:Data Driven Processor[1]) は、極小電力と設計コンポーネントの高いモジュール性を実現する自己タイミング型パイプライン (STP:Self-Timed Pipeline) のみで構成されており、多くのリアルタイム組み込みアプリケーション分野に有効である。DDP の設計において、早期の設計での設計生産性の向上に不可欠となる、高速シミュレーションのためのマクロフローモデルが提案されている。しかし、マクロフローモデルは、従来のナীবモデルに比べて STP を抽象的に捉えるために、緻密な実行時情報を必要とする、マイクロアーキテクチャの設計には適していない。したがって、次世代 DDP の開発には、マクロフローモデルとナীবモデルの両方を協調させるシミュレータが必要である。

本研究では、両モデルを共存させる高速シミュレータを、設計し実装した。シミュレータは、Handshake Phase と Datapath Phase の 2 部で構成されている。これはタイミングのシミュレーションと機能的なシミュレーションの相互作用を最小化するためである。これにより、シミュレーションモデルや DDP 構成 (Datapath Phase) が容易に変更でき、シミュレータの柔軟性を確保した。JDK5.0 と XML で実装したシミュレータは、両モデルを扱いながらも、既存のシミュレータより高速なシミュレーションが可能であることを確認した。

キーワード データ駆動型プロセッサ、自己タイミング型パイプライン、マクロフローモデル、ナীবモデル

Abstract

Design and Implementation of Rapid Simulator for DDPs

Yusuke TAKENAKA

Recently, in order to realize diverse information appliances around our daily lives, low power and high performance embedded devices are required. Self-timed super-pipelined data-driven multiprocessor chip (DDP) is a promising device because DDP is completely realized by the self-timed pipeline (STP) circuit and STP provides natural power saving feature and component modularity. DDP is intended for the use in many real-time embedded application fields. In order to improve productivity in the early design phase of DDP, macro-flow model for faster simulation has been proposed in place of basic naive model. However, macro-flow model is not suitable for micro-architecture design due to its abstraction. Therefore, a high-speed simulator incorporating both macro-flow and naive model are necessary for the development of next generation DDP.

In this paper, a high-speed simulator incorporating both models is designed and implemented using JDK 5.0 and XML. The simulator is composed of two parts: data-path phase and handshake phase. This is because interactions between functional simulation and timing simulation are minimized. That is, it keeps flexibility for changing the simulation model or data-path architecture. The implemented simulator was faster than the existing one even if both models are supported.

key words Data-Driven Processor, Self-timed pipeline, Macro-flow model, Naive model