

# PLLのための要素回路の設計

高知工科大学電子・光システム工学科  
1070281 北地祐子

## 1.序論

PLL(Phase Locked Loop)回路の設計により、LSI設計の手法を学ぶ。本研究では、ローパスフィルタ以外のPLLの要素回路をレイアウト設計しシミュレーションする。そしてそれらの回路をRohm0.18 $\mu\text{m}$ プロセスでLSIに搭載する。

## 2.PLL回路の構成と特性

PLL回路は図1に示すように、位相比較器(PD)、ローパスフィルタ(LPF)、電圧制御発振器(VCO)、分周器で構成される。VCOは入力されたPDは、入力信号の位相 $\Phi_{in}$ と分周器の出力信号 $\Phi_{dclock}$ を比較し、位相差に比例した電圧を出力する。XOR型位相比較器と位相周波数比較器(PFD)の2種類を設計した。VCOは入力される直流電流によって出力周波数が決まる。Current-Starved VCOとSource-Coupled VCOの2種類を設計した。また分周器でVCOの出力を1/100させ、位相比較器の入力とする。 $f_{out}$ は100MHzを目標とし、 $f_{in}$ は1MHzとする。

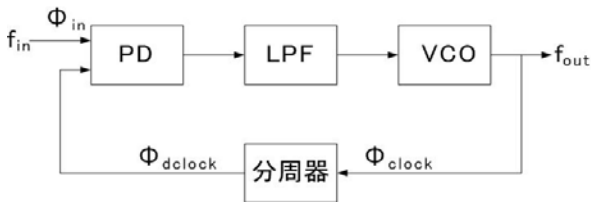


図1 PLL回路のブロック図

## 3.レイアウト設計及びシミュレーション結果

Current-Starved VCOのシミュレーション波形を図2に、Source-Coupled VCOのシミュレーション波形を図3に示す。上段の波形はVCOの出力信号、下段の波形は入力信号を示している。それぞれのVCOはほぼ100MHzの発振周波数を実現した。

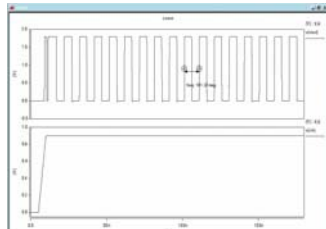


図2 Current-Starved シミュレーション結果

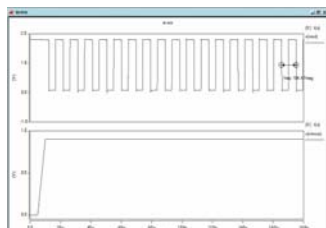


図3 Source-Coupled シミュレーション結果

次にPFDのシミュレーション波形を図4に示す。PFDの出力にはTristateまたはCharge-pumpを接続する。Charge-pumpを接続した場合のシミュレーション結果を図5に示す。また図4、図5に示したシミュレーションは $\Phi_{in}$ の立ち上がりエッジが $\Phi_{dclock}$ の立ち上がりエッジより早い場合についてである。図4において、一番上の段の波形はPLLの入力信号 $f_{in}$ 、上から二段目の波形は分周された信号、上から三段目波形はPFDの出力信号up、一番下の波形はPFDの出力信号downを示す。図5において一番上の波形はPFDの出力up、上から二段目の信号はdown、上から三段目の波形はcharge-pump内部の電流源の制御電圧、上から四段目の波形は出力電流、一番下の波形は出力電圧を示す。設計したすべてのPD及びTristate、Charge-pumpが期待通りの動作をしたことを確認した。

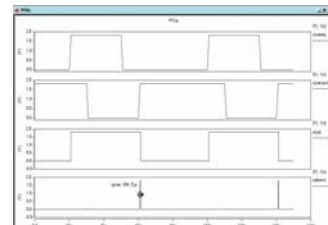


図4 PFDシミュレーション結果

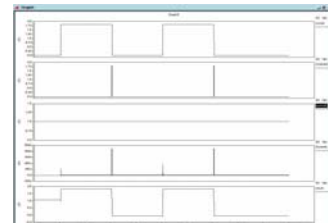


図5 charge-pumpシミュレーション結果

分周器はVCOの発振周波数及び位相を1/100に分周する。その信号を位相比較器の入力とする。シミュレーション結果では期待通り100MHzの信号を1MHzに分周したことを確認した。

## 4.まとめ

今回設計した回路はVDECを利用してLSIチップに搭載する。配線容量によって回路動作がシミュレーション結果と変わるので、配置配線が重要となる。今後の予定としては2007年3月23日までにVDECサーバにチップデータをサブミットし、チップ試作が完了し納品されるのは2007年7月17日となる。その後設計した各回路を測定し、本研究で行ったシミュレーション結果との比較を経て、評価・検討する予定である。尚、本研究は東京大学大規模集積システム設計教育研究センターを通じ、ローム株式会社、ケイデンス株式会社、メンターグラフィックスコーポレーション、シノプシス株式会社の協力で行われたものである。



