# 算術符号化回路の設計

1070318　　橋田　直人　　橘研究室

## 1. はじめに

本研究の目的は、JPEG2000 で用いられている算術符号化方式のＭＱコーダを VHDL で設計し、シミュレーションを行うことで、ハードウェアの設計を学ぶことである。

## 2. 理論

MQ コーダは従来の算術符号化とはことなり、1 と 0 という 2 値の代わりに出現確率の高い MPS と低い LPS という値を用いて符号化していく。もっとも大きな違いは出現確率が変化するということで、その変化は状態遷移表を用いて決定される。

条件分岐が非常に多いために並列化が困難となっている。

## 3. 回路構成

今回は ROM にあらかじめ 64 ビットのデータをいくつか持たせておくことにした。そして ROM から出力された信号をエンコーダとデコーダに通し、それぞれ値を出力する構成になっている。ここで注意しなければならないのは、エンコーダされてきた順にデコーダも行わなければならないことである。

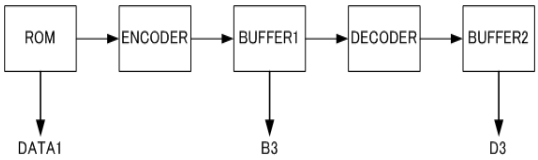


図 1　回路構成

ENCODER と DECODER 部はそれぞれいくつかの回路によって構成されている。今回は信号ごとに 1 つのレジスタを作り、それを状態遷移マシンによって動作させていくように構成している。また、MQ コーダの核の部分である確率推定を行う状態遷移表は ROM の形で回路内に設計している。

## 4. 結果

VHDL によって設計を行いシミュレーションした結果算術符号化できていることは確認できた。いくつかのシミュレーション結果を図 2 に示す。DATA1 が入力信号、B3 がエンコードした値、D3 がデコードした値である。入力信号 64 ビットが 0 や 1 どちらか一種類の場合、つまり白や黒一色の場合は算術符号化に失敗している。これははじめから白や黒一色の場合は符号化しない仕様になっているからだと考えられる。

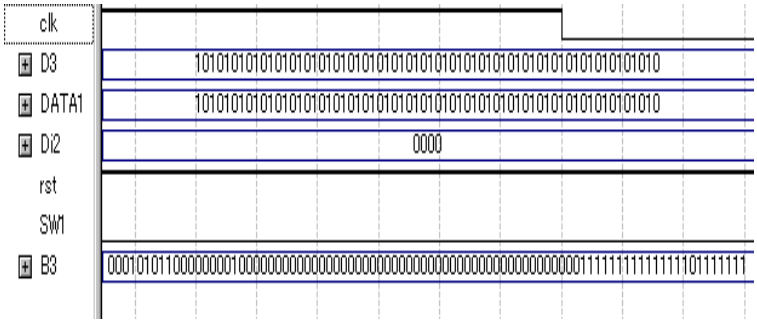


図 2　シミュレーション結果

## 5. 参考文献

・「JPEG2000 詳細解説」CQ 出版株式会社
　著者：福原隆浩　板倉英三郎
・「JPEG・MPEG 完全理解」　コロナ社
　著者：半谷精一郎　杉山賢二