

# 要 旨

## DDP 向け

### オンチップ・シミュレータ / エミュレータ協調回路の設計

上林 諒

将来の情報通信処理システム集積を展望すると、システム開発の大規模化ないし複雑化に対して、計算コアや I / O 装置に加えて、開発工程を支援する回路を積極的にチップ上に集積して、システムの生産性を確保することが重要となる。自己タイミング型データ駆動プロセッサ (DDP) は、省電力 / 低発熱、低 EMI (電磁妨害) に加えて、高い回路モジュール性を備える。DDP は、自己タイミング型パイプライン (STP) で構成されるため、容易に支援回路を追加でき、開発効率の大幅な向上が期待できる。このため既に、オンチップ・シミュレーション / エミュレーション回路構成が提案されている。

本研究では、動作モデルに基づく仮想的な模擬 (シミュレーション) と、ハードウェアによる直接的な模擬 (エミュレーション) において、シミュレーション / エミュレーションを可能な限り重畳させる協調機構を提案する。協調機構では、同時実行の可能性が無いパケットを動的に検出して、パケット群毎にシミュレーション / エミュレーションを開始する。よって、対象システムにおいてシミュレーション / エミュレーション可能な部分が混在する場合、エミュレーションの開始をシミュレーションの完了まで遅らせる必要がなくなり、シミュレーションのボトルネック化を回避でき、高速な模擬が期待できる。この協調機構を TSMC 社の  $0.18\mu\text{m}$  CMOS 6LM デザインルールで設計した。回路合成・配置配線には、それぞれ Cadence 社の Build Gates・Silicon Ensemble を用いた。結果、回路の論理セル数は、1804 個、メモリ容量は 8280bit、回路面積は約  $0.7\text{mm}^2$  に収まった。

キーワード DDP, STP, オンチップ・シミュレーション

# Abstract

## A design of an on-chip simulator / emulator coordinating circuit for DDP

Ryo kanbayashi

In the future information and communication processing system integration, additional circuits aiding system development processes should be integrated with processor cores and other peripherals to enhance the system productivity for large and complex systems. Self-Timed Data-Driven Processors (DDP) is a promising architecture because it possesses the high circuit module modularity as well as power-saving/low fever, low EMI (an electromagnetic interference). DDP can house aiding circuits easily, thus large improvement of development efficiency can be expected. Already, an on-chip simulation/emulation circuits are proposed.

This paper proposes a coordinating circuit to run simulation/emulation concurrently as possible. The coordination circuit detects independent packet groups without the possibility of simultaneous execution, and a simulation/emulation is initiated for each group. With this circuit, it becomes unnecessary to delay the start of emulation till the completion of simulation for target systems which have partially simulated/emulated programs. Therefore, simulation can be preventing from being a bottleneck, and high-speed imitation can be expected. The proposed circuit is designed in TSMC 0.18 $\mu$ m CMOS 6LM process rules. As a result, number of the logic cells are 1,804 and memory size is 8280 bit. The circuit area fit into about 0.7 $mm^2$ .

**key words**     DDP, STP, on-chip simulation