

要 旨

DDP 向け

オンチップ・シミュレータ回路の高精度化

渡部 辰仁

集積回路の微細加工技術がもたらす多大なトランジスタ資源を活用して、多数のプロセッサ・コアに加えて通信モジュール等の全システム要素をチップ上に集積する SoC(System-on-a-Chip) ないし SiP(System-in-Package) 構成をとることで、高性能化と小型化を図る組み込みシステムが開発されている。こうしたシステムの実現には、低消費電力/低発熱、低 EMI(電磁妨害)、さらに、高い回路モジュール性を備える自己タイミング型パイプライン(STP)で構成されるデータ駆動プロセッサ(DDP)が有効である。この DDP の命令セットやパイプライン構成を試行錯誤に基づき対象のアプリケーションに最適化する際、システム検証作業において定量的な評価が設計のボトルネックとならないように、DDP コアにシミュレーション支援用回路を搭載して、チップ上で直接的にシステム全域を模擬するオンチップ・シミュレーション手法が研究されている。既に、基本的なパイプライン回路構成法が提案されているが、より高精度に性能を見積もるために、コア性能によるデータ流の変動をシミュレーションに反映できるシミュレーション・モデルの検討が進められている。

本研究では、オンチップ・シミュレータによるシミュレーションの性能見積もりの精度向上を目的とし、改良されたシミュレーション・モデルに基づく、パイプライン回路構成法を提案し、TSMC 社の $0.18\mu\text{m}$ CMOS Logic 6LM のデザインルールで設計した。結果、従来のシミュレータ回路と比較して、回路規模増加率約 7.5%で実現可能であることが分かった。

キーワード DDP, STP, オンチップ・シミュレータ, マクロフロー・モデル

Abstract

High-Precision On-Chip Simulator Circuit for DDPs

Tatsuhito WATANABE

Embedded systems with small size and high performance are developed by SoC (System-on-a-Chip) or SiP (System-in-Package) which houses lots of processor cores as well as all system modules including communication modules by utilizing a lot of transistor resources offered by microfabrication technology of circuits. To realize such systems, Data Driven Processor(DDP) is suitable because it is configured by Self Timed Pipeline (STP) with low power consumption / low electromagnetic interference(EMI), and high circuit modularity. When optimizing this DDP's instruction set and pipeline format to remove a bottleneck for target application, to prevent quantitative evaluation from being the design bottleneck, the on-chip simulation scheme which simulates entire system on a chip are already proposed. Also basic pipeline circuits are proposed, on the other hand, in order to enhance the precision of performance estimation, the simulation model is improved to reflect the function of data flow rate in a processor core.

In this paper, pipeline circuits for the improved simulation model are designed in order to realize on-chip simulation with high precision. The proposed circuits are designed by using TSMC 0.18 μm CMOS Logic 6LM process rules. The growth of circuit size is within 7.5% compared to existing circuits.

key words DDP, STP, on-chip simulator, macro-flow model