

要 旨

セルフタイム型パイプラインの相互作用回路の検討

小松 和寛

今後の極限集積化時代の複合 LSI システムでは、膨大な回路素子の有効活用、低消費電力化、設計容易化を同時に達成できる自律分散型システムの考え方が重要になる。これに対し、クロックを用いないセルフタイム型パイプライン (STP) は、パイプライン・ステージ毎に独立して動作できるため、効率的な大規模パイプライン並列処理が期待できる。さらに、配線をパイプライン・ステージ間に局所化することで、動作電力を極小化し、また、高いモジュール性を実現している。つまり、パイプライン・ステージの水準で自律分散動作を徹底できる。STP は、既に、データ駆動型メディアプロセッサとして実用化されており、有効性が実証されている。本研究では、STP を徹底して活用するために、従来の直線状、あるいは環状のパイプライン構成にとらわれず、対象アプリケーションの計算要素間のデータの流れ (データフロー) に沿ってパイプラインを 2 次元的に展開することで、空間的・時間的並列性を最大限に引き出すことができる、2 次元パイプラインを提案する。また、2 次元パイプラインの構成の基礎となる 2 本のパイプライン間の相互作用を定義し、それに基づくデータ転送制御回路の構成法を提案する。提案回路を用いた 2 次元パイプラインの実現可能性を示すため、折り返し型パイプラインキュー、多段相互接続ネットワークルータ、およびセルフタイム型パイプライン・ソータを TSMC 社 180nm プロセス 6LM 1.8V CMOS 標準セルライブラリで設計した。結果、従来の STP システムと同程度の性能である、約 100M ~ 150M[packet/sec.] で動作することを確認した。

キーワード セルフタイム型パイプライン、2 次元パイプライン、相互作用回路、可変長キュー、パイプライン・ソータ

Abstract

A Study on Flexible Interaction Circuit between Self-Timed Pipelines

Kazuhiro KOMATSU

For the future complex LSI systems, it is important to achieve effective utilization of enormous transistor, low power consumption, and easy-to-design feature. The self-timed (clockless) pipeline (STP) is one of the most promising SoC architectures large-scale parallel execution, natural power-saving, and high modularity with signal integrity and low electro-magnetic interference (EMI). These basic features of the STP have been proven by the development of self-timed data-driven multimedia processors, DDMP's. This paper proposes the novel concept of an interacted STP by which various pipelines distributed and interconnected each other can realize highly functional stream processing on the future giga-transistor chip. The paper also proposes a basic self-timed interaction circuit that realizes various combinations of flow-thru processing between pipelines, and then discusses the practicality of the proposed scheme through the LSI design of three application modules; priority queue, mutual interconnection network, and pipelined sorter. These application are designed based on the TSMC 180nm process 6LM 1.8V CMOS standard cell library. As a result, it is revealed that the proposed circuit can achieve about 100M to 150M[packet/sec.] equivalent to the performance of the current DDMP's.

key words self-timed pipeline, interacted pipeline, interaction circuit, priority queue, pipelined sorter