

# CMOS 基本ゲート回路の設計と遅延時間特性の評価

電子・光システム工学科 矢野研究室

1080249 笹谷 尚稔

## 1. はじめに

現在、LSI はほとんどの電子機器に組み込まれ、電子機器の小型軽量化、高性能化、高機能化に大きく寄与している。本研究では、CMOS 基本ゲートとして Inverter, NOR, XOR を設計し、それらの遅延時間の測定を行った。今回は、遅延時間を測定するためにリングオシレータの形でレイアウト設計を行った。

## 2. 設計した回路

設計した CMOS 基本ゲート回路は、Inverter, NOR, XOR である。それぞれに対して配線長が異なる 2 パターン、ファンアウトを 1～4 まで異なるパターン、入力箇所を変更したパターンのリングオシレータを設計した。合計で 64 種類となる。

オシレータとは、発信回路の意味で自走発信させるものである。構造として奇数段の閉回路の構造をしており、図 1 に例としてインバータのリングオシレータを示す。また、リングオシレータの 1 段当たりの遅延時間はリングオシレータの発振周波数から式 (1) を用いて算出する。

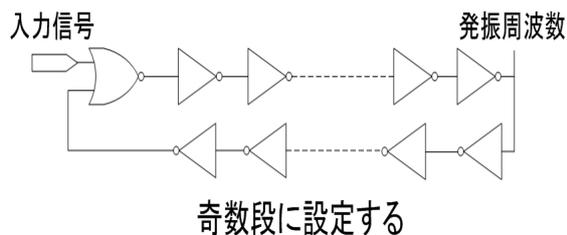


図.1 インバータのリングオシレータ

$$t_p = \frac{1}{2 \cdot n \cdot f_{ocs}} \quad \text{式 (1)}$$

$t_p$  : リングオシレータ 1 段当たりの遅延時間  
 $n$  : リングオシレータの段数  
 $f_{ocs}$  : オシロスコープの出力周波数

## 3. 計測結果

設計した試作チップは、VDEC で製造されたものである。試作チップの測定用治具を作製しチップの計測を行った。例としてインバータの測定結果を図 2 で示す。

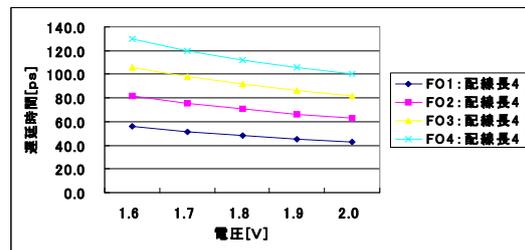


図.2 インバータの測定結果

## 4. まとめ

CMOS 回路の遅延時間は、CMOS 回路の構造により存在する負荷容量によるものである。負荷容量は主に配線容量、次段のゲート容量、PMOS, NMOS のドレイン容量であるといえる。今回設計した CMOS 基本ゲート回路によるリングオシレータは、配線長の違い、ファンアウトの違い、入力箇所の違いによる遅延時間を計測できるようになっている。その結果、各々の負荷容量に応じたと思われる遅延時間の測定が行えた。