

# SLS によるショート故障箇所の特

1080268 柘野裕紀

電子・光システム工学科 真田研究室

## 1. 背景・目的

システム LSI の微細化に伴い、従来の論理レベルのテストで検出困難な不良が増加し、異常電流により不良検出する Iddq テストの重要性が高まっている。そこで SLS (Switching-level Simulation) を使い PC 上でショート故障箇所候補の特定を目的とするプログラムを Visual Basic で作成する。

## 2. 実験内容

Iddq(Quiescent Vdd Supply Current)とは、論理回路における静的動作状態での電源電流である。

実験概要のフローチャート

Switching-level Simulation

↓  
配線情報から真理値表

↓  
短絡故障が発覚する可能性がある箇所を故障候補として抽出

↓  
Iddq異常が見つかった入力信号の故障候補から他の故障候補を排除し故障箇所を検出

SLSとはトランジスタをスイッチと扱い論理を検証する方法である。

	Nch	Pch
1	ON	OFF
0	OFF	ON

表1 SLSについて

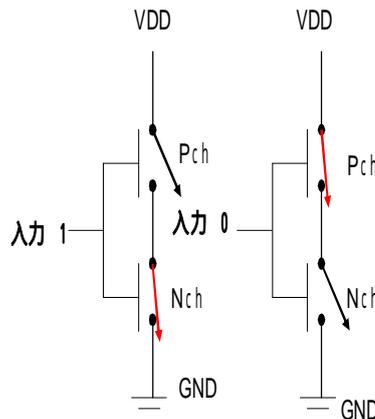


図1 スイッチング動作

入力信号を代入して真理値表を作成

P/N	S	G	D
P1	VDD	In1	OUT
P2	VDD	in2	OUT
N1	L1	in1	OUT
N2	GND	in2	L1

表2 NAND回路の配線情報

P/N	S	G	D
P1	1	1	1
P2	1	0	1
N1	1	1	1
N2	0	0	1

表3 (in1=1,in2=0)の真理値表

短絡故障は配線の真理値が0と1の時発覚する入力 (in1=1,in2=0) ではより8通りの短絡故障補が抽出できる

本研究は、2入力回路を使用している。(in1=1, In2=0)の時 Iddq 異常が発生したとすると他の3入力には異常が発生していないので故障候補から排除することができる。よって(GND L1)が故障箇所となる。

## 4 まとめ

実際の結果とプログラムの検出結果が同じになり故障箇所候補を特定することができた。今後の課題としては、更なるプログラムの改良である。

注：Iddq テストの原理

CMOS 回路は、電源に接続されている pMOS 素子と、GND に接続される nMOS 素子の組み合わせで構成され入力が与えられると一方だけが ON 状態になり定常状態では回路に電流はほとんど流れない。しかし故障が発生していると、通常の何倍もの電流が流れる(Iddq 異常)ので、電源電流を観測するだけで故障を検出できる。