

# CMOS 半加算器および全加算器の設計と遅延時間特性の評価

電子・光システム工学科

矢野研究室 1080319 安中 孝一

## 1. はじめに

本研究では、半加算器 3 種類、全加算器 1 種類を ROHM0.18 $\mu$ m プロセス用の標準ライブラリとして作成した。

標準ライブラリとして設計するにあたり、リングオシレータを用いて回路の入出力パスの違いによる遅延時間特性を評価した。

## 2. リングオシレータの設計

本研究では、図 1 に示すような発振周波数が 100MHz になるようなリングオシレータを設計した。入出力パスの違いにより、半加算器、全加算器で 24 種類のレイアウトを設計し、HSPICE を用いてシミュレーションをおこなった。

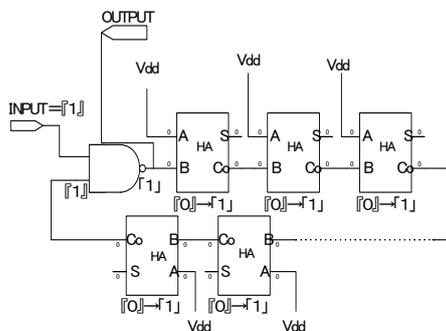


図 1 リングオシレータの構成

## 3. 試作チップの測定

試作チップの測定をおこなうために、図 2 に示すような測定用治具を製作した。オシロスコープによってリングオシレータの出力波形を観察した結果、図 3 に示す①~④の波形に分類できた。①の

波形では、電源電圧を 1.6V~2.0V まで変化させたときに、全加算器、半加算器ともに遅延時間が約 25%程度大きくなるという結果が得られた。しかし、②~④では、レイアウトにおける配線ミスなどによって、期待していた測定結果は得られなかった。



図 2. 測定治具

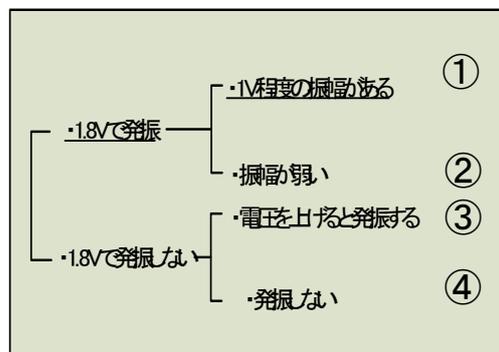


図 3. 波形の分類

## 4. まとめ

①本研究によって、入出力パスの違いによる遅延時間に違いが生じることが分った。また、シミュレーション結果と測定結果では遅延時間に差が生じることが分った。

②トランジスタ数 1000 程度の比較的小規模なレイアウト設計でも、手配線による設計ミスが目立った。