

要 旨

DDP 向けオンチップ・シミュレータの FPGA 実装

香川 直也

近年の集積回路技術の進歩に伴い、1 個の半導体チップに集積される回路素子の数は年々増加している。これを利用して、真の SoC (System-on-a-Chip) の実現による、システム性能の向上が期待できる。このような大規模なシステム開発では、省電力で低 EMI (電磁妨害) に加えて、高いモジュール性を持つ、自己タイミング型パイプライン (STP) で構成された自己タイミング型データ駆動プロセッサ (DDP) が有効である。この DDP を活用した応用システムの開発において、性能評価に不可欠なシミュレーションがボトルネックとならないように、製品回路にシミュレーション用回路を組み込み、チップ上で直接的にシステム全域を模擬するオンチップ・シミュレーション手法が研究され、既に基本的な回路構成が提案されている。

本研究では、提案されているシミュレーションモジュールを実プロセッサに搭載するための回路を提案する。そして、実プロセッサを基にしたオンチップ・シミュレータ全体を FPGA 上に実装し、有効性を実証的に評価する。FPGA には、Altera 社 APEX20KC1000 を採用した。結果、シミュレーションの精度は回路設計に不可欠な約 5 % の設計マージンに収まり、シミュレーションは飛躍的に高速化できることを確認した。また、回路規模はプロセッサ・コアに比べ約 1.5 倍で実現可能であり、製品回路として提供する際、さらなる回路規模削減の余地があることを示す。

キーワード 自己タイミング型パイプライン, 自己タイミング型データ駆動プロセッサ, オンチップ・シミュレーション, マクロフロー・モデル

Abstract

FPGA Implementation of A Data-Driven On-Chip Simulator

Naoya KAGAWA

With the development of circuit integration technology, the application specific SoC architecture is becoming more promising to efficiently realize kinds of functions by the thorough pipeline and parallelism features. To realize a large SoC architecture, the data-driven processor (DDP) structured by self-timed pipeline (STP) is flexible and superior because DDP reduce power consumption and electromagnetic interference (EMI) and can easily form multi-core structure with the inter-core router. In the customization of a real chip, the fast simulation of a large scale SoC structure with DDP is necessary for validation and an on-chip simulation method has been proposed.

In this dissertation, the circuit to integrate both the on-chip simulation module and basic modules in a DDP core is proposed and the total structure called on-chip simulator is realized. In the preliminary evaluation, the on-chip simulator is implemented on the APEX20KC1000 FPGA chip of Altera Corporation. The results shows that the simulation accuracy is under 5 %, in other words, is under design margin of circuit design. Therefore, the on-chip simulator is effective and fulfills the requirement of fast simulation. The circuit scale of a DDP core with a on-chip simulator is 50 % larger than a normal DDP core.

key words STP, DDP, On-chip simulator, Macro-flow Model, FPGA