

要 旨

自己同期回路における C 素子のテスト容易化設計

柴田 淳一郎

近年, 半導体集積技術の進歩に伴い半導体集積回路は処理能力が向上し要求される問題への対処能力が高まったため社会のあらゆる場面で利用されるようになった. しかし, 要求される処理能力が高まるにつれてより大規模化し複雑性を増すようになったため, 製造された回路の欠陥も増えそれを検出するコストも増大し問題となっている. そこで, 製品テスト時に行う欠陥の検出を容易にし, 尚且つそれにかかるコストを抑えるテスト容易化設計が有用な手段として挙げられる.

現在, テスト容易化設計の手法は多く考案されているがそのほとんどが同期回路を対象としている. しかし, あらゆる方式で作られた回路が社会に提供されていく上で, 同期回路以外の方式で作られる回路もテスト容易化設計手法を考案する必要がある. その一例として自己同期回路が存在する. 自己同期回路は同期回路と違い, パイプラインの転送制御をクロック信号で同期を取ることによって行うのではなく, 転送制御回路等を用いて行う. その転送制御回路として代表的なものに C 素子が挙げられる. 本論文ではその C 素子の動作違反の例として C 素子のハンドシェイクのタイミング制約に対するタイミング違反を取り上げ, これを検出するテスト容易化設計の提案を行った. また, 提案方式により違反の検出ができるかを確認し, コストを抑えた状態で行われているかを回路規模の増大を比較して確認した.

キーワード テスト容易化設計, C 素子, タイミング違反

Abstract

Design for Testability of C-element in Self-timed circuitry

SHIBATA Junichiro

Recently, the semiconductor IC improved the processing performance according to the integration, and it to which the action ability to the problem is demanded by the society rose came to be used by every scenes in the society. However, the cost of the test has risen because it came to increase the complexity of the circuit as the processing performance rises. Then, the Design for Testability(DFT) that facilitates detection of defect done when product is tested and suppresses its cost is enumerated as useful measures

A lot of techniques of the DFT are designed now. At the same time, it often targets a synchronous circuit. However, now that the circuit made by barious methods is offered to the society, there is a necessity for designing the DFT technique of the circuit made by the methods other than a synchronous circuit. A self-timed circuitry exists as the one example. It does the forwarding control of the pipeline by using the forwarding control circuit unlike a synchronous circuit. The C-element is enumerated as the forwarding control circuit by the typical one. In this thesis, it proposed the DFT that detected the Timing violation of C-element. Moreover, whether the violation was able to be detected by the proposal method was confirmed and, it confirmed whether to curb costs by using the circuit scale.

key words Design for Testability(DFT), C-element, Timing violation