

CMOS 基本ゲートの設計と特性評価

電子・光システム工学科

橋研究室 1090209 有光直也

1. はじめに

本研究では、ROHM0.18 μ m プロセス用ライブラリ作成を目的として、CMOS 基本ゲート回路である NOR、INVETER、BUFFER を駆動力が二倍になるよう設計した。設計した回路は、リングオシレーターにして遅延時間を測定した。

きなかった。考えられる原因は、試作チップのパッド数の制限のために、入力パッドを共通化したことである。また、測定できたリングオシレーターにおいて、シミュレーションとの大きな違いが見られた。これは、測定治具の配線等の原因が考えられる。

2. 設計した回路

設計した回路は、2 入力 NOR, 3 入力 NOR, INVETER, BUFFER である。これらの回路は、昨年先輩方が作成した回路に比べて駆動力が 2 倍になるように設計した。回路に流れる電流は、ゲート幅 W に比例し、ゲート長 L に反比例する (図 1)。しかし、ライブラリとして回路の高さが決められているため、そのまま W を 2 倍にすることはできない。このため、駆動力を 2 倍にする方法には、元となる回路を 2 つ並列に接続する方法をとった。駆動力が二倍になっていることを確かめるために、出力に 100fF のコンデンサを接続し、駆動力 1 倍の 2 入力 NOR (図 1 水色) と並列接続した 2 入力 NOR (図 1 黄色) の出力波形を比較した。(図 2)

こうして設計した回路を、すべて発信周波数が 80~120MHz になるようリングオシレーターにした。リングオシレーターはそれぞれ、配線長 3 パターン、ファンアウト数 1~4 の 4 パターンを設計した。また、NOR に関しては入力経路の違うものも設計した。

3. 試作チップ測定

試作チップを測定するために測定治具 (図 3) を作成し、測定を行った。

4. まとめ

試作チップを測定治具にのせて測定したが、ファンアウト 4 のリングオシレーターのいくつかは測定することがで

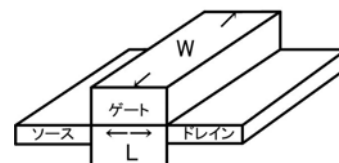


図 1 : ゲート長, ゲート幅

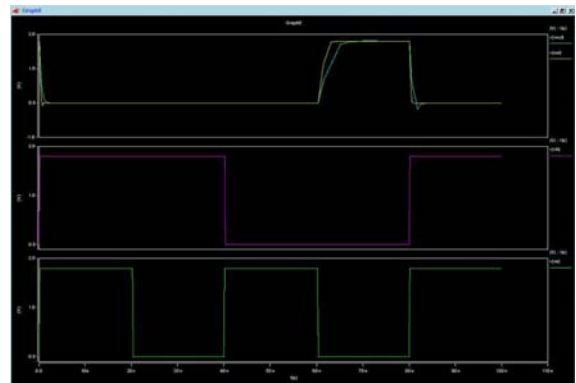


図 2 : 出力波形



図 3 : 測定治具