

CMOS 基本ゲートと複合ゲートの設計と評価

1090268 中平勤

高知工科大学 電子・光システム工学科 橋研究室

1. はじめに

今回、ROHM0.18 μ m プロセス用ライブラリ作成を目的として、CMOS 基本ゲートである駆動力 2 倍の NAND 回路 2 種類と複合ゲートを 2 種類の計 4 種類を設計し、試作チップを作製した。また、試作チップ専用の治具を作製し、シミュレーション結果と実測値の遅延時間の比較と評価を行った。

2. CMOS ゲート回路のレイアウト設計

設計した回路は駆動力 2 倍の 2 入力 NAND (図 1) と 3 入力 NAND、AOI21 (図 2)、OAI211 の 4 種類である。遅延時間を測定するため、設計したセルはチップに載せる際に数十段のリングオシレータにした。また、遅延の変化を調べるために、それぞれの入力経路が違う場合のリングオシレータを設計し、基本ゲートは配線長が 3 パターンとファンアウトが 4 パターンのものも設計した。

駆動力 2 倍の設計方法については、ライブラリとして電源とグランドの高さが決められているので、各回路を並列にすることによって駆動力を 2 倍にした。

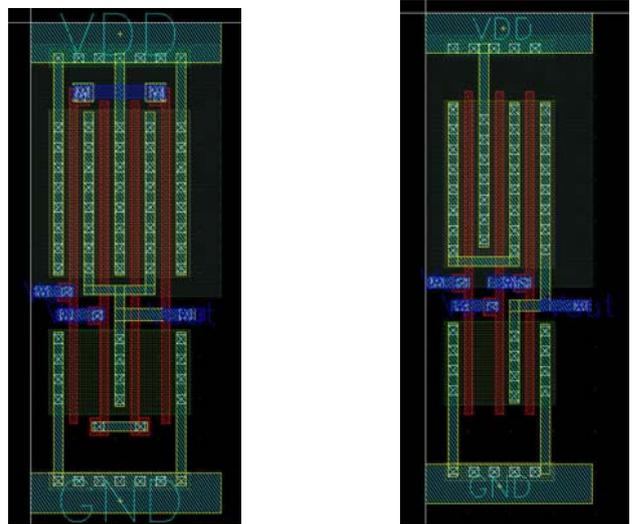
3. 試作チップ測定

試作チップには専用の治具を作製して測定を行った。試作チップの標準仕様電圧は 1.8V である。測定時には誤差 \pm 20%の 1.6V \sim 2.0V まで 0.1V ごとに電源電圧を変化させて測定を行った。2 入力 NAND の経路 A の場合の測定結果を図 3 に示す。

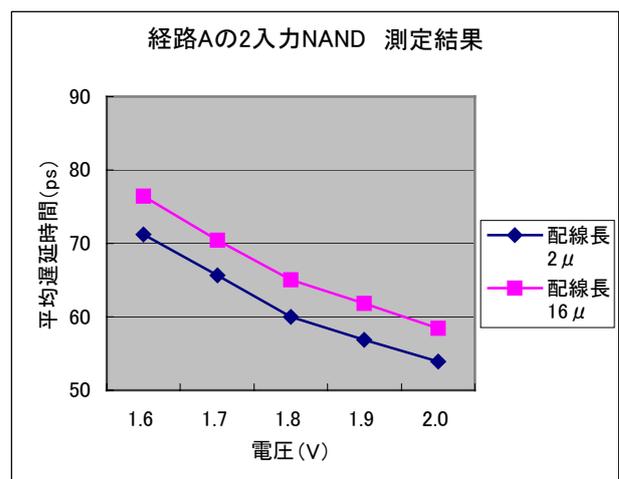
4. まとめ

今回は駆動力 2 倍の基本ゲート回路と複合ゲート回路をレイアウト設計し、試作チップを作製して遅延時間の特性評価を行った。今回設計した基本ゲートは去年設計された基本ゲートに比べて駆動力が 2 倍になっていることは確認

できたが、遅延時間は半分になっていなかった。これは、駆動力を 2 倍にした分、セルの負荷容量も 2 倍になったためだと考える。



(図 1 : 並列接続の 2 入力 NAND 回路) (図 2 : AOI21)



(図 3 : 2 入力 NAND の測定結果)