

要 旨

自己タイミング型パワーゲーティング回路の LSI 実装

多川 正樹

高度情報通信社会を支えるシステム LSI の高性能化および多機能化が、LSI の消費電力の急増により困難になりつつある。消費電力急増の主な要因は、微細化されたトランジスタの高速スイッチングにより、回路の不必要な駆動による動的な（ダイナミック）電力の増加、および、トランジスタの絶縁能力の低下による漏れ（リーク）電力の増加にある。これに対して、自己タイミング型パイプライン (STP) は、データが存在するステージのみを駆動する局所的な転送制御のため、データの有無によらず回路を一斉に駆動させるクロック信号を持つ回路構成法に比べ、ダイナミック電力の削減に効果的である。さらに、パワーゲーティング手法は、駆動の不要な回路の電源を遮断し、リーク電力を極小化する、電源制御手法である。

本研究では本質的に必要な電力のみを消費する集積システムを構成することを目的として、STP 中のデータの存在しないパイプライン段への電源供給を遮断する構成を提案する。提案構成では、電源接続後には、トランジスタの動作に必要な電位が供給される（ウェイクアップ）まで待つ必要がある。これに対して、転送制御回路の一部を電源遮断対象に加えて、ウェイクアップ時間経過後にデータ転送を自律的に再開する、自己タイミング型パワーゲーティング回路構成を提案する。これにより、LSI 製造時のプロセスばらつきや、温度や電圧といった実行時の環境条件に適応的にシステムの動作を保證できる。提案回路を、SPICE シミュレーションにより評価した結果、各種温度の条件の下でウェイクアップ時間の長短に関わらず適応的に動作することを確認し、その省電力効果を示した。

キーワード 自己タイミング型パイプライン、パワーゲーティング、ウェイクアップ時間

Abstract

LSI Implementation of Self-Timed Power Gating Circuit

Masaki TAGAWA

This paper describes a self-timed power gating circuit which reduces dynamic and leakage electric power dissipations disturbing advanced circuit integration to realize a high performance system LSI. Self-timed pipeline (STP) employs local data transfer by which the circuits or transistors in pipeline stages with valid data are driven locally, and thus eliminates unnecessary high-speed transistor switching resulting in run-time (dynamic) power dissipation. In addition, power gating scheme reduces leakage power by cutting the power-supply to idle circuits such as the pipeline stages without valid data. In this paper, in order to realize a system LSI consuming power only for processing, STP circuit with power gating scheme is proposed. To realize the power gating, it is necessary to wait for that an enough electric potential of transistors is supplied after the power-supply starts. In the proposed circuit, the wait time, which is called wake-up time, is guaranteed by controlling the power-supply for idle pipeline stages as well as a part of the transfer control circuit. With this circuit structure, the data transfer and processing are initiated after the electric potential becomes sufficient, and thus the pipeline processing is guaranteed autonomously. As the results of SPICE simulation, the power-saving capability of the proposed circuit is revealed, and it is proven that the data transfer is postponed adaptively under several conditions of temperature.

key words self-timed pipeline, power gating, wake-up time