

要 旨

自己タイミング型超高速 BIST 回路の LSI 実装

宮元 裕樹

近年、情報社会の基盤技術である LSI の大規模化・高速化が著しく進行している。しかし、大規模化・高速化に伴い消費電力の増加、設計の複雑化、動作検証の困難化が発生している。主な原因として、現在の LSI の多くは全域的なクロック信号を元に動作を行うクロック同期型アーキテクチャがある。一方でデータ駆動型プロセッサ (DDP) で用いられている自己タイミング型パイプラインでは、全域的なクロック信号を使用しないため消費電力の削減や設計の局所化ができる。しかし、自己タイミング型パイプラインを用いても動作検証の困難化を軽減することはできない。一般的なクロック同期回路では、テスト容易化設計としてスキャンテストや BIST が用いられているが、非同期回路である自己タイミング型パイプラインではその手法をそのまま用いることはできない。

本研究では、自己タイミング型パイプラインを用いた Ring-STP 回路に対してテスト容易化設計の一種である組み込み自己テスト (BIST) 回路の実装を提案する。そして、BIST 回路全体を LSI 上に実装し、動作検証や有効性をシミュレーションにて評価する。シミュレーションには、e-shuttle 社の 65nm 12Layer CMOS スタンダードセルライブラリを用い、シミュレータには Cadence 社の Verilog-XL を用いた。そして、シミュレーション結果から 100MHz 動作時で 16M Packet/sec のスループットを達成できることを示した。また、回路規模は LSI 全体の約 5 分の 1 と改善の余地が存在することを示す。

キーワード 自己タイミング型パイプライン, 自己タイミング型データ駆動プロセッサ, テスト容易化設計, BIST

Abstract

LSI Implementation of Self-Timed Ultra High Speed BIST Circuit

Hiroki MIYAMOTO

Recently, a large scale and speed-up of LSI has been accelerated rapidly. However, power consumption is increased making to a large scale and speeding up, and the growing difficulty of complication and the operation verification of the design is generated. The major cause is synchronous architecture that operates based on global area clock signals. On the other hand, the Data-Driven Processor (DDP) can reduce power consumption, and the design can be localized. Because global area clock signals are not used. However, even if the Self-Timed Pipeline is used, the growing difficulty of the operation verification cannot be reduced. In a clock synchronous circuit, the operation verification has been simplified as a Design for Testability(DFT). On the other hand, DFT cannot be used with STP.

In this dissertation, the main suggestion is the circuit design of the Built-in Self-Test(BIST) for the Self-Timed Pipeline. In addition, the evaluations of effectiveness are evaluated by the simulation. The library used for the simulation is e-shuttle 65nm 12Layer CMOS standard cell library. In addition, the simulator used Verilog-XL of the Cadence Design Systems. The results of the simulation when the circuit operated at 100MHz is 16M Packet/sec. Moreover, the circuit size was about 1/5 of the LSI.

key words Self-Timed Pipeline, DDP, DFT, BIST