

要 旨

ステージ単位パワーゲーティングを備えた セルフタイム型パイプラインシステムの マクロな消費電力見積り法

香川 直也

将来の ICT システムの基盤を成す高集積システムチップにおいて、消費電力の増加が問題となっている。これは、クロック周波数の底上げによる動的な電力（ダイナミック電力）と極限までの微細化による静的な電力（リーク電力）が増加されてきたことが主たる原因である。そこで、隣接ステージ間で局所的にデータの授受を行うため、ダイナミック電力を削減できるセルフタイム型パイプライン（STP）に、有効データがないステージの電源供給を遮断し、リーク電力を削減できるパワーゲーティング（PG）手法を適用する方法が既に提案されている。しかし、STP を応用したシステム開発において、性能評価を行うシミュレーションがボトルネックとなり開発期間を長期化する。これに対して、パケットの挙動を追跡することで高速に処理性能を見積るマクロフロー・モデルが提案されている。

本研究では、高速に消費電力を見積るために、マクロフロー・モデルを拡張した消費電力見積りモデルを提案する。そして、試作したチップを基にシミュレーションの精度と速度を評価する。比較対象として、65nmCMOS プロセスを前提として 1 ステージのステージ単位 PG を備えた STP を配置配線し、実アプリケーションとして FFT を対象とし、SPICE シミュレーションを行った。結果、シミュレーションの精度は、約 6%以内の誤差であった。また、シミュレーションの速度を約 10 万倍に高速化できることを確認した。

キーワード セルフタイム型パイプライン、ステージ単位パワーゲーティング、マクロフロー・モデル

Abstract

A Macroscopic Power Estimation Scheme for Self-Timed Pipelined Systems with Stage-by-Stage Power Gating

Naoya KAGAWA

Due to the large amount of power consumption as a result of the high-speed processing achieved by micro scaling of transistors, it is becoming difficult to achieve high processing performance necessary for future ICT systems. Self-timed pipeline (STP) is one of low-power architectures because of its on-demand principle by which only pipeline stages occupied by valid data are driven and operated. Moreover, self-timed power-gating scheme is proposed to facilitate standby-power-free circuit by cutting leakage current through extremely scaled transistors. However, it is difficult to evaluate the system level performance including not only throughput but also the amount of power consumption by using existing circuit simulators requiring tremendous time and space. To prevent the system evaluation from being a bottleneck of the development of large-scaled systems, a light-weight simulation model, named macro-flow model, has been already studied to provide macroscopic performance (throughput) model requiring less time and space complexity

In this paper, a fundamental power consumption model for the STP with self-timed power-gating is presented in order to provide the macro-flow model with capability to estimate the system level performance.

key words Self-Timed Pipeline, Stage-by-Stage Power Gating, Macro-flow Model