

卒業論文要旨  
CMOS D フリップフロップの設計および特性評価  
電子・光システム工学科 橋研究室  
1100180 今出大佑

1. はじめに

本研究では、ROHM0.18 $\mu$ m プロセス用のライブラリ作製を目的として、D フリップフロップ (DFF) 回路を設計し、その動作や駆動周波数を評価した。今回設計した回路は、ポジティブエッジ DFF (P-edge-DFF)、ネガティブエッジ DFF (N-edge-DFF)、およびそれぞれの最大駆動周波数測定用回路の4種類である。VDEC を通してチップを試作し、評価を行った。ここでは P-edge-DFF 回路について説明する。

2. DFF の設計

ライブラリの設計ルールに基づき、チャンネル幅を pMOS は 4 $\mu$ m、nMOS は 2 $\mu$ m で設計した。DFF は、トランスマッションゲートを用いて設計した。設計した P-edge-DFF の回路を図 1 に示す。また、DFF の最大駆動周波数を測定するため、図 2 に示す回路を設計した。

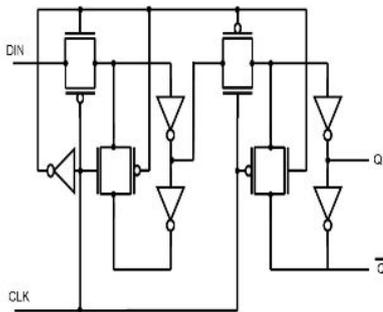


図 1, P-edge-DFF の回路

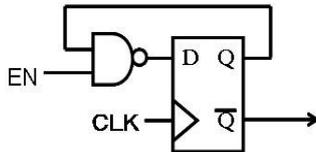


図 2, P-edge-DFF 最大駆動周波数測定用回路

3. 動作の測定

治具を製作し、試作チップを測定した。CLK はファンクションジェネレータから供給し、DIN は押しボタンスイッチから入力することで DFF の動作を評価した。図 3 に動作波形の測定結果を示す。図 3 は CLK を 1 Hz としたときの動作波形である。上から CLK, DIN, Q を示している。P-edge-DFF は、CLK の立ち上がり際の DIN の値を、次の CLK の立ち上がりまで保持する回路である。図 3 より、正常な動作を確認した。

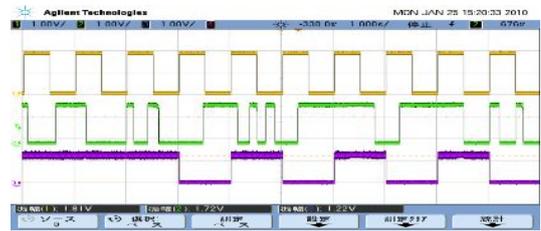


図 3, P-edge-DFF の動作波形

4. 最大駆動周波数の測定

図 2 に示した最大駆動周波数測定用回路にパルスジェネレータから CLK を入力し、応答波形を観測した。正常に動作している場合は、周期的な応答波形が出力される。CLK の周波数を上げながら応答波形を観測し、正常な動作を確認できる最大の周波数を、DFF の最大駆動周波数とした。

測定の結果を図 4 に示す。上側の波形が CLK を 920MHz とした場合の応答波形であり、下側の波形が CLK を 930MHz とした場合の応答波形である。920MHz では、周期的な応答波形を確認できるが、930MHz では、応答波形が崩れていることがわかる。このことより、P-edge-DFF の最大駆動周波数は 920MHz であると判断した。しかし、シミュレーションでは 1.9GHz での動作を確認しており、今回の測定結果とは差がある。この原因として治具が考えられる。920MHz の測定結果を見ると波形にステップがある。この原因は、治具中の配線による入力波形の反射等が考えられ、この治具での測定では限界があることがわかる。実際にはさらに高い周波数でも動作するのではないかと考えられる。

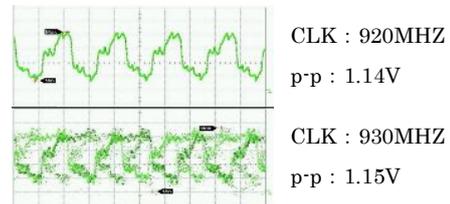


図 4, 最大駆動周波数測定結果

5. まとめ

本研究で設計した P-edge-DFF が正常に動作していることを確認し、ライブラリ用のセルを設計するとい目的を達成できた。また、既存のセルより約 40% 小さい面積で設計できた。しかし、図 1 に示した回路では、 $\bar{Q}$  の駆動力が弱いと考えられる。今後の課題として、改良した回路の設計と評価が上げられる。