

# 卒業論文要旨

## CMOS XOR と XNOR の設計及び特性評価

電子・光システム工学科 矢野研究室

1100186 岡 秀樹

### 1. はじめに

ROHM0.18  $\mu\text{m}$  プロセス用ライブラリ作成を目的として、XOR, XNOR 回路を基本ゲート, 複合ゲート, トランスミッションゲートで設計し, その特性を評価する. ここでは図 1 に示す基本ゲートによる XOR と, 図 3 に示す複合ゲートによる XOR を例にとり説明する.

### 2. CMOS ゲート回路のレイアウト設計

東京大学大規模集積システム設計教育研究センター (VDEC) の ROHM0.18  $\mu\text{m}$  プロセスを用いて設計した. また, すべてのセルライブラリでルールを統一した. 本研究で設計した基本ゲートによる XOR 回路と, 複合ゲートによる XOR 回路のレイアウトを図 2, 図 4 に示す.

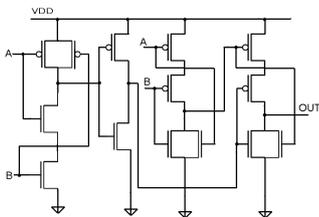


図 1.基本ゲートによる XOR

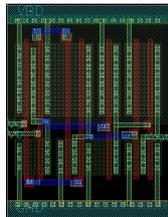


図 2.レイアウト図

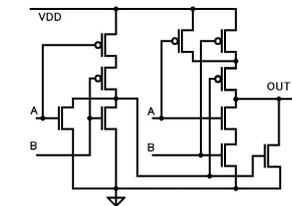


図 3.複合ゲートによる XOR

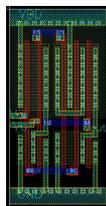


図 4.レイアウト図

### 3. シミュレーション結果

HSPICE を用いて設計した回路のシミュレーションを行った. セル 1 個分の遅延時間の測定は困難である. そのためセルを直列に接続し, 数十段のリングオシレータにして, 発振周波数からセル 1 個分の遅延時間を算出した. また, 入力経路の違いによる遅延時間の変化を調べるためにリングオシレータを 4 種類ずつ設計した. 周波数  $f$  とセル 1 個分の遅延時間  $t$  と段数  $n$  の間には,  $f=1/(2nt)$  という関係式がなりたつ. なお, 試作チップで測定しやすいという理由で, 発振周波数は 200MHz とした.

電源電圧 1.8V での動作を目的としているが, 電圧と遅延時間の特性を調べるため, 1.6~2.0V の範囲で 0.1V ずつ変化させて測定した.

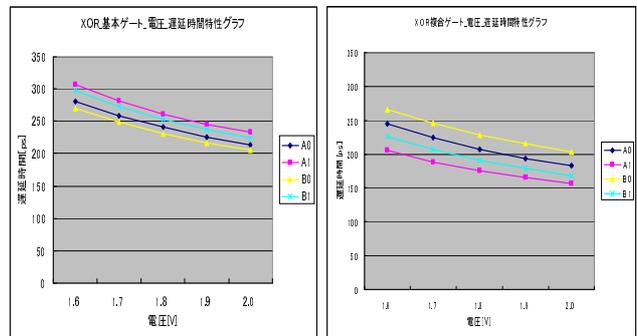
### 4. 測定結果

図 5 に示す治具を製作し, 試作チップを測定した. 電源電圧は, シミュレーションと同じように 1.6~2.0V を 0.1V ずつ変化させた. その測定結果を, シミュレーション結果と比較し誤差を求めた.

また, 図 6 に (a) 基本ゲートによる XOR と (b) 複合ゲートによる XOR の測定結果を示す.



図 5.測定用具



(a)基本ゲートによるXOR (b)複合ゲートによるXOR

図 6.測定結果

### 5. 複合ゲートの利点

図 1, 図 3 のトランジスタレベルの回路図を見て分かるようにトランジスタ数が, 複合ゲートの方が少ない. 基本ゲートが 14 個, それに比べて複合ゲートは 10 個と, 4 個のトランジスタを削減できた. 図 2, 図 4 のレイアウト図を見ると, トランジスタ数が削減できたことによって, 面積を小さく設計できた. また, 図 6(a)(b)では, 複合ゲートを用いることによって遅延時間を短縮できることも分かる. 本研究の XOR 回路の場合, 面積は 3.06  $\mu\text{m}^2$  (65.46%) 削減でき, 遅延時間は約 35~55ps (13~24%) 短縮できた.

### 6. まとめ

本研究では, XOR, XNOR 回路において, 基本ゲート, 複合ゲート, トランスミッションゲートを用いた回路を設計し, シミュレーション値と測定値を比較した. シミュレーション結果と測定結果から, 電圧を高くすると遅延時間が小さくなるという結果が得られた. また, 同じ電源電圧でも, 入出力パスの違いによって遅延時間が異なることを確認した.

複合ゲートやトランスミッションゲートを用いた回路は基本ゲートに比べて, ゲート本数を減らせるので, 面積を小さく, 遅延時間を短縮できることを実証した. また, シミュレーションと測定を行うことにより, シミュレーション結果と測定結果で大きな違いが出ることを実感した.