

# 卒業論文要旨

## CMOS 全加算器の設計および特性評価

電子・光システム工学科 矢野研究室  
1100198 経免 健太

### 1. はじめに

本研究の目的は ROHM0.18 $\mu$ m プロセスのセルライブラリの設計を通して CMOS プロセスやレイアウト設計に対する基礎知識の習得である。今回、4 入力 NOR, XOR, 全加算器を設計し、セルの遅延時間特性を評価した。ここでは全加算器を例に説明する。

### 2. 回路構成

設計したセルは自動配置配線ツールで用いることを前提としているため、すべてのセルで設計ルールを統一した。全加算器にはトランスミッションゲートを用いた XOR を使用した。これは、既存セルが複合ゲート型であるため、トランスミッションゲート型と複合ゲート型の遅延時間特性を比較、評価するためである。

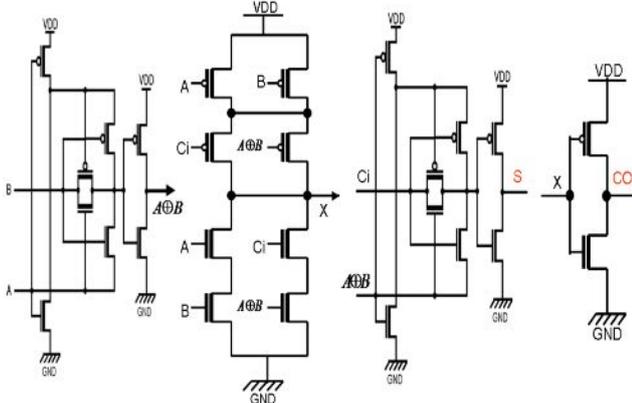


図1 全加算器のトランジスタレベルの回路図

### 3. 測定結果

回路をチップに載せる際、セル単体での遅延時間の測定が難しかったため、リングオシレータを作成した。その発振周波数から、発振制御用 NAND ゲートの遅延を考慮して式(1)よりセルの遅延時間を算出した。

$$t_{sell} = \frac{1}{f} - 2t_{nand} \dots (1)$$

$f$ : リングオシレータの周波数

$t_{sell}$ : セルの遅延時間

$t_{nand}$ : NANDゲートの遅延時間

$n$ : リングオシレータの段数

また、全加算器には桁上げ信号6種類、和信号12種類の全部で18種類のパスが存在する。すべての組み合わせのリングオシレータを設計し測定した。

### 4. 既存セルとの比較

2008 年度設計の複合ゲート型全加算器と遅延時間を比較した。桁上げ信号の遅延時間は約 15~18ps 大きくなった。比較したパスは XOR の論理演算結果に関係なく桁上げ信号を出力するパスであり、同じトランジスタ数であるから、プロセスのバラツキに起因すると考える。和信号の遅延時間は約 31~35ps 小さくなった。この理由は駆動力の低い pMOS が直列につながる数が減ったためであると考えられる。また、セルの面積は 184.44 $\mu$  m<sup>2</sup> と同じであるがトラン

ジスタ数は 30 個から 26 個に減少した。しかし、面積については和信号部の 2 段目の XOR のインバータと桁上げ信号部のインバータのソースを共通にすることで 3.57%削減できた。

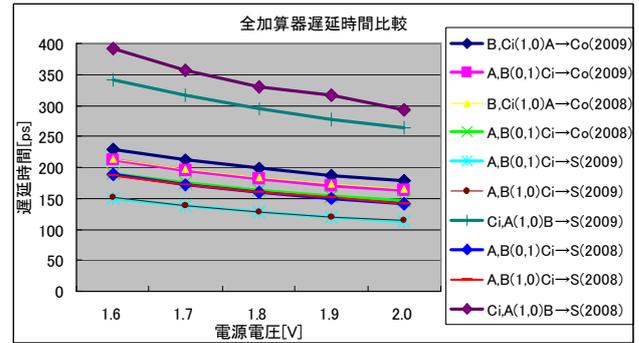


図2 全加算器遅延時間比較

### 5. チップによる遅延時間のバラツキ

遅延時間は CMOS プロセスのゆらぎによってバラツキが生じる。このため同じ回路であっても遅延時間は異なる。試作チップの違いによる遅延時間のバラツキを図3に示す。この図は電源電圧 1.8V の全加算器で B 入力を '0' に固定、桁上げ信号を '1' に固定したパスの試作チップによる遅延時間の違いである。全ての試作チップでシミュレーションとの誤差は 10%以内であった。この結果より他のパスでもチップの違いによって約 10%の遅延時間の違いは存在するものと考えられる。また、試作チップは 300ps より遅延時間が小さいチップと約 310ps より大きいチップの2つに分類できた。

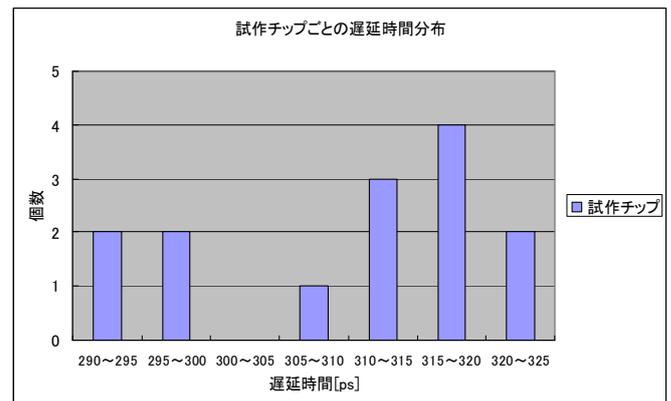


図3 試作チップによる遅延時間の違い

### 6. まとめ

試作チップの違いで遅延時間が約 10%変化するという結果が得られた。本研究で使用した試作チップはトランジスタ動作速度が Typical に近いと考えられる。これはシミュレーションでのトランジスタ動作速度を Slow とした場合、遅延時間が 371.48ps であるため、Typical との誤差よりも大きくなるためである。

今後の課題は、今回比較できなかったパスの比較、改善した全加算器の遅延時間特性の評価、チップ内バラツキ特性の評価である。